

MINISTÈRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

17/80

2ed

UNIVERSITE HOUARI BOUMÉDIENNE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRICITE - ELECTRONIQUE

PROJET DE FIN D'ETUDES

**MISE EN LIGNE D'UN TRACEUR-SUIVEUR  
DE COURBE SUR UN MICRO - ORDINATEUR**

11 PLANCHES

Proposé par :

M<sup>r</sup> H. TEDJINI

D<sup>r</sup> Ingénieur



M. BRAKNI

M. CHERRAD

Juin 1980

MINISTÈRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

---

UNIVERSITE HOUARI BOUMÉDIENNE

---

ECOLE NATIONALE POLYTECHNIQUE

---

DEPARTEMENT ELECTRICITE - ELECTRONIQUE

---

PROJET DE FIN D'ETUDES

**MISE EN LIGNE D'UN TRACEUR-SUIVEUR  
DE COURBE SUR UN MICRO - ORDINATEUR**

---

Proposé par :  
M<sup>r</sup> H. TEDJINI  
D<sup>r</sup> Ingénieur

Etudié par : M. M.

M. BRAKNI

M. CHERRAD

Juin 1980





TABLE DES MATIERES.  
\*\*\*\*\*

CHAP I - INTRODUCTION.

CHAP II - POSITION DU PROBLEME ET ETUDE DE LA CONVERSION N/A  
ET A/N.

- A/ Les données digitales.
- B/ Les données analogiques.
- C/ La conversion N/A.
- D/ La conversion A/N.

CHAP III - COMPOSANTS UTILISES.

- A/ Le MPU 6800.
- B/ Le PIA.
- C/ Le convertisseur N/A.
- D/ Autres composants utilisés.

CHAP IV - PRESENTATION ET CARACTERISTIQUE DU TRACEUR/SUIVEUR  
DE COURBE.

- A/ Le support carte.
- B/ Le module enregistreur 26105.
- C/ LE module suiveur de courbe 2039.

CHAP V - REALISATION DU HARDWARE.

- A/ Introduction.
- B/ Les logiques de sélection des PIA et de commande des buffers.
- C/ La commande "Latche".
- D/ Le circuit analogique.

CHAP VI - ELABORATION DU SOFTWARE.

- A/ Introduction.
- B/ Fonctions assignées.
- C/ Elaboration des programmes.

## CHAPITRE I

### INTRODUCTION

Le but d'un système informatique est l'acquisition et le traitement des données, celles-ci peuvent lui être fournies soit par l'homme qui utilisera les différents périphériques et alors la possibilité d'une introduction de données erronées est présente ; soit par un périphérique couplé au système de traitement augmentant ainsi la précision du résultat. L'intervention humaine est réduite alors à un simple contrôle en vue de la bonne marche de l'ensemble.

L'étude réalisée ici se rattache au second type de transmission à savoir, le dialogue périphérique-machine ; elle vise à étendre les possibilités d'un système de traitement de courbes issues de mesures physiques, l'ensemble étant formé du micro-ordinateur formant le système de traitement des données, et du traceur/suiveur de courbes. Le but assigné passe donc par la conception d'un interface adéquat entre le micro-ordinateur et la table fournissant les données ou les visualisant selon l'option choisie. Mais ce hardware réalisé, le système ne peut répondre d'une manière totale qu'à partir du moment où son software assimilé devient hautement élaboré. Lors de cette étude nous verrons se détacher deux parties bien distinctes mais intimement liées qui sont l'analogique et le digital, ainsi les données fournies par la table sont analogiques, elles seront donc selon un procédé software converties en digital puis traitées.

La réalisation électronique de l'interface sera déterminée par les fonctions auxquelles elle doit répondre. En premier lieu, une possibilité de transfert des données d'une manière synchrone, allant du MPU vers la table formant le traceur/suiveur de courbes. En second lieu et de façon rapide, afin d'assurer une prise de points suffisante, effectuer un envoi de données de la table vers le MPU. En dernier lieu,

.../...

assurer les différentes commandes permettant le fonctionnement de la table d'une part, et la sélection du sens (lecture ou écriture), du type (fonction du temps ou de X) et du mode (par points ou continu), de transfert des données d'autre part.

La réalisation de ce transfert bidirectionnel, ne peut se faire qu'en faisant appel aux deux types de conversion, numérique/analogique pour une écriture et analogique/numérique pour une lecture. Pour la lecture, la méthode rapide des approximations successives qui utilisera le dispositif de conversion N/A de l'écriture, sera mise en oeuvre. Elle transformera la tension perçue au niveau de la tête de lecture en donnée digitale.

La deuxième partie de ce travail, sera axée sur l'élaboration du squelette de base du programme de gestion général du système. Ce travail doit obéir à une contrainte importante : son EXTENSIBILITE. En effet le hardware étant réalisé de façon adéquate, toutes les conditions pour une adaptation optimale du MPU à la table sont réunies. L'adaptation appropriée ne sera effective que si toutes les possibilités du système sont exploitées. Ainsi le programme de base va s'articuler autour de tests permettant le choix du sens de transfert, mode de tracé etc... avec des appels aux sous-programmes appropriés permettant la réalisation de l'objectif.

\*  
\* \*

CHAPITRE IIPOSITION DU PROBLEME ET ETUDE DE LA CONVERSIONN/A ET A/N.A/ LES DONNEES DIGITALES.

Des données, présentes dans les mémoires du micro-calculateur, peuvent être, après traitement enregistrées sur table traçante. Ces données seront bipolaires ou unipolaires, le douzième bit faisant office de signe. L'unité d'enregistrement, étant sensible à une tension, la conversion va se faire de façon bipolaire avec une résolution de douze bits. La table traçante comprend trois modules d'enregistrement, X, Y<sub>1</sub>, Y<sub>2</sub> qui offrent deux possibilités de procéder : en fonction du temps ou en fonction de X. La sortie des données de façon synchrone doit donc être prévue.

B/ LES DONNEES ANALOGIQUES.

De manière réciproque, on opère un traitement de données à partir d'une courbe tracée sur papier. Elle sera prélevée par l'intermédiaire d'un suiveur de courbe photosensible, ayant pour rôle de transformer et de restituer les amplitudes de cette courbe, sous forme de tension.

Compte tenu de la variation rapide de la tension analogique, la conversion mise en oeuvre devrait permettre une prise de points suffisante de façon à pouvoir traiter convenablement la courbe originale. La conversion utilisée sera donc celles des approximations successives.

C/ LA CONVERSION N/A. ET LA CONVERSION A/N.I- Notions intervenant dans la conversion.a- L'échantillonnage.

L'échantillonnage, consiste en un prélèvement périodique de la valeur de la fonction à convertir. Cette fonction va ainsi être représentée par une fonction discontinue formée par une série de valeurs discrètes prises sur la fonction mère.

.../...



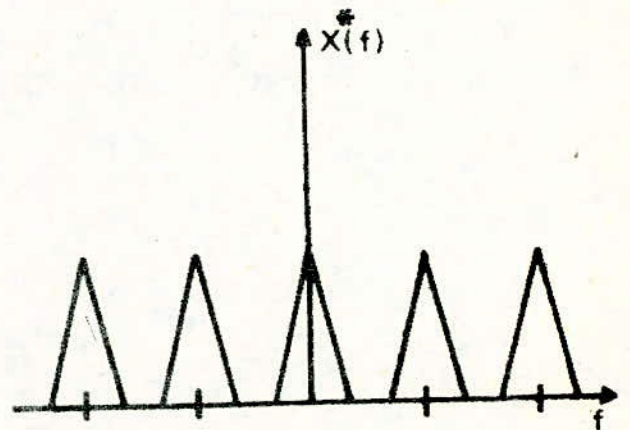
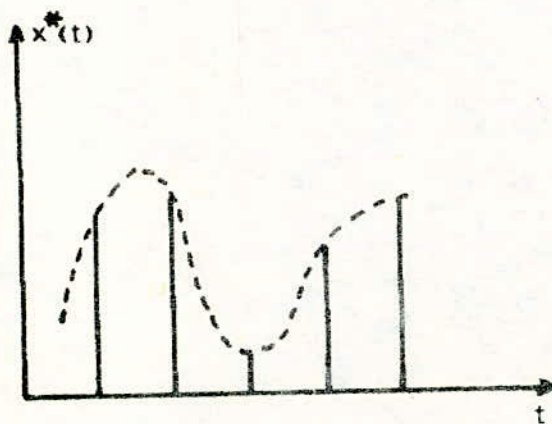
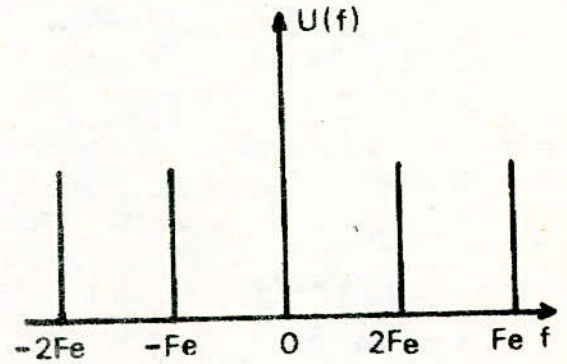
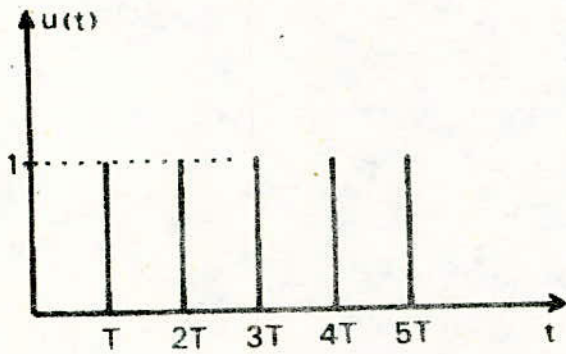
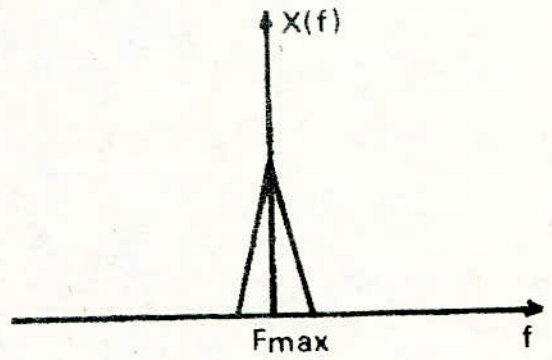
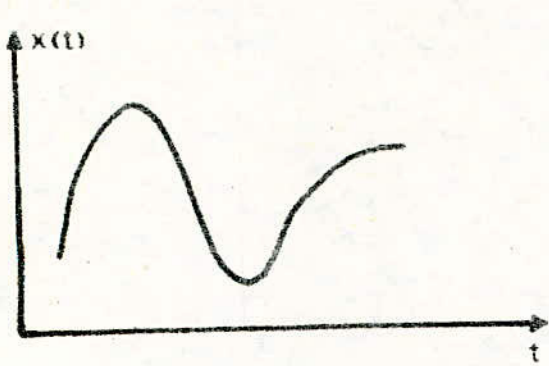


Fig 2-1

1°) L'échantillonnage idéal.

On suppose dans ce cas que la largeur des impulsions d'échantillonnage est nulle.

Si  $x_*(t)$  est le signal à échantillonner,  
 $x(t)$  est le signal échantillonné;  
 $u(t)$  est le train d'impulsion d'échantillonnage

On a dans le domaine fréquentiel :

$$X(f) = \int_{-\infty}^{+\infty} x(t) \exp(-2\pi jft) dt \quad (\text{Transformée de Fourier})$$

Avec :

$$u(t) = \sum_{-\infty}^{+\infty} \delta(t - nT).$$

$$X^*(f) = \sum_{-\infty}^{+\infty} X(f - nF_e)$$

Cette dernière relation nous permettra de déduire le spectre de fréquence. La fonction initiale sera reproductible à partir de la fonction échantillonnée, si la relation entre la fréquence d'échantillonnage et la fréquence maximum du spectre existe sous la forme suivante :

$$T_e = 1/(2F_{\max.}) \quad (\text{Théorème de Shannon}).$$

2°) L'échantillonnage réel.

Dans la pratique les impulsions idéales de Dirac n'existent pas ; il faut donc tenir compte de la largeur relative à chacune d'elles. Pour traduire cet aspect physique sous forme mathématique, on fait appel à la fonction porte ou fenêtre.

\* Rappel sur la fonction porte.

$$f(t) = \begin{cases} 1 & \text{Si } -T < t < T \\ 0 & \text{Sinon} \end{cases}$$

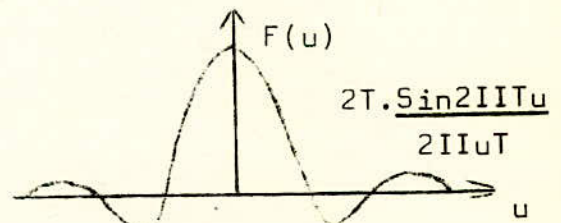
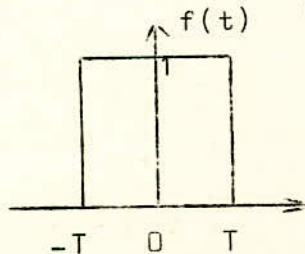


Fig : 2.2

$$f(t) \iff 2T \frac{\sin(2\pi u T)}{2\pi u T}$$

La fonction porte est irréalisable physiquement pour des temps négatifs. Cependant cela est possible pour la fonction porte translatée  $\Pi_T(t-T)$ .

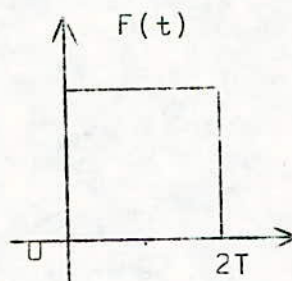


Fig : 2.3

$$f(t-T) = \Pi_T(t-T) \iff \frac{2T \sin(2\pi u T)}{2\pi u T} \exp(-2\pi i T u)$$

La transformée de Fourier du signal échantillonné s'écrit alors :

$$X^*(f) = \sum_{n=-\infty}^{+\infty} \frac{\sin(n\pi T)}{n\pi T} \cdot F(f - nF_e)$$

Pour un échantillonnage bloqué, où l'impulsion a une durée  $T$  et une amplitude constante, la transformée de Fourier du signal échantillonné s'écrit :

$$X^*(f) = (T/T) \frac{\sin(\pi T f)}{\pi T f} \cdot \sum_{n=-\infty}^{+\infty} F(f - nF_e)$$

#### b- La quantification.

La quantification intervient dans la conversion A/N. Elle consiste à remplacer la valeur exacte du signal par une valeur choisie parmi  $N$  valeurs quantifiées représentant les valeurs définies de la grandeur analogique ( $N=b^n$ ). Il s'agit donc de découper l'amplitude en tranches affectées d'un numéro et dont l'épaisseur s'appelle quantum ( $q$ ).  $q = E/(b^n)$  ; pour une information de  $n$  chiffres dans une base  $b$ , et  $E$  étant l'amplitude maximale. Cependant la quantification s'accompagne d'erreur. Cette erreur doit vérifier la relation :  $0 < \text{erreur} < E/(b^n)$ . L'erreur relative maximale vaut  $1/(b^n)$  ; elle est limitée dans la pratique à  $\pm(q/2)$ .

#### c- Le maintien

La conversion d'un échantillon nécessite un certain temps, pendant lequel le signal ne doit pas varier. Ceci peut s'obtenir en utilisant un circuit de maintien qui sera placé

.../...

après l'échantillonneur. Ce circuit est extérieur au convertisseur.

## II- Le convertisseur numérique analogique.

Un convertisseur numérique analogique (CNA), est un dispositif qui reçoit une information numérique sous forme d'un mot de  $n$  bits et qui la transforme en un signal analogique. C'est un système hybride. Le CNA fait correspondre à l'une des  $2^n$  combinaisons binaire possible à l'entrée (correspondant à un signal d'entrée de  $n$  bits) une parmi  $2^n$  tensions discrètes obtenues à partir d'une tension de référence  $U_{ref}$ .

Si  $N$  est le nombre entier que l'on veut convertir, son écriture en fonction des puissance de 2 est la suivante :

$$N = d_1 \cdot 2^{n-1} + d_2 \cdot 2^{n-2} + \dots + d_n \cdot 2^0$$

Avec :  $d_1$  appartenant à  $(0, 1)$   
 $U = N \cdot U_{ref}$ .

$U_{ref}$  est la tension de référence qui fixe l'échelle de la tension de sortie.

De même si  $N$  est inférieur à 1, il s'écrit sous la forme suivante :

$$N' = N/(2^n) = d_1 \cdot 2^{-1} + d_2 \cdot 2^{-2} + \dots + d_n \cdot 2^{-n}$$

La fonction de transfert se déduit ainsi :

$$U = N' \cdot U_{ref} = d_1 \cdot U_{ref}/2 + d_2 \cdot U_{ref}/2^2 + \dots + d_n \cdot U_{ref}/(2^n) \\ = N \cdot U_{ref}/(2^n).$$

Le CNA est donc un dispositif qui multiplie le nombre  $N$  par le quantum  $q = U_{ref}/(2^n)$ , qui représente la plus petite quantité discernable.

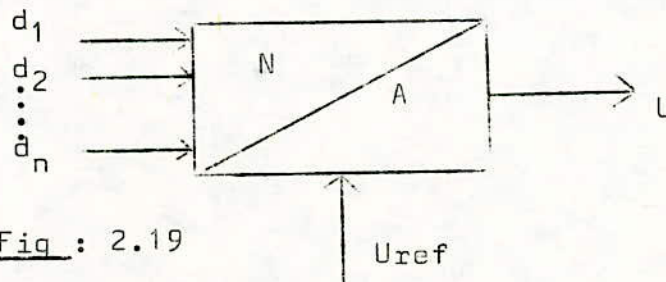
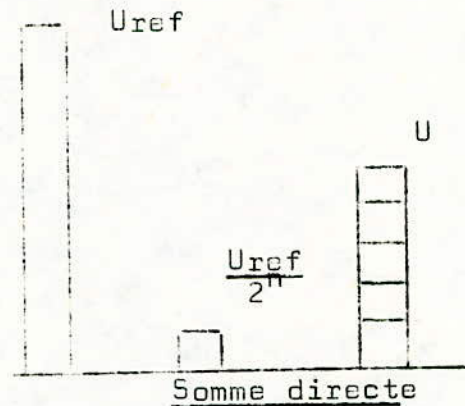


Fig : 2.19

a- Les familles de CNA.

1°) CNA direct.

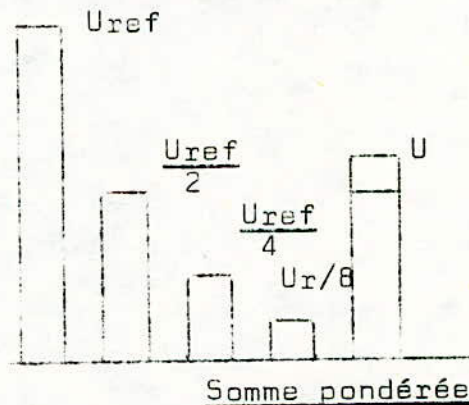
Dans lequel on passe sans intermédiaire du mot binaire au signal de sortie. On utilise dans ce cas la somme pondérée.



2°) CNA indirect.

Dans le CNA indirect, on passe de la grandeur binaire à un signal de sortie par l'intermédiaire d'une grandeur analogique (le temps ou une densité de probabilité). Dans ce système on utilise généralement la somme directe.

Fig : 2.5



b- Paramètres caractéristiques d'un CNA.

1°) Fonction de transfert idéale.

$$U = U_{ref} \cdot (d_1/2 + \dots + d_n/(2^n))$$

D'après la caractéristique idéale de transfert, la sortie est constituée par une suite discrète de tensions. Chaque valeur correspond à un mot particulier. Quand tous les bits sont à 1, la tension maximale diffère de la tension de référence d'un quantum.

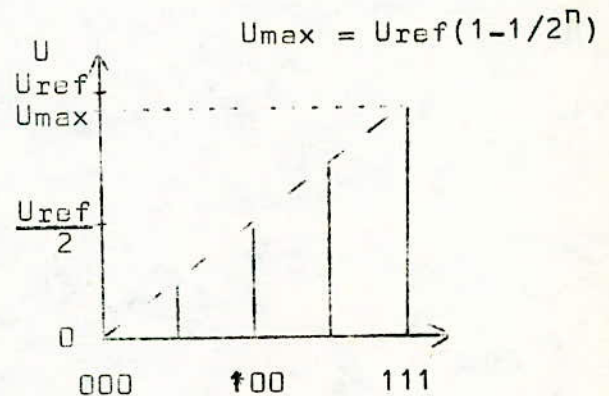
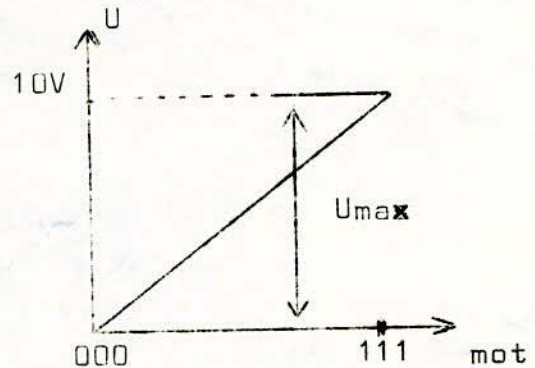


Fig : 2.6

2°) Amplitude de la tension de sortie. (U<sub>max</sub>)

Elle correspond à la variation maximale de la tension de sortie quand tous les bits passent de l'état 0 à 1. Cependant l'expression de U<sub>max</sub> dépend de la polarité de CNA. En effet dans le cas de la fig (2.7), pour un même nombre de bits, et une même amplitude de sortie, les tensions de référence sont doubles l'une de l'autre et les quantums sont identiques.



Si l'on veut garder la tension de référence du CNA unipolaire, dans le cas d'un CNA bipolaire, on double la tension de sortie. Si l'on garde le même nombre de bits, on double le quantum, et pour conserver le même quantum on ajoute un bit supplémentaire au mot.

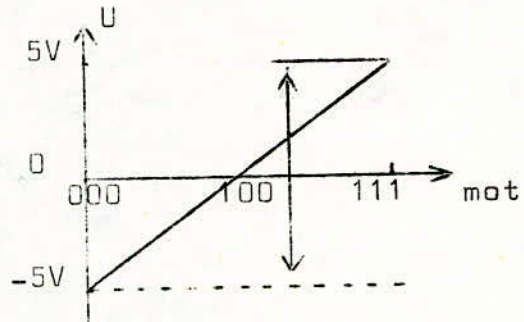


Fig : 2.7

\* CNA unipolaire.

$$U_{max} = U_{ref} \cdot (1 - 1/(2^n))$$

\* CNA bipolaire.

$$U_{max} = U_{ref} \cdot (2 - 1/(2^n))$$

3°) Résolution d'un CNA.

Elle est donnée par le nombre de bits que le convertisseur peut accepter.

$$\text{Résolution} = \frac{\text{Quantum}}{\text{Pleine Echelle}} = 1/(2^n)$$

4°) Temps de conversion.

Le temps de conversion est le temps nécessaire pour que le signal de sortie atteigne la valeur désirée, à l'erreur spécifiée près. La précision est en pratique limitée à  $\pm q/2$ .

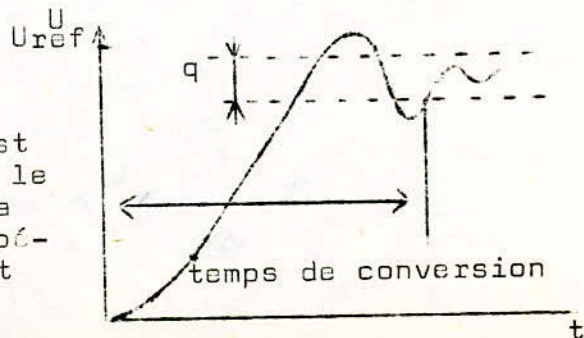


Fig : 2.8

5°) Les régimes transitoires en sortie (glitches).

Ils apparaissent lors de la modification de l'information numérique présente à l'entrée. Les interrupteurs commandés par cette information, ont des vitesses de commutation différentes, il en résulte l'apparition de fausses informations donc de tensions indésirables.

6°) La précision.

Elle représente l'écart existant entre la valeur du signal obtenu en sortie et la valeur théorique déduite de la fonction de transfert. Tous les bits interviennent dans la définition de la précision. Cependant leur influence dépend de leur poids. Ainsi au MSB correspond une précision meilleure que  $(\frac{1}{2}q)$ , puisqu'il commande l'existence d'une tension correspondant à la moitié de la pleine échelle. Alors que pour le LSB il suffit d'une précision de  $(\frac{1}{2}q)$ .

d- Erreurs dans les CNA.

Un certain nombre d'incorrections peuvent apparaître sur la caractéristique de transfert du CNA par rapport à la courbe idéale. Elles se distinguent par une différence dans les valeurs extrêmes et la non linéarité de ces deux valeurs.

Ces différences sont dues à :

1°) L'erreur de décalage.

Elle représente l'écart entre la tension que délivre le CNA quand tous les bits sont à l'état zéro et celle qu'on devrait obtenir en sortie.

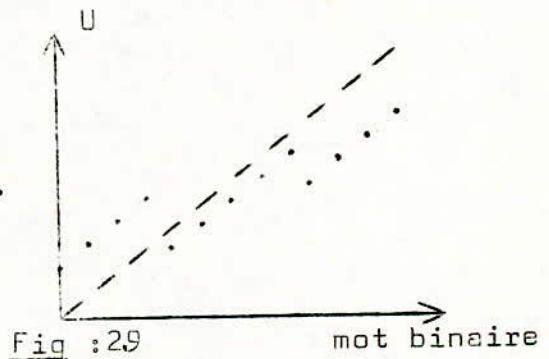


Fig : 2.9

2°) Erreur de gain.

Elle se traduit par une rotation de la caractéristique de transfert autour du point obtenu quand tous les bits sont à zéro. Dans ce cas l'amplitude de l'erreur n'est pas constante et dépend du mot d'entrée.

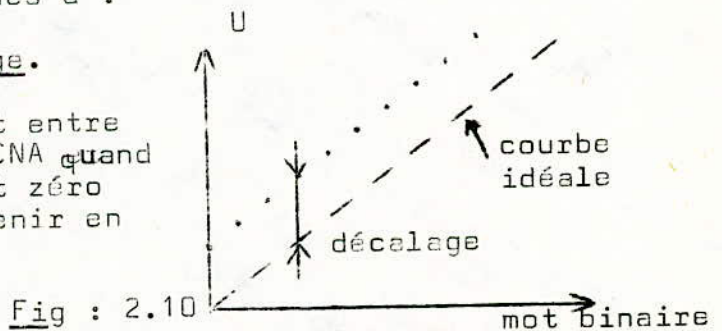


Fig : 2.10

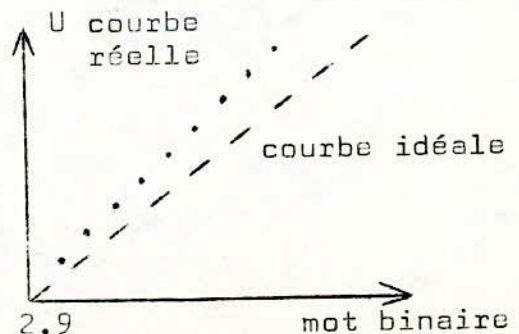


Fig : 2.9

.../...

### 3°) L'erreur de linéarité

L'erreur de linéarité est la différence entre la tension obtenue en sortie et la tension correspondante mesurée sur la caractéristique idéale de transfert.

Compte tenu de ces erreurs, la fonction de transfert du convertisseur s'écrit :

$$U = (1 + K) \cdot U_{ref} \cdot (d_1 \cdot (1/2 \pm W_1) + d_2 \cdot (1/2^2 \pm W_2) + \dots + d_n \cdot (1/2^n \pm W_n)) + V_{os}$$

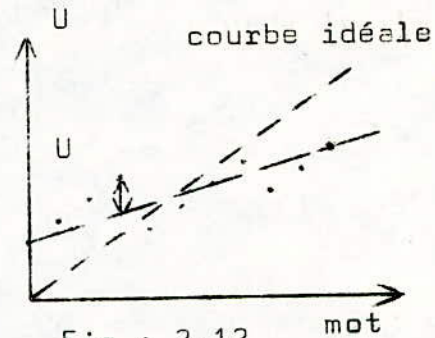


Fig : 2.12

mot

Avec :

$V_{os}$  : erreur de décalage.

$K$  : erreur de gain.

$W_j$  : erreur de poids du  $j^{\text{ème}}$  bit.

### e- Présentation des convertisseurs.

#### 1°) Le convertisseur parallèle.

Le schéma de principe d'un convertisseur parallèle est déduit à partir de la formule donnant la fonction de transfert.

$$U = d_1 \cdot U_{ref}/2 + d_2 \cdot U_{ref}/2^2 + \dots + d_n \cdot U_{ref}/2^n$$

Il comprend les éléments suivant :

- Une grandeur de référence.
  - Un système de pondération (multiplication par les coefficients de la suite binaire  $(1/2, 1/2^2, \dots, 1/2^n)$ ).
  - Une commande numérique (multiplication par  $d_i$  qui vaut 0 ou 1).
  - Une sommation de ces différents signaux (tension ou courant).
  - Une transformation courant-tension ou tension-courant.
- Cependant, en général on choisit la deuxième solution car il est plus facile d'additionner des courants. Dans ce cas l'équation de définition s'écrit :

$$U = R \cdot (d_1 \cdot U_{ref}/2R + \dots + d_n \cdot U_{ref}/2^n R) \\ = R \cdot (d_1 \cdot I_1 + \dots + d_n \cdot I_n)$$

.../...



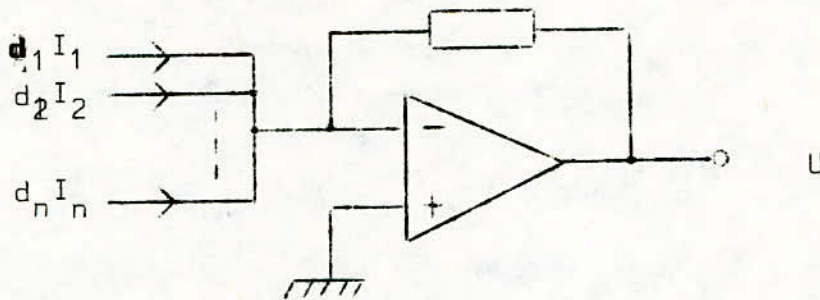


Fig : 2.13

2°) Les convertisseurs à résistances pondérées.

Dans ce type de convertisseurs, on fabrique par l'intermédiaire des résistances \$R, 2R, \dots, 2^n R\$, des courants pondérés qui sont additionnés à travers un ampli. Op. Un réseau d'interrupteurs permet de sélectionner les courants à additionner. Ces interrupteurs sont contrôlés par les différents bits du mot binaire à décoder. Suivant que ce bit de commande est à l'état 1 ou 0, le courant traversant la résistance correspondante est envoyé à l'entrée de l'amplificateur, pour être additionné aux autres courants, ou au contraire dirigé vers la masse.

La tension de sortie aura pour expression :

$$U = -R \sum_{i=0}^{n-1} d_i \cdot I_i \quad \text{avec : } I_i = U_{ref} / 2^i R$$

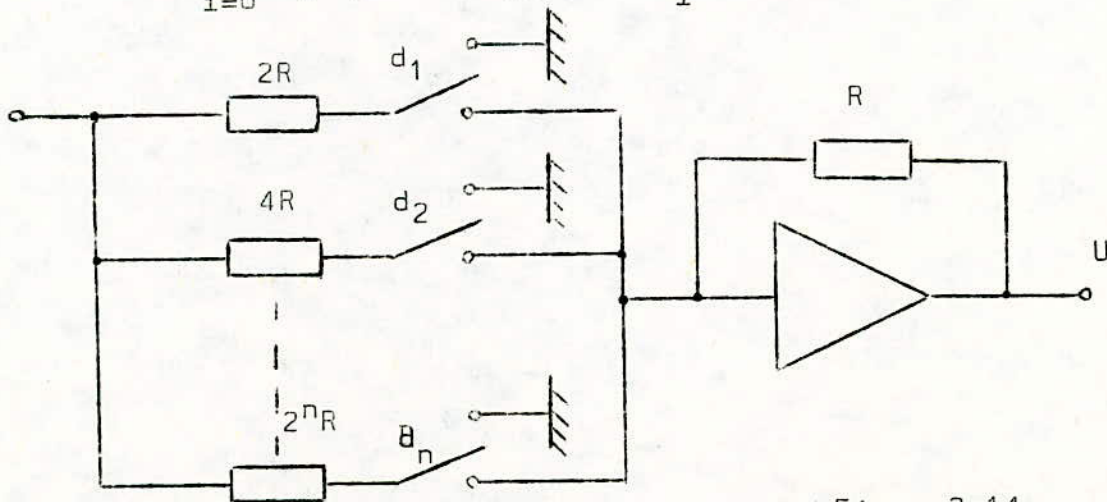


Fig : 2.14

.../...

3°) Le convertisseur en échelle.

Le schéma de principe correspondant à ce type de convertisseur est représenté en fig(2.15). Il utilise une structure en échelle, où chaque résistance  $2R$  est parcourue par un courant que l'on déduit à partir de la fig(2.15) a. En effet chaque résistance  $2R$  parcourue par un courant  $I_1$ , peut se décomposer en 2 résistances en serie de valeur  $R$  parcourues par  $I_1$ . L'une de ces résistances peut à son tour être remplacée par deux résistances en parallèles de valeur  $2R$  parcourues par  $I_2 = U_{ref}/4 = I_1/2$ . En repettant cette opération  $n$  fois on obtient une structure parcourue par des courants qui forment une progression géometrique de raison  $\frac{1}{2}$ . Cette structure represente l'élément de base des convertisseurs en échelle.

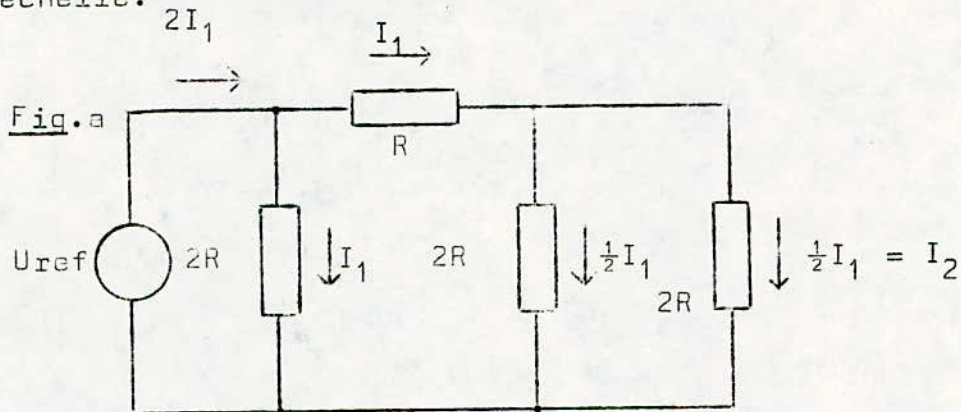


Fig.b

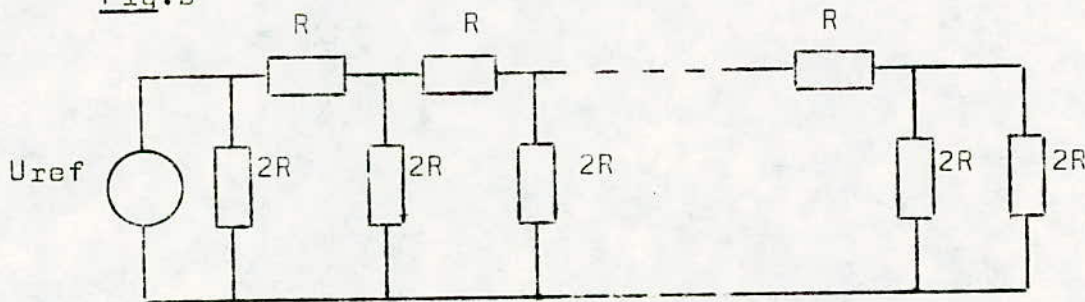


Fig : 2.16

\* Exemple de convertisseur en échelle.

Les interrupteurs permettent de mettre les extrémités des résistances  $2R$  soit à la masse soit à la tension  $U_{ref}$ . La résistance vue de la sortie est égale à  $R$  quelquesoit la position des interrupteurs. Dans ce cas on a :

.../...

$$U = U_{ref} \cdot (d_1/2 + d_2/2^2 + \dots + d_n/2^n)$$

La précision est fixée par le réseau de résistances et l'ensemble des interrupteurs. En effet, les interrupteurs possèdent une résistance dépendant du courant qui le parcourt et qui, venant se mettre en série avec les résistances  $2R$ , peut affecter la précision.

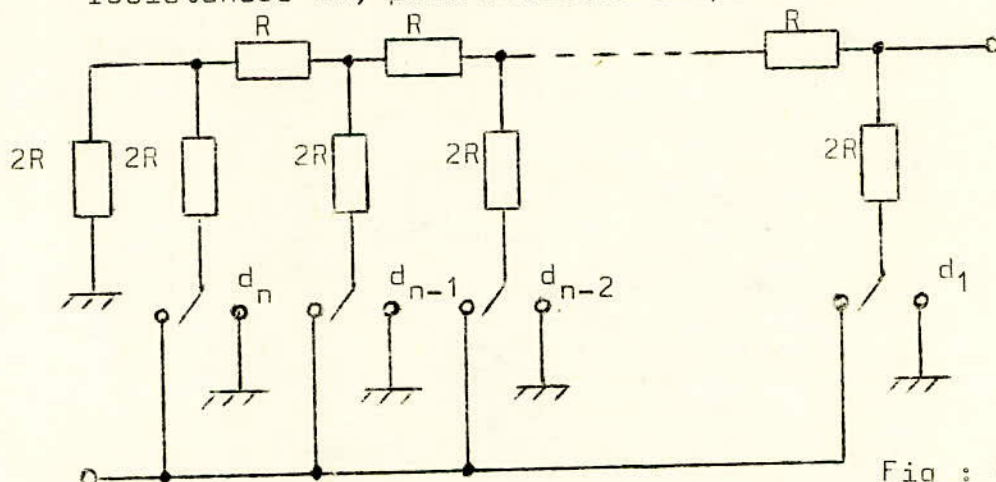


Fig : 3.7

#### 4°) CNA utilisant les codes bipolaires.

Les codes les plus usités dans les CNA, sont les codes binaires décalés et complément à deux, qui ne diffèrent que par le MSB (bit de signe). Dans le cas d'un convertisseur en échelle, les résistances  $2R$  sont reliées à leurs extrémités à une tension de référence. On peut utiliser alors, le code amplitude signe qui permet de coder séparément l'amplitude du signal et son signe. On a ainsi une séparation du MSB des autres bits qui sont appliqués à un CNA unipolaire classique.

#### 5°) CNA multiplieurs.

Dans les convertisseurs étudiés plus haut, la tension de référence était constante. Lorsque la tension de référence est variable, le CNA est appelé convertisseur multiplieur puisqu'il réalise, à tout instant, le produit de deux grandeurs variables, dont l'une est analogique et l'autre logique.

$$U = N \cdot U_{ref} / 2^n$$

### III- Le convertisseur A/N.

#### a- Introduction.

On fait appel, d'une façon générale à la conversion

.../...

A/N, quand apparait le problème d'assurer le passage d'une information de la forme analogique vers la forme digitale, avec une précision et une résolution données. Cependant de tous les modes de conversion existant, il s'agit de trouver celui qui répond le mieux aux contraintes imposées par le système.

En effet, pour notre cas, il faut assurer la digitalisation d'une tension analogique subissant de grandes variations. On doit donc réaliser la conversion en un temps relativement court (de l'ordre de la milliseconde).

Pour ce faire on utilise la technique des approximations successives, qui à un grand pouvoir de résolution allie une précision et une rapidité élevées, avec une économie de composants appréciable.

b- La conversion par approximations successives.

Le principe de la méthode est basé sur l'utilisation d'un comparateur dont le rôle est de comparer sur ses bornes la tension analogique à la tension qui lui est proposée par un convertisseur N/A (fig 2.17). Selon l'état de la sortie du comparateur, le niveau de tension soumis par le convertisseur est acceptée ou non.



Fig 2.17 : Schema de principe de la conversion par approximations successives.

La tension analogique va être approchée par test des différents bits entrant dans la résolution, allant en premier lieu du MSB au LSB en fin.

Le bit sera accepté si  $V_A$  est inférieur à  $V_D$  et refusé si  $V_A$  est supérieur à  $V_D$ .

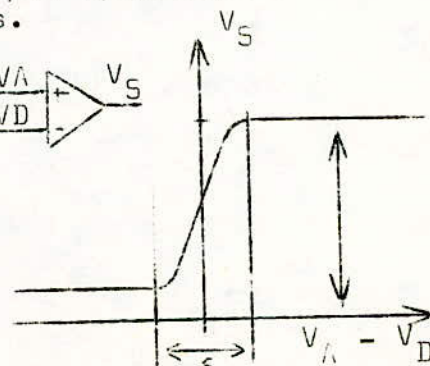


Fig : 2.16

La fig(2.19), donne un exemple des différentes combinaisons intervenant dans le test des bits pour une résolution correspondant à  $n = 4$ .

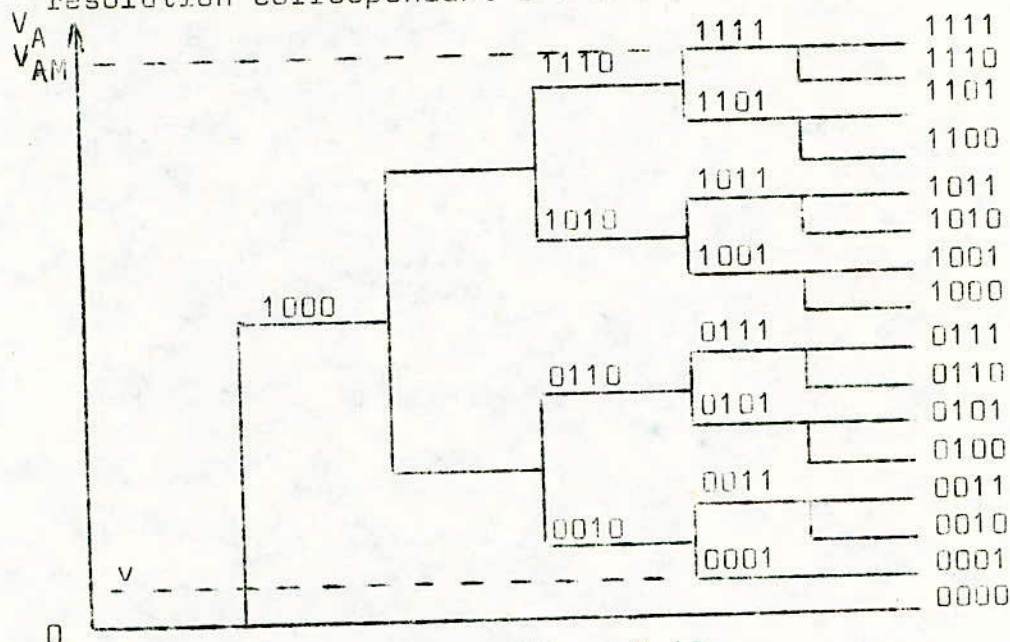


Fig : 2.19

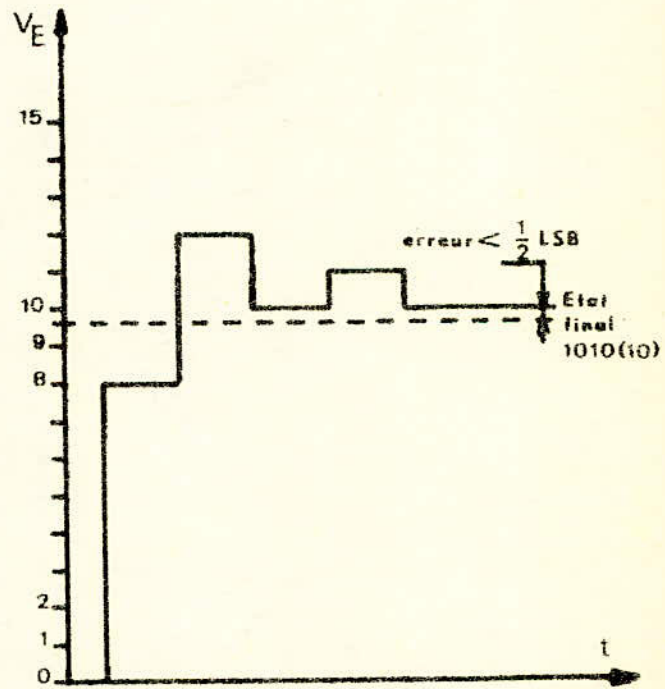
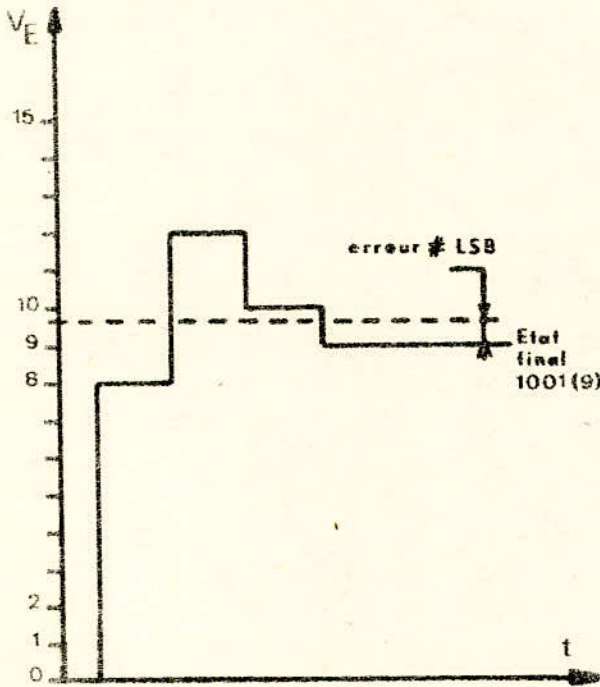
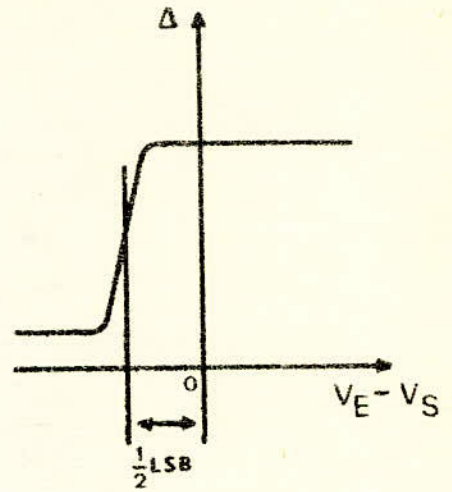
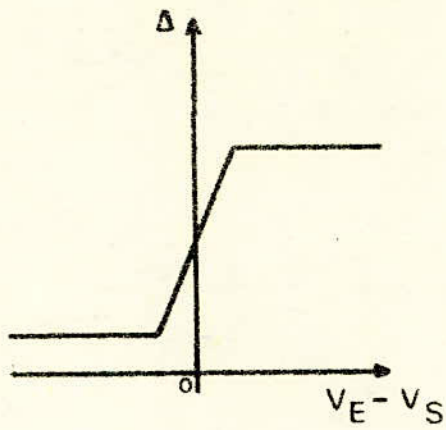
c- Erreur de quantification.

Dans le processus de conversion par approximations successives, la tension analogique est approchée par envoi de la moitié de la pleine échelle correspondant au MSB à laquelle, après un test d'aquittement du comparateur, on ajoute le quart de la pleine échelle, suivie également d'un test puis d'une addition du huitième etc...

Cependant un problème d'erreur peut se poser au niveau de l'approximation de la valeur correspondant au LSB. Cette erreur, peut être ramenée à moins de  $\frac{1}{2}$ LSB par centrage. Pour ce faire, on déplace la courbe de transfert du comparateur de façon à avoir :

$$\begin{aligned}
 V_A - V_S &> -\frac{1}{2}\text{LSB} \longrightarrow \Delta = 1 \\
 V_A - V_S &< -\frac{1}{2}\text{LSB} \longrightarrow \Delta = 0
 \end{aligned}$$

La figure(2.20), illustre l'évolution de l'approximation de  $V_E = 10$  V. pour une résolution de 4 bits.

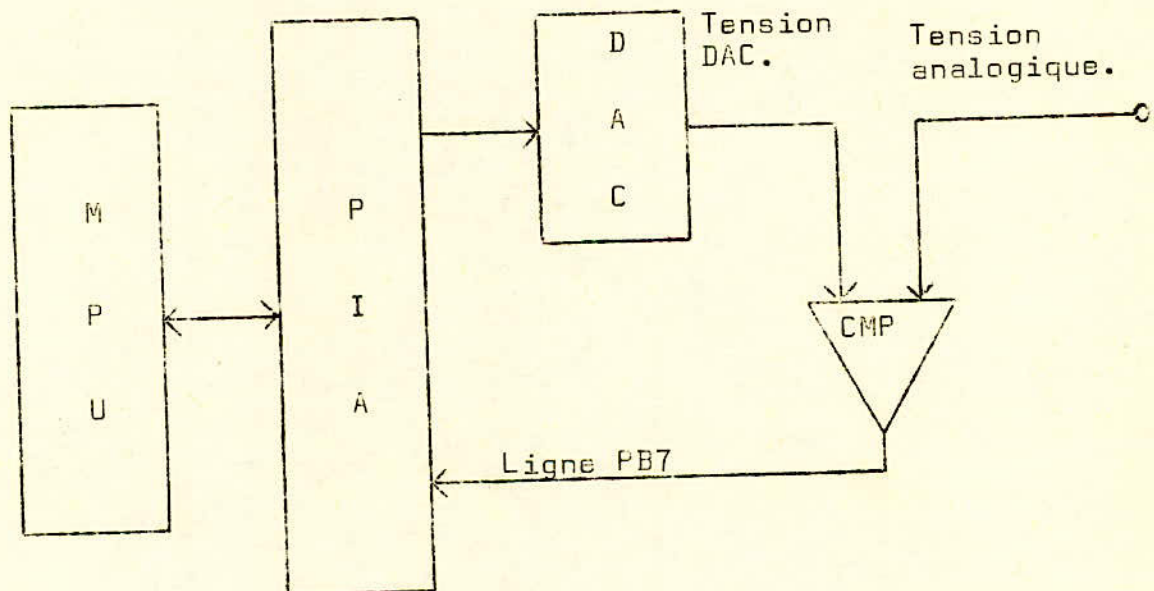


Evolution de la tension analogique de référence pour une erreur de 1 LSB.

Evolution de la tension analogique de référence pour une erreur de  $\frac{1}{2}$  LSB.

d- Composition du convertisseur A/N.

Le processus de conversion adopté se fait par une programmation articulée autour du Hardware utilisé pour l'écriture et qui est constitué par le DAC et le PIA. A ces éléments on ajoute le comparateur dont la sortie est connectée à la ligne PB7 du PIA programmée en entrée. L'envoi d'un nouveau niveau de comparaison à partir du MPU, sous forme de bits, se fait par lecture du PIA, après réception du signal de comparaison venant de la ligne PB7.



CHAPITRE IIICOMPOSANTS UTILISESA/ LE MPU 6800. (Fig.3.1)

Le MC6800 est un système microcalculateur à grande échelle d'intégration (LSI), le MPU (Microprocessing unit) MC6800 constitue le noyau du système qui comprend principalement l'ensemble des CI suivant :

- MC6800.
- MC6810, Random Access Memory (RAM).
- MC6830, Read Only Memory (ROM).
- MC6821, PERIPHERAL INTERFACE ADAPTER
- MC 6858, Asynchrone communication adapter (ACIA)

Le MPU communique avec le reste du système par l'intermédiaire du bus adresse unidirectionnel, caractérisé par 16 lignes et donnant au MPU une capacité d'adressage de positions mémoires de 64 K ; et du bus donnée bidirectionnel à 8 lignes, qui permet le transfert des données vers ou hors du MPU. Ce transfert de données est contrôlé par la ligne Read-Write qui en détermine le sens selon que l'on est dans un cas de lecture ou d'écriture. Le fonctionnement dans le temps est régi par une horloge délivrant deux signaux  $\phi_1$  et  $\phi_2$  à la fréquence de 1MHz ;

I- Description du MPU.a- Les accumulateurs (A et B).

Ils sont au nombre de deux, A et B ; avec huit bits chacun ; ils servent à maintenir la donnée à traiter dans l'UAL, lors d'une opération.

b- Le registre d'index (X).

Il comprend seize bits et est utilisé pour stocker une adresse mémoire en mode indexé ; il peut être incrémenté, décrétementé, et son contenu stocké.

c- Le compteur de programme (PC).

.../...



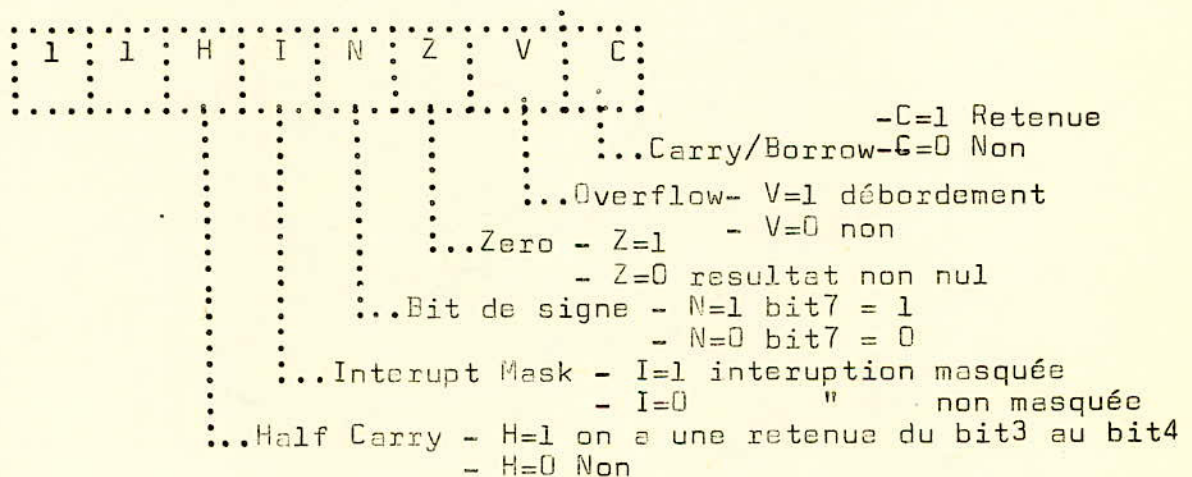
Il comprend seize bits et contient l'adresse de la prochaine instruction à exécuter. Le PC est incrémenté automatiquement lors d'un programme.

d- Le pointeur de pile (SP).

Il contient l'adresse de la première case mémoire, généralement en RAM, où les contenus des registres du MPU doivent être stockés en pile lorsque le MPU réalise un programme d'interruption ou un sous-programme.

e- Le registre du code condition (CC).

Le CC est formé de huit bits dont les bits 6 et 7 restent inutilisés, est affecté lors de chaque instruction selon le schéma suivant :



f- Les signaux du MPU.

1°) LE Read-Write ligne

Lorsque la ligne est au niveau logique 1, on a une lecture de la donnée par le MPU, au niveau logique 0 on a une écriture dans une position mémoire.

2°) Valid memory adresse (VMA).

Ce signal valide l'adresse au niveau du bus adresse et la fait prendre en compte par le système.

3°) Data bus enable (DBA).

Permet, lorsque son niveau logique est à 1, au data bus de transférer les données.

.../...

4°) Interrupt request (IRQ).

Il permet de générer une interruption de programme conditionnée par l'interupt mask I.

5°) Non maskable interupt (NMI).

Il permet de générer une interuption de programme indépendamment du mask I.

6°) Restart (RES).

Il permet la remise en marche du MPU.

7°) Bus available (BA).

Il indique la disponibilité du bus adresse.

8°) GO/HALT (G/H).

Il permet le début de l'exécution d'un programme ou l'arrêt de la machine.

9°) Three state control (TSC).

Cette entrée amène l'ensemble des lignes d'adresse et le R/W à un état de haute impédance ou troisième état, les lignes ne communiquent ni dans un sens ni dans l'autre.

10°) Les phases une et deux de l'horloge. ( $\emptyset_1$  et  $\emptyset_2$ )

Ces deux informations correspondent en leur front descendant, pour la première à l'incrémentatation du compteur et pour la deuxième à la disposition des données dans le MPU.

g- Les modes d'adressage.

Six modes d'adressage que nous allons décrire brièvement peuvent être utilisés pour pouvoir réaliser une instruction.

1°) L'adressage inhérent.

C'est un mode possédant une instruction à un byte, c'est à dire qu'il n'exige pas l'adresse de la position mémoire contenant l'instruction à exécuter.

2°) L'adressage immédiat.

Dans ce mode la donnée se trouve immédiatement après l'instruction à exécuter.

.../...

3°) L'adressage direct.

Dans ce mode d'adressage l'adresse de la donnée se trouve juste après l'instruction à exécuter, ce mode est utilisé pour les 256 premiers bytes de la mémoire, c'est à dire de 0000 à FF.

4°) L'adressage étendu.

Il est utilisé pour les positions mémoires au-delà de 00FF. Il exige trois positions mémoire, la première pour l'instruction à exécuter, la seconde pour le byte le plus significatif de la position mémoire.

5°) L'adressage indexé.

Dans ce mode d'adressage le nombre trouvé après l'instruction à exécuter est ajouté au contenu du registre d'index pour former la nouvelle adresse de la position mémoire contenant la donnée.

6°) L'adressage relatif.

Ce mode est utilisé pour les instructions de branchement seulement. Par son intermédiaire on peut amener le compteur de programme à se positionner sur n'importe quelle position mémoire autre que la suivante ; cependant ces déplacements sont limités à 126 positions mémoires en arrière et à 129 en avant.

h- Les mémoires.

Les CI mémoires se présentent comme des boîtiers avec d'une part des lignes "adresses" et d'autre part des lignes "données". Un certain nombre d'entrées CS (chip select) permettent d'activer le boîtier ou non. On distingue principalement les types de mémoires suivantes :

1°) Les Random Access Memory (RAM).

Ce sont des mémoires à accès aléatoire, dans lesquelles on peut lire et écrire de façon continue.

2°) Les Read Only Memory (ROM).

Ce sont des mémoires à lecture seulement. Elles contiennent des données qui y ont été introduites de manière définitive sans aucune modification en perspective.

## B/ LE PIA (Peripheral Interface Adapter).

### I- Présentation du MC6821 (Fig 3.2).

Le micro-ordinateur précédemment décrit, ne peut entrer en communication avec un quelconque périphérique que par l'intermédiaire d'un coupleur d'entrée/sortie. La particularité de notre cas, qui nous impose des sorties parallèles, détermine le choix du PIA

Le PIA communique avec le MPU par l'intermédiaire des éléments suivants :

- Un data bus bidirectionnel de huit lignes.
- Trois "chip selects" dont le rôle est d'activer le boîtier du PIA.
- Deux sélecteurs de registres.
- Deux lignes d'interruption IRQ.
- Une ligne "Read/Write".
- Une ligne "Horloge".
- Une ligne "Reset".

Chacune des lignes données peut être programmée en entrée ou en sortie. De la même façon les lignes de commandes CA2 et CB2 peuvent correspondre par programmation à des sorties ou à des entrées d'interruption (CA1 et CB1 étant des lignes entrées d'interruption uniquement). Sur le plan interne le PIA est constitué de deux ports A et B comprenant chacun :

- Un registre de contrôle (CR).
- Un registre de direction des données (DDR).
- Un registre interface comprenant le registre de sortie (OR).

### II- Description.

#### a- Les signaux du PIA MC6821.

##### 1°) Les lignes données PA<sub>0</sub> à PA<sub>7</sub>.

Chacune de ces lignes relatives au port A, peut être programmée en sortie ou en entrée par une mise à "1" ou à "0" (respectivement) du bit correspondant dans le DDRA. En sortie l'information est mémorisée dans l'OR alors qu'en entrée l'information doit être mémorisée à l'extérieur.

##### 2°) Les lignes données BB<sub>0</sub> et PB<sub>7</sub>.

De façon analogue la mise à "1" ou à "0" des bits correspondants dans le DDRB détermine le fonctionnement des lignes

.../...

en sorties ou en entrées. Cependant les registres du port B possèdent la particularité de passer à l'état de haute impédance lorsqu'elles sont programmées en entrées. L'information est aussi mémorisée en sortie mais non pas en entrée.

3°) Les lignes données  $D_0$  à  $D_7$ .

Les ~~sept~~ <sup>huit</sup> lignes bidirectionnelles de données sont utilisées pour le transfert des données du MPU vers le PIA et inversement.

4°) Les "Chips select" ( $CS_0$ ,  $CS_1$ ,  $\overline{CS_2}$ ).

Ces lignes permettent la sélection du boîtier du PIA. Pour ce faire,  $CS_0$ ,  $CS_1$  doivent être au niveau "1" et  $CS_2$  au niveau logique "0". Les chips select doivent être maintenus au niveau exigé pendant toute la durée de l'impulsion d'horloge  $\emptyset_2$ . L'adressage sera complété par l'introduction du VMA dans la logique de sélection.

5°) L'Enable (E).

Il est relié à l'horloge  $\emptyset_2$  du MPU et permet la synchronisation dans les échanges du système.

6°) La ligne de Reset ( $\overline{RES}$ ).

Elle permet la remise à zéro de tous les registres du PIA pour cela, elle doit être au niveau actif zéro.

7°) Le Read/Write line ( $R/\overline{W}$ ).

C'est un signal provenant du MPU et permettant le contrôle du sens de transfert des données par l'intermédiaire du data bus. L'état logique "1" correspond à une lecture, alors que l'état logique "0" implique une écriture.

8°) Les Interrupt Request ( $\overline{IRQA}$  et  $\overline{IRQB}$ ).

Ces lignes sont utilisées pour demander une interruption de programme au MPU. Le MPU aura à tester les bits 6 et 7 des CR avant de procéder à son exécution. Les lignes  $\overline{IRQA}$  et  $\overline{IRQB}$  sont actives au niveau bas.

9°) Les lignes de contrôle ( $CA1$  et  $CB1$ ).

Ce sont des lignes utilisées uniquement en entrées pour une demande d'interruption correspondant à une mise à "1" du

.../...

bit 6 du CRA pour CA1 (ou de CRB pour CB1).

10°) Les lignes de contrôle (CA2 et CB2).

Elles peuvent être utilisées soit en entrée d'interruption soit en sortie de commande par programmation des registres de contrôle (bits 3, 4 et 5).

b- Les registres du PIA MC6821.

1°) Le registre de contrôle CRA (ou CRB).

7	6	5	4	3	2	1	0
IRQA1	IRQA2	CA2 Contrôle	DDRA	CA1 contrôle			
IRQB1	IRQB2	CB2 Contrôle	DDRB	CB1 Contrôle			

\*) Les bits 0, 1 et 7.





Ce sont des bits qui caractérisent le mécanisme de fonctionnement de l'interruption CA1. Ainsi le bit 0 joue le rôle de l'"Interrupt Mask" et le bit 1 définit la transition active de CA1 qui permet la mise à "1" du bit 7.

Transition non active de la ligne CA1	Bit 1 (front actif)	Bit 0 (masque)	Bit 7 (flag)	Etat de la ligne (IRQA (IRQB))
	0	0	1	Niveau inactif "1" (interruption masquée)
	0	1	1	Niveau actif "0"
	1	0	1	Niveau inactif "1" (interruption masquée)
	1	1	1	Niveau actif "0"

\*\*) Les bits 3, 4, 5 et 6.

De la même façon que précédemment ces bits caractérisent le fonctionnement de CA2 (DB2) dont le sens (entrée ou sortie) est déterminé par l'état du bit 5. En entrée (bit 5 à "0") CA2 (CB2) aura la caractéristique d'une interruption ;

les bits 3 et 4 auront pour rôle respectivement de masquer ou non l'interruption et pour le dernier de déterminer la transition active de CA2 (CB2) qui amenera le passage du bit 6 à l'état 1.

Transition active de CA2(CB2)	bit 5 : entrée sortie	bit 4 : (front actif)	bit 3 : (masque)	bit 6 : (flag)	Etat de la ligne IRQA(IRQB)
	0	0	0	1	Niveau actif 1 (interruption masquée)
	0	0	1	1	Niveau actif 0
	0	1	0	1	Niveau 1 (interruption masquée)
	0	1	1	1	Niveau 0

En sortie CA2 (CB2) sont utilisées selon quatre options déterminées par l'état des bits 3, 4 et 5 au cours desquelles le bit 6 reste inchangé, au niveau bas.

Registre de contrôle	Bit5	Bit4	Bit3	Mode	Caractéristiques
CRA	1	0	0	Dialogue	Est associé à une lecture. Le front descendant de E le met au niveau actif 0 alors qu'il est remis à 1 par le CRA7 de façon asynchrone.
?	1	0	1	Impulsionnel	Est associé à une lecture. Le front descendant de E le met au niveau actif 0 alors qu'il est remis à un par le 1 <sup>er</sup> front descendant de l'impulsion E. Il a la durée d'un cycle horloge
?	1 1	1 1	0 1	Programmé ou suiveur	La sortie CA2 suit l'état du bit 3.

Registre de contrôle	Bit5	Bit4	Bit3	Mode	Caractéristiques
CRB	1	0	0	Dialogue	Est associé à une écriture. Il est mis au niveau actif 0 par le front montant de E et est remis à 1 de façon asynchrone par le CRB7.
	1	0	1	Impulsionnel	Est associé à une écriture. Il est mis à 0 par le front montant de E et remis à 1 par le 1 <sup>er</sup> front montant de E qui suit la désélection du PIA.
	1 1	1 1	0 1	Programmé ou suiveur.	La sortie CB2 suit l'état du bit 3.

\*\*\*) Le bit 2.

Combiné avec les lignes RS1 et RS0, le bit2 permet la sélection des registres du PIA.

RS1	RS0	Bit2(CRA)	Registre sélectionné
0	0	1	ORA
0	0	0	DDRA
0	1	X	CRA
RS1	RS0	Bit2(ERB)	Registre sélectionné
1	0	1	ORB
1	0	0	DDRB
1	1	X	CRB

2°) Le DDRA (DDRB).

Il est programmé en premier et permet comme nous l'avons vu, de déterminer le sens des lignes PA<sub>i</sub> (PB<sub>i</sub>) en entrée ou en sortie.

.../...



Fig 3-1

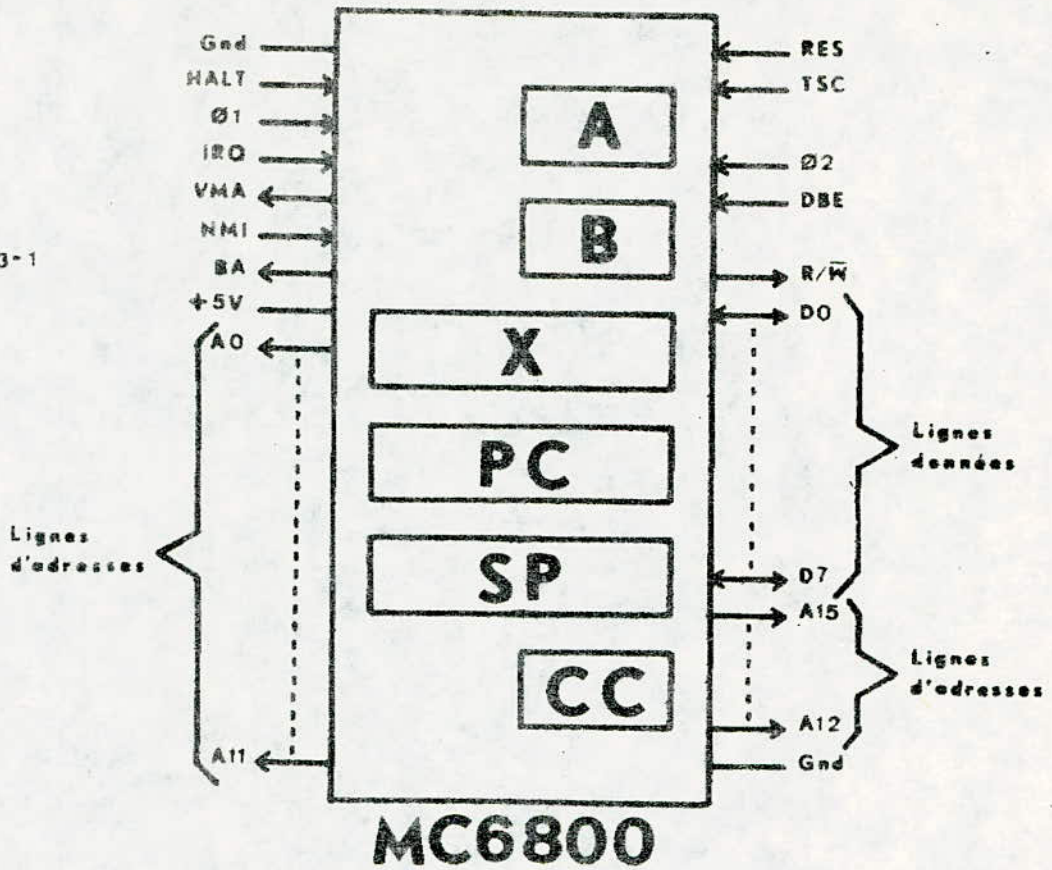
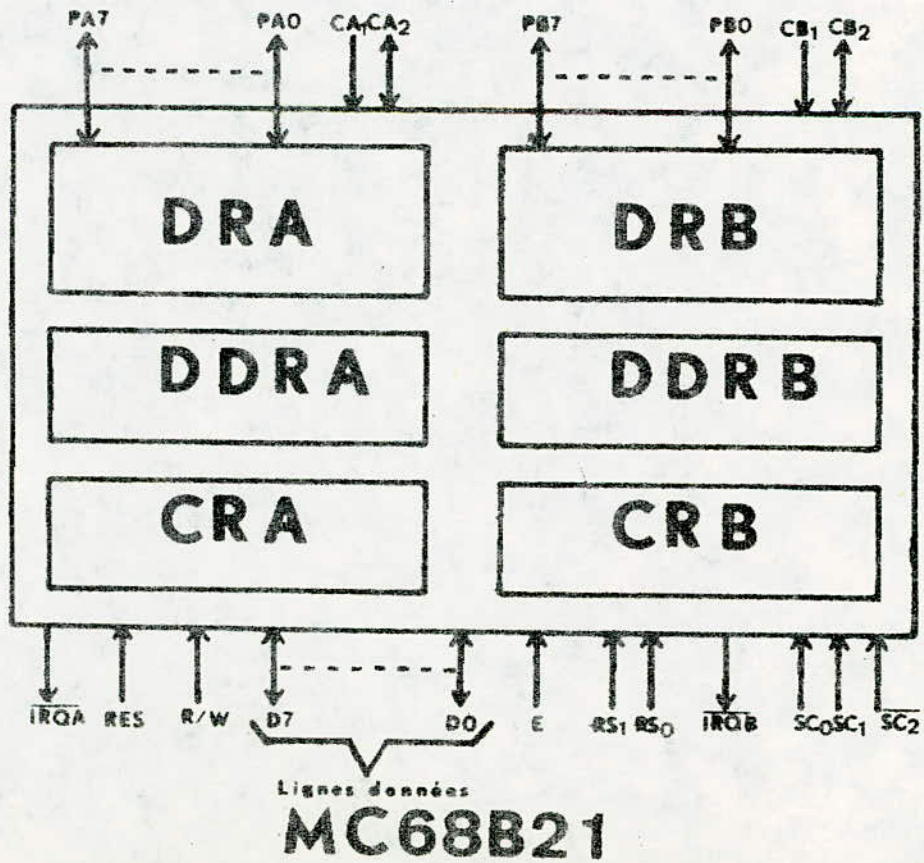


Fig 3-2



3°) Le registre de sortie.

Il est utilisé pour la mémorisation des données quand les lignes données du PIA sont sortantes.

C/ LE CONVERTISSEUR N/A.I- Présentation du convertisseur utilisé.

Dans notre système, on fait appel à l'AD7521 d'ANA LOG DEVICE, qui représente un convertisseur multiplieur à 12 bits compatible TTL. L'AD7521, fonctionne avec des alimentations de 5 à 15 volts et dissipe seulement 20mW.

II- Description de la circuiterie.

L'AD7521 est un convertisseur à 12 bits en échelle R-2R avec 12 interrupteurs C-MOS, sur une surface monolithique. La plupart des applications nécessitent l'adjonction d'un ampli opérationnel en sortie et d'une tension ou d'un courant de référence.

La fig.3 montre le système de distribution des courants pondérés vers les sorties  $I_{out1}$  et  $I_{out2}$  par l'intermédiaire des switches commandés par les bits du nombre binaire à convertir.

III- Les switches.

L'étage d'entrée (fig4), commande 2 inverseurs (dispositif 4,5,6 et 7), qui a son tour commande 2 sorties canal N. En état "ON", les résistances des six premiers switches sont échelonnées binairement de façon à ce que la chute de tension à travers chacun des switches soit la même. Ainsi pour une tension de référence de 10v le courant à travers le switch 1 est de 0,5mA, pour le switch 2 il est de 0,25 et ainsi de suite; et la chute de tension à travers chaque switch est maintenue à un niveau de 10mV. Cette égalité des chutes de tensions au niveau de chaque switch, est nécessaire pour l'obtention d'une pondération convenable et sans perturbation en courant.

IV- Analyse du circuit équivalent en fonctionnement.

Lorsque toutes les entrées sont à un niveau 0, le courant de référence est reparti sur  $I_{out2}$  (fig5). Le courant de fuite est composé des courants de fuite de jonction et de surface du substrat alors que  $I/(4096)$  représente le courant drain à travers la résistance finale de l'échelle R-2R. 120pF, représente la capacitance de la sortie à l'état "ON" du switch canal N; et 37pF la capacitance à l'état "OFF" du même switch.

La fig6 décrit une situation où toutes les entrées sont



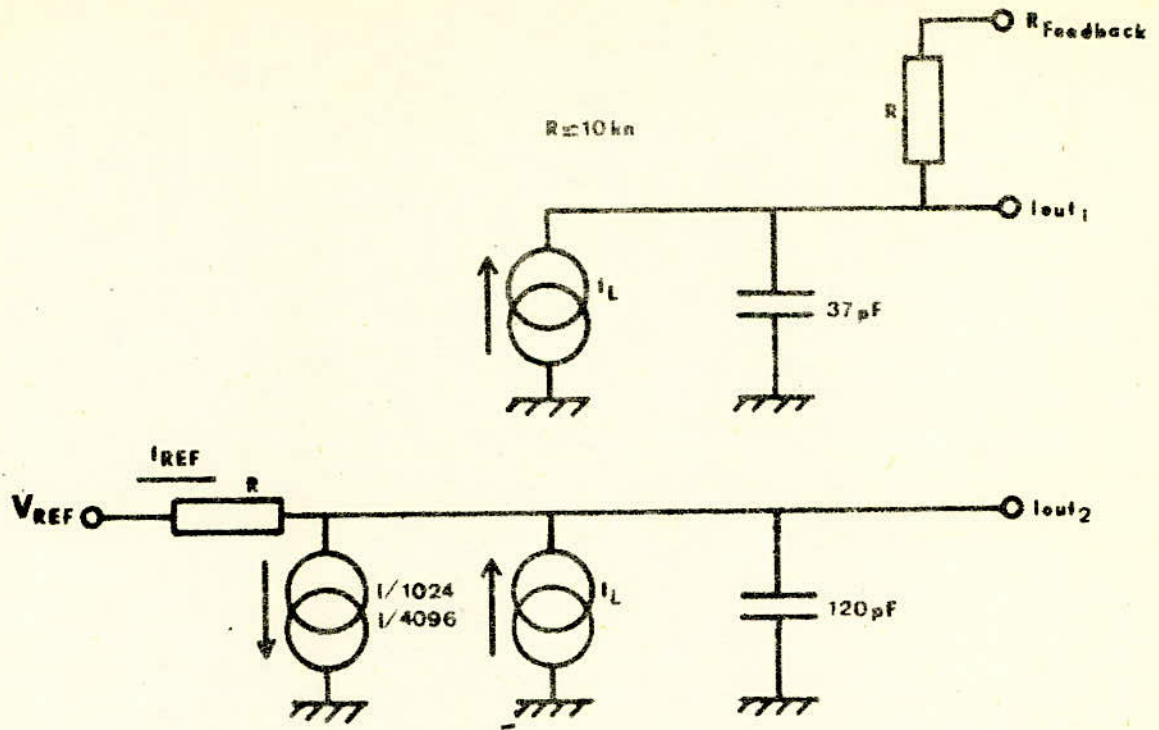


Fig 3 - 5

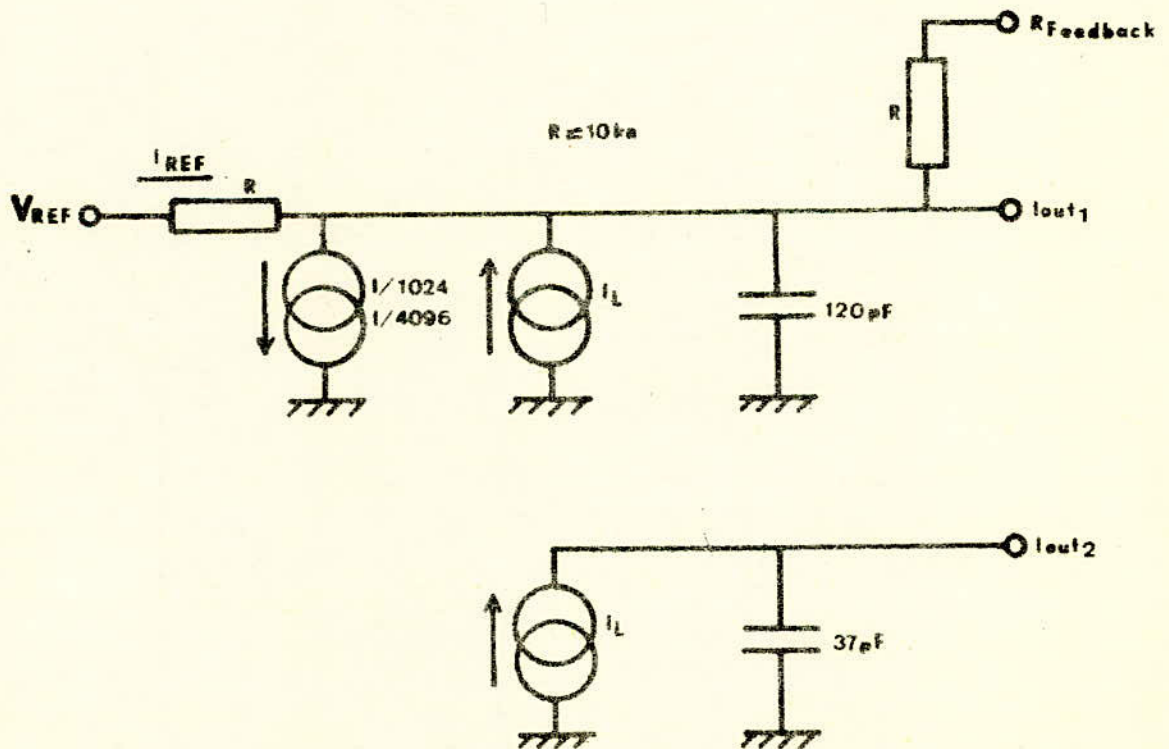


Fig 3 - 6

au niveau 1. Ce cas est analogue au précédent à la seule différence que le courant de référence est réparti sur  $I_{out1}$  et la capacitance en sortie des switches qui sont à l'état "ON" devient 120pF.

\*) Applications.

1°) Conversion unipolaire (fig3.7)

Dans un convertisseur N/A quelconque, la sortie analogique est donnée pour une opération unipolaire par :

$$V_{out} = - D \cdot V_{ref}.$$

avec :

$$D = B_1 \cdot 2^{-1} + B_2 \cdot 2^{-2} + \dots + B_n \cdot 2^{-n}$$

$B_i$  représente les bits du nombre binaire à convertir et il peut donc être soit à 0, soit à 1.

$V_{ref}$  pouvant prendre des valeurs positives ou négatives, le circuit est capable de réaliser une multiplication sur deux cadrans. On déduit ainsi les réponses tabulées sur le tableau 1 pour des entrées typiques.

Entrée digitale	Sortie analogique
111111111111	$-V_{ref} (1 - 2^{-12})$
100000000001	$-V_{ref} (1/2 + 2^{-12})$
100000000000	$-V_{ref}/2$
011111111111	$-V_{ref} (1/2 - 2^{-12})$
000000000001	$-V_{ref} (2^{-12})$
000000000000	0

Tableau 1: conversion unipolaire.

2°) Conversion bipolaire.

La réponse en sortie pour une opération bipolaire est donnée par :

$$V_{out} = -(2D-1) V_{ref}$$

De la même façon qu'en 1<sup>er</sup> D représente la valeur fractionnaire binaire de l'entrée digitale du convertisseur. L'entrée digitale pouvant accepter des nombres bipolaires et  $V_{ref}$  pouvant être une tension analogique bipolaire le

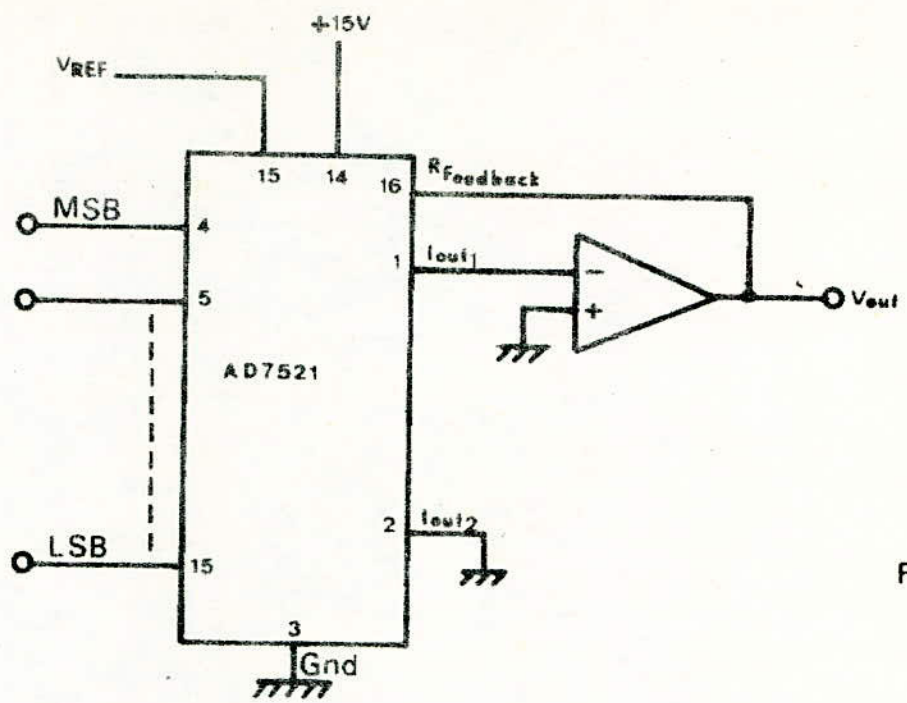


Fig 3-7

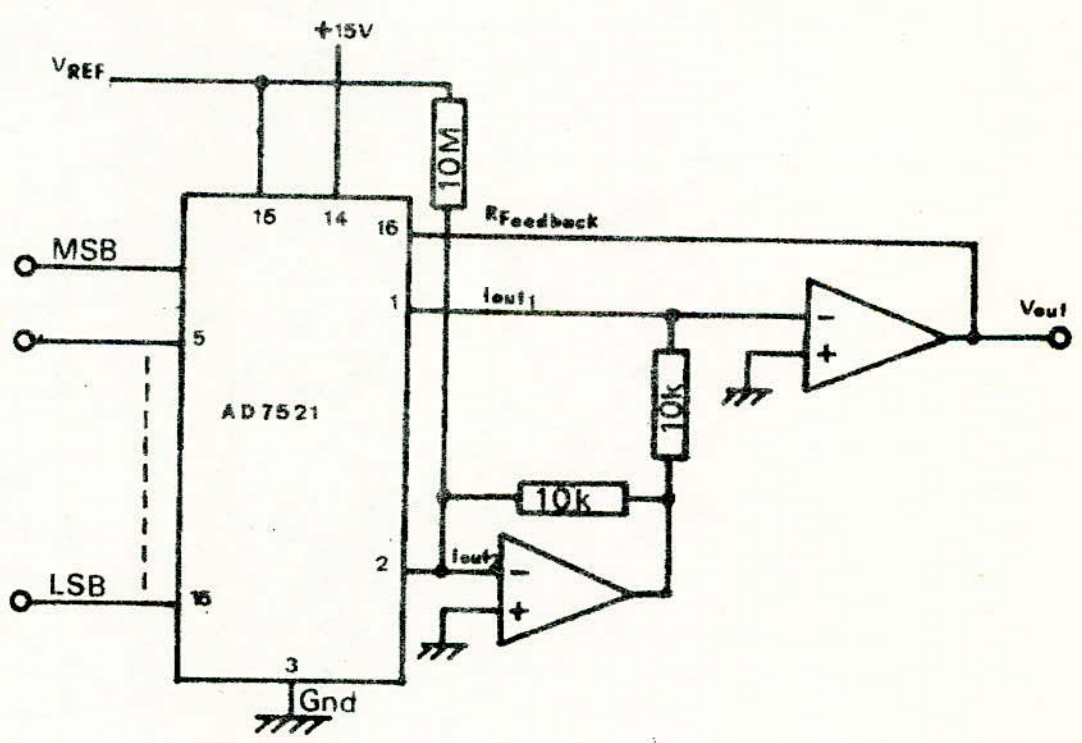


Fig 3-8

circuit peut réaliser une fonction multiplicatrice à quatre canaux. Les réponses pour des entrées typiques sont tabulées sur le tableau 2.

Entrée digitale	Sortie analogique.
111111111111	$-V_{ref} (1 - 2^{-11})$
100000000001	$-V_{ref} (2^{-11})$
100000000000	0
010000000001	$V_{ref} (2^{-11})$
000000000001	$V_{ref} (1 - 2^{-11})$
000000000000	$V_{ref}$

Tableau 2: conversion bipolaire.

Sur la fig8;  $I_{out2}$  qui est le complément de  $I_{out1}$ , est inversé et ajouté à  $I_{out1}$ . La résistance de 10Megohms corrige la différence de  $1/(1024)$  (inherente à la technique) entre  $I_{out1}$  et  $I_{out2}$  à zero (100000000000).

#### D/ Autres composant utilisés.

##### I- Le bistable Latche. (SN7475)

Le latche est utilisé pour un stockage temporaire d'une information binaire entre le processeur et l'entrée sortie. L'information présente au niveau de l'entrée de donnée (D), est transférée à la sortie Q quand le signal de commande G est à 1 et la sortie suivre l'entrée de donnée aussi longtemps que le signal de commande est au niveau 1. Quand la commande passe à 0, l'information (qui était présente au niveau de l'entrée de donnée au moment où la transition a apparu) est retenue à la sortie Q jusqu'à ce que la commande revient à 1.

##### II- Les buffers 8T26 et 8T95.

Ils sont utilisé pour la mise en forme des signaux du MPU, ainsi que la protection contre les courts-circuits eventuels. Les buffers 8T95 sont contrairement aux 8T26 non inverseurs.

.../...

### III- Le comparateur (CMP-01).

Il est caractérisé par une grande précision dans la comparaison de tensions, un temps de réponse très court aussi bien pour des signaux grands que petits ainsi que par l'absence d'oscillations. Ces caractéristiques permettent son utilisation dans la conversion A/D à 12 bits.

### IV- L'amplificateur opérationnel (MC17415).

Il est utilisé pour la conversion N/A avec le 7521 et comme ampli suiveur pour les sorties analogiques.

### V- LA bascule JK (SN7476).

Elle est utilisée pour le maintien à un niveau constant d'une ligne de commande de la table.

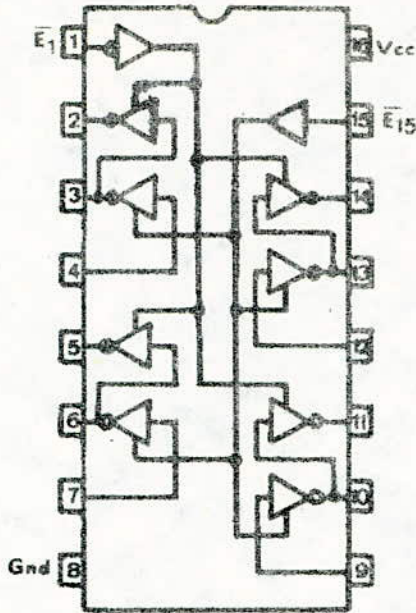
### VI- Les portes NAND (SN7420), OR (SN74LS32) et l'inverseur (SN7404).

Elles servent à l'établissement de la logique de sélection du circuit et de la commande de la table.

### VII- LA tension de référence (REF-01).

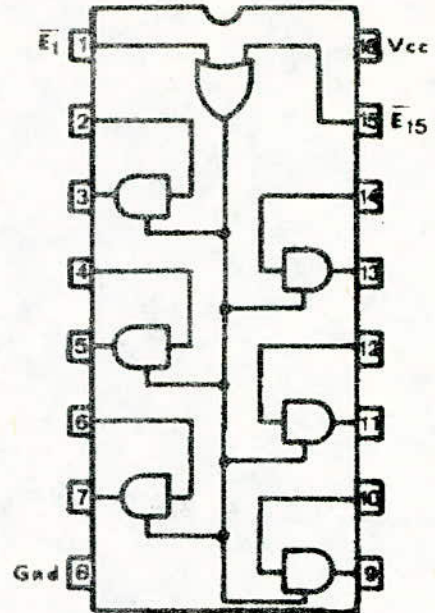
Le CI REF-01 fournit une tension de référence de 10v en sortie, ajustable à un <sup>niveau</sup> de  $\pm 3\%$  avec une grande stabilité en température. Cette tension sera utilisée par le DAC.





$E_1$	$E_2$	out
L	L	Ecriture
L	H	Passant
H	H	Lecture
H	L	Z

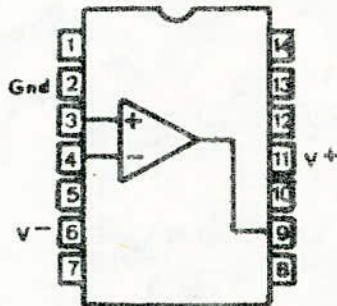
**MC8T26A**



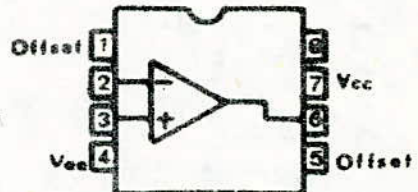
$E_1$	$E_2$	in	ou
L	L	L	L
L	L	H	H
L	H	X	Z
H	L	X	Z
H	H	X	Z

**MC8T95**

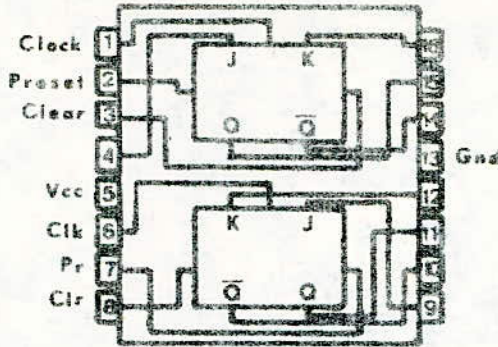
H: high  
 L: low  
 Z: haute impédance  
 X: indifférent



**CMP-01**



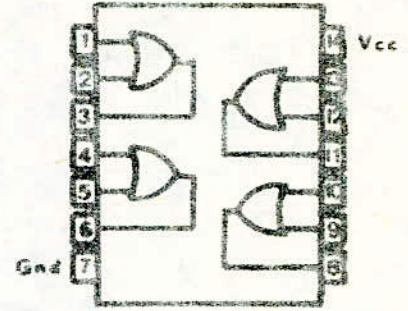
**MC1741S**



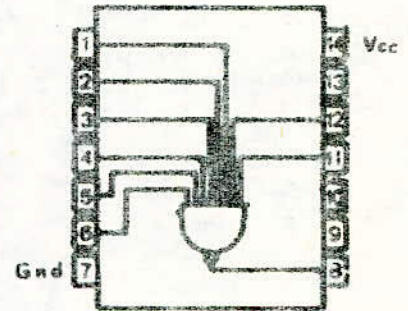
PR	CLR	CLK	J	K	Q	Q̄
L	H	/	/	/	H	L
H	L	/	/	/	L	H
L	L	/	/	/	H*	H*
H	H		L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H		H	L	H	L
H	H		L	H	L	H
H	H		H	H	L	H

**7476**

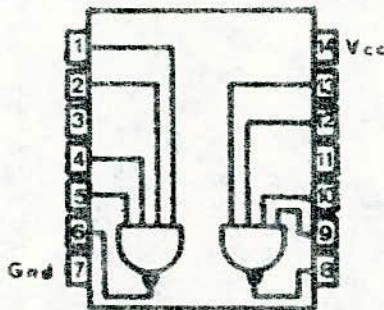
H: high  
 L: low  
 /: inapplicable  
 Q<sub>0</sub>: état initial de Q  
 \*: configuration non stable



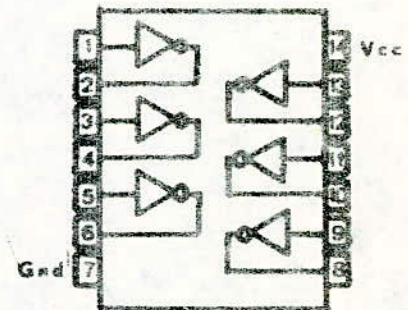
**SN74LS32**



**SN7430**



**SN7420**



**SN7404**

CARACTERISTIQUES GENERALESMC6821 (PIA).

Fréquence limite	2 MHz.
Tension de travail:	
- Bus de contrôle : (entrée, niveau haut)	0,0V maximum.
( " " bas)	0,8V maximum
- Bus de données : (entrée, niveau haut)	2V minimum.
( " " bas)	0,8V Maximum.
(sortie, niveau haut)	2,4V minimum.
( " " bas)	0,4V maximum.
- Bus périphérique : (sortie, niveau haut)	2,4V minimum.
( " " bas)	0,4V maximum.
Tension d'alimentation :	-0,3V à 7V.
Puissance dissipée :	550 mW.

AD7521 (DAC).

Temps d'établissement :	500us.
Tension d'entrée (niveau haut) :	2,4V minimum.
" " " bas :	0,8V maximum.
Tension de sortie :	de $V_{DD}$ à la masse.
Tension de référence :	+25V.
Tension d'alimentation :	$V_{DD} = \pm 17V.$
Puissance dissipée :	450 mW.

MC8T26A. (Buffer inverseur).

Temps de réponse :	20ns maximum.
Tension d'entrée (niveau haut) :	2V minimum.
" " " bas :	0,85V maximum.
Tension de sortie (niveau haut) :	2,4V minimum.
" " " bas :	0,4V maximum.
Tension d'alimentation :	5V.
Puissance dissipée :	1W.

MC8T95 (buffer non inverseur).

Temps de réponse :	42 ns.
Tension d'entrée (niveau haut) :	2V minimum.
" " " bas :	0,8V maximum.
Tension de sortie (niveau haut) :	2,4V minimum.
" " " bas :	0,5V maximum.
Tension d'alimentation :	8V.

CMP01 (Comparateur).

Temps de réponse :	180 ns.
--------------------	---------

.../...



CHAPITRE IVPRESENTATION DU TRACEUR/SUIVEUR DE COURBES

C'est un système modulaire capable de réaliser, par adjonction des modules appropriés une écriture en  $XY_1Y_2$ ,  $Y_1Y_2$ ,  $XY_1$  et  $XY_2$  OU une lecture.

Il s'articule autour des parties suivantes :

A/ LE SUPPORT CARTE (Chart drive unit).I- Introduction.

Le support carte (chart drive unit), est un élément nécessaire, permettant aux enregistreurs de série 24000, de BRYANS, 26000 et 29000 d'être utilisés aussi bien avec un enroulement de 30m de longueur, qu'avec des feuilles de papier de format A3. Pour ce faire le système est muni d'un dispositif de maintien du papier pouvant être utilisé manuellement lors d'un déroulement. Dans ce cas il faut débrayer le moteur en agissant sur le déclencheur-enclencheur.

Le moteur peut se mouvoir selon des vitesses variables par plots de 0,1 s/mm à 100s/mm. Il peut également être commandé par niveaux TTL (+5V pour la marche, correspondant au 1 logique et 0,8V correspondant à un 0 logique pour l'arrêt).

II- Spécifications :1°) Le sélecteur de mode.

Il permet le choix entre un fonctionnement en continu ou par pas.

2°) Commande externe.

Le dispositif avance de 0,05mm pour chaque impulsion externe appliquée entre la masse et l'entrée, ceci quand le sélecteur de vitesse est mis en externe et celui du mode en contunu.

.../...

3°) L'impulsion de commande.

Elle est caractérisée par un niveau minimum de 3V, pour un maximum de 5V avec un temps de montée ne dépassant pas 1 $\mu$ s. La fréquence maximum du train d'impulsion doit être de 200 pulsions par secondes.

4°) Avance par pas.

Le sélecteur de vitesse permet la réalisation de pas de 0,1 à 100mm, pour chaque impulsion de commande externe appliquée entre la masse et l'entrée externe ; ceci quand le sélecteur de mode est au pas. Les avances par pas sont obtenues à une vitesse de 18/6, avec une précision de  $\pm 0,05$ mm.

5°) Sélecteur arrêt.

Le système peut être arrêté soit par action sur le sélecteur soit par une commande externe à l'arrière par impulsion avec un niveau 0 de 0,4V.

6°) Impulsion d'acquiescement

Une impulsion de 5 à 10 $\mu$ s, avec un niveau de 5V est disponible entre le PCP et la masse. Elle fournit un acquiescement dans le cas d'un fonctionnement par pas.

B/ LE MODULE ENREGISTREUR 26105.I- Introduction.

Le module enregistreur 26105, offre la possibilité d'obtenir des déviations selon les axes X ou Y, avec 9 niveaux de sensibilités entre 0,25mV/cm et 2,5V/cm calibrés à une précision de 1%. L'utilisation du contrôleur de niveau (range), permet une variation continue de la sensibilité, jusqu'à 4 fois le niveau de sensibilité sélectionné. Une position base de temps (time base), est incluse dans le sélecteur de sensibilité du module. Elle est utilisée lors d'un enregistrement avec le balayage interne de la table.

\* Données techniques.- Entrée :

Entrée maximum permise : 500V.

- Sensibilité:

Neuf niveaux calibrés, de 0,25mV/cm à 2,5V/cm.

.../...

- Impédance d'entrées:

Infinie à nulle sur les niveaux potentiométriques 0,25 ; 1 ; et 2,5mV/cm. Elle est d'un mégohms pour les autres niveaux.

- Résistance de source limite :

La résistance de source maximum permise est de 25Kohms, sur les niveaux 0,25 ; 1 et 2,5mV/cm. Il n'existe pas de restrictions pour les autres niveaux.

- Pen offset :

Il est variable de 0 à la déviation de pleine échelle.

- Entrées disponibles :

- (1) Entrées flotantes rouge et noire.
- (2) Masse (verte).

II- Dispositif de contrôle.

a- Les entrées terminales.

Le signal d'entrée est appliqué sur les entrées rouge et noire. L'entrée verte représente la masse du châssis. Elle est donc connectée à l'entrée noire qui est la masse ducircuit.

b- Sensibilité.

Le sélecteur à 10 positions fournit 9 niveaux de sensibilité et une position en base de temps. Cette position connecte la tension de rampe à l'entrée des circuits et simultanément déconnecte les entrées.

Un potentiomètre de contrôle variable (utilisé en conjonction avec l'interrupteur calibré/variable) permet un ajustement allant jusqu'à 4 fois la sensibilité sélectionnée. Quand le bouton de contrôle est tourné à fond dans le sens contraire des aiguilles d'une montre, l'interrupteur de sensibilité impose au module une précision de 1%. Une rotation dans le sens des aiguilles d'une montre réduit la sensibilité sélectionnée.

c- Le sélecteur CAL/VAR.

Il permet de choisir entre le mode calibré et le mode variable.

.../...

d- LE PEN-OFFSET.

Un potentiomètre variable permet à l'utilisateur de positionner la plume (pen), en n'importe quelle point le long de l'axe X.

e- OFF/INPUT.

C'est un interrupteur qui déconnecte le signal d'entrée (en position OFF) et court-circuite les circuits d'entrée de l'enregistreur. En position INPUT, l'entrée est reconnectée, et le court-circuit est levé.

f- Les entrées de services.

Il existe, à l'arrière du module, trois entrées de services colorées rouge, noire et verte. Elles sont connectées en parallèle avec les entrées du panneau de contrôle ; elles réalisent donc les mêmes fonctions.

C/ LE module suiveur de courbes serie 2039.I- introduction.

Le suiveur de courbes photoélectrique est un élément de l'enregistreur serie 2600. Il permet de suivre des courbes de façon précise avec une vitesse allant jusqu'à 40cm/s.

Une tête sensible avec un objectif cylindrique permet de suivre des courbes très escarpées. Elle est dotée d'un système de cellules photo-voltaïque qui ramène à un niveau très faible les déviations de la tête de lecture. La sortie tension analogique est ajustable et accepte une tension de référence interne ou externe.

La tête de lecture peut suivre des pentes limitées à 85° par rapport à l'horizontale. La ligne de la courbe suivie doit avoir une épaisseur et une régularité constantes dans sa longueur afin d'éviter toute imprécision. De même, la présence de taches ou de saletés peuvent perturber ou introduire du bruit dans le signal relevé. Pour deux courbes qui sont entrecroisées le lecteur suit celle de plus grande épaisseur.

II- Tableau de commande.

1°) L'interrupteur Positionnement/Suiveur (POSITION/FOL-LOW).

Il permet de choisir entre deux positions :

.../...



- Positionnement.

Il donne la possibilité de placer la tête de lecture au niveau voulu.

- Suiveur.

La tête de lecture suit automatiquement la courbe.

2°) Le bouton de position.

Il permet de positionner le lecteur sur la courbe à lire, quand le bouton Positionnement/Suiveur est mis en position.

3°) Le bouton de contrôle de la balance.

Un potentiomètre agissant seulement quand le bouton Positionnement/Suiveur est mis en suiveur, permet d'égaliser la sensibilité des cellules de la tête de lecture, pour chaque type de papier.

4°) Le bouton de contrôle de gain.

Il diminue le gain de façon à permettre au lecteur de suivre la courbe dans des conditions optimales.

5°) Le bouton de contrôle de zéro.

Il ajuste la tension de sortie à zéro pour n'importe quelle ligne donnée, mise à zéro dans la direction Y.

6°) Le contrôle de calibrage.

Il ajuste le facteur d'échelle de la tension de sortie.

7°) Les sorties analogiques.

Une tension analogique correspondant à la courbe suivie est disponible au niveau de ces sorties. Il existe deux types de sorties qui remplissent la même fonction. Ce sont : les sorties terminales sur le tableau de commande et les sorties de service du module.

8°) Entrées de références externes.

Elles sont utilisées pour l'application d'une tension de référence positive allant de 5V à un maximum de 25V. Dans ce cas, on déplace le cavalier des entrées internes 1,2 aux entrées externes 3,4.

.../...

### III- La tête de lecture.

L'intérieur de la tête de lecture comprend, une ampoule lumineuse, ainsi que deux paires de cellules photo-électriques encapsulées et couvertes d'un objectif cylindrique. Chaque paire de cellules, dans les sections sensibles supérieures et inférieures de la tête, est connectée en série. L'utilisation de deux cellules appariées augmente la tension de sortie. Les écarts sont minimisés par une sélection et un appariement soigneux des quatre cellules.

Illuminée, chaque paire de cellule donne une tension positive en sortie qui, comparées entre elles par un amplificateur opérationnel, permettent d'agir sur le moteur qui commande le positionnement de la tête.

CHAPITRE VREALISATION DU HARDWAREA/ INTRODUCTION.

La conception de la circuiterie demande au préalable une connaissance des signaux à traiter. Les niveaux logiques "0" et "1" issues du MPU ont respectivement une valeur de 0,8V maximum et 2V minimum. Les circuits utilisés sont adaptables TTL, en conséquence le traitement proprement dit des signaux digitaux ne pose pas de problème dans le sens de l'adaptation électronique sauf en cas de surcharge. A la sortie des convertisseurs, le traitement des signaux analogiques sera autre puisqu'il faudra tenir compte des influences parasites accompagnant ces derniers.

Le choix de trois PIA est déterminé par les modalités de transfert des données et par le nombre de lignes de commandes. On dénombre en tout neuf lignes de commandes dont cinq pourraient fonctionner en même temps. Ces lignes sont :

- Balayage interne (SWEEP/RESET).
- Tracé par point (SEEK/PCP)
- Commande moteur (EXT/PCP).
- Stop moteur.
- Mute.
- Commande "Latche".

Les commandes développées dans ce travail sont le Marche/Arrêt du moteur, Abaissement/Levé de plume, tracé par point et la commande "Latche". Les commandes restantes n'ont pas été développées, pourtant leur brochage a été prévu dans le cadre d'une utilisation ultérieure. Une ligne supplémentaire pour la lecture du résultat de la comparaison, est prévue.

B/ LES LOGIQUES DE SELECTION DES PIA ET DE COMMANDE DES BUFFERS

Une serie de buffers inverseurs et non-inverseurs protege les circuits internes du micro-ordinateur.

.../...

### I- La logique d'adressage.

La sélection des PIA se fait uniquement à l'aide des lignes CS2 qui sont actives au niveau "0". Le reste des chips selects seront portés à un niveau logique constant, égal à "1", par une tension de 5V appliquée à travers une résistance de 4,7K, qui fixe le courant.

De façon identique pour les trois PIA, la sélection des registres internes sera définie par les lignes RS0 et RS1 ; on utilisera pour cela les deux bits de faible poids du bus adresse. La sélection des trois PIA exigeant également deux bits, on aboutit à un total de quatre bits. On utilisera ainsi les quatre bits de plus faible poids du mot binaire définissant les adresses des trois PIA. Les autres bits réalisant la combinaison des trois derniers quartets, passeront à travers des buffers, inverseurs et non inverseurs, et jus pour obtenir un "1" logique pour les adresses de travail (à partir de 9680). Ces lignes seront groupées à travers une porte NAND dont la sortie (S) amène une désélection des PIA dès que l'une des lignes d'entrées passe à "0".

La première adresse disponible étant 9680 (en hexadécimal) nous obtenons l'adressage selon la décomposition suivante :

	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	
9680	1	0	0	1	0	1	1	0	1	0	0	0	0	0	0	0	PIA1
9684	1	0	0	1	0	1	1	0	1	0	0	0	0	1	0	0	PIA2
9688	1	0	0	1	0	1	1	0	1	0	0	0	1	0	0	0	PIA3

\* Tableau de vérité.

S	A <sub>3</sub>	A <sub>2</sub>	CS2 <sub>1</sub>	CS2 <sub>2</sub>	CS2 <sub>3</sub>
0	0	0	1	1	1
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	1	1	1
1	0	0	0	1	1
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

\* Tableaux de Karnaugh.

S	0	1
A3A2		
00	1	0
01	1	1
11	1	1
10	1	1

$$\overline{CS2}_1 = \overline{S} + A2 + A3$$

S	0	1
A3A2		
00	1	1
01	1	0
11	1	1
10	1	1

$$\overline{CS2}_2 = \overline{S} + \overline{A2} + A3$$

S	0	1
A3A2		
00	1	1
01	1	1
11	1	1
10	1	0

$$\overline{CS2}_3 = \overline{S} + A2 + \overline{A3}$$

On aboutit au schéma général de sélection des PIA représenté en fig5.1 .

La sélection des registres des PIA se fait conformément à la théorie développée dans le chapitre trois. Les deux bits de plus faible poids sont reliés directement aux entrées, RS0 et RS1.

II- La commande buffers.

Les lignes du bus données passent à travers des buffers inverseurs pour atteindre les entrées des trois PIA. Les buffers seront commandés par une logique établie à partir des lignes de sélection des PIA et des signaux de commande du MPU ( $\emptyset_2$  et R/W).

Cette commande doit obéir aux contraintes suivantes :

- Les buffers doivent être passant dans le sens du transfert des données, ces dernières étant présentes sur le data bus.
- Le buffer passe à l'état de haute impédance si aucun des trois PIA n'est sélectionné.

La sélection de l'état du buffer se fera ainsi grâce aux lignes  $\overline{CS2}$  des trois PIA, regroupées à travers une porte NAND. La sortie de cette dernière sera prise comme variable dans la réalisation électronique de la logique de commande des buffers (voir tableau de vérité).

On aboutit au tableau de vérité suivant :

.../...

$\emptyset_2$	R/W	Sortie NAND	$E_1$	$E_2$	ETAT DU BUFFER
0	0	0	1	0	Haute impédance
0	0	1	1	0	Haute impédance
0	1	0	1	0	Haute impédance
0	1	1	1	0	Haute impédance
1	0	0	1	0	Haute impédance
1	0	1	0	0	Ecriture
1	1	0	1	0	Haute impédance
1	1	1	1	1	Lecture

Le tableau de Karnaugh relatif à  $E_1$  sera le suivant :

S'	$\emptyset_2$	R/W	$E_1$
0	0	1	1
0	0	1	1
0	1	1	1
0	1	1	1
1	0	1	0

$S'$  représente la sortie du NAND.  
D'après le tableau, on tire :

$$E_1 = \overline{\emptyset_2} + R/\overline{W} + \overline{S'}$$

Le choix de composants étant restreint, des transformations sont apportées à l'expression. On obtient :

$$E_1 = \overline{\emptyset_2} \cdot R/\overline{W} \cdot S'$$

Le tableau de Karnaugh relatif à  $E_2$  sera le suivant :

S'	$\emptyset_2$	R/W	$E_2$
0	0	1	0
0	0	1	0
0	1	1	0
0	1	1	0
1	0	1	0
1	0	1	0

D'après le tableau, on tire :

$$E_2 = \emptyset_2 \cdot R/\overline{W} \cdot S'$$

Pour les mêmes raisons précitées, on obtient :

$$E_2 = \overline{\emptyset_2} + R/\overline{W} + \overline{S'}$$

Le schéma général de la sélection de l'état des buffers du bus données, tenant compte des contraintes sur le type de composant disponibles, est représenté sur la fig5.2.

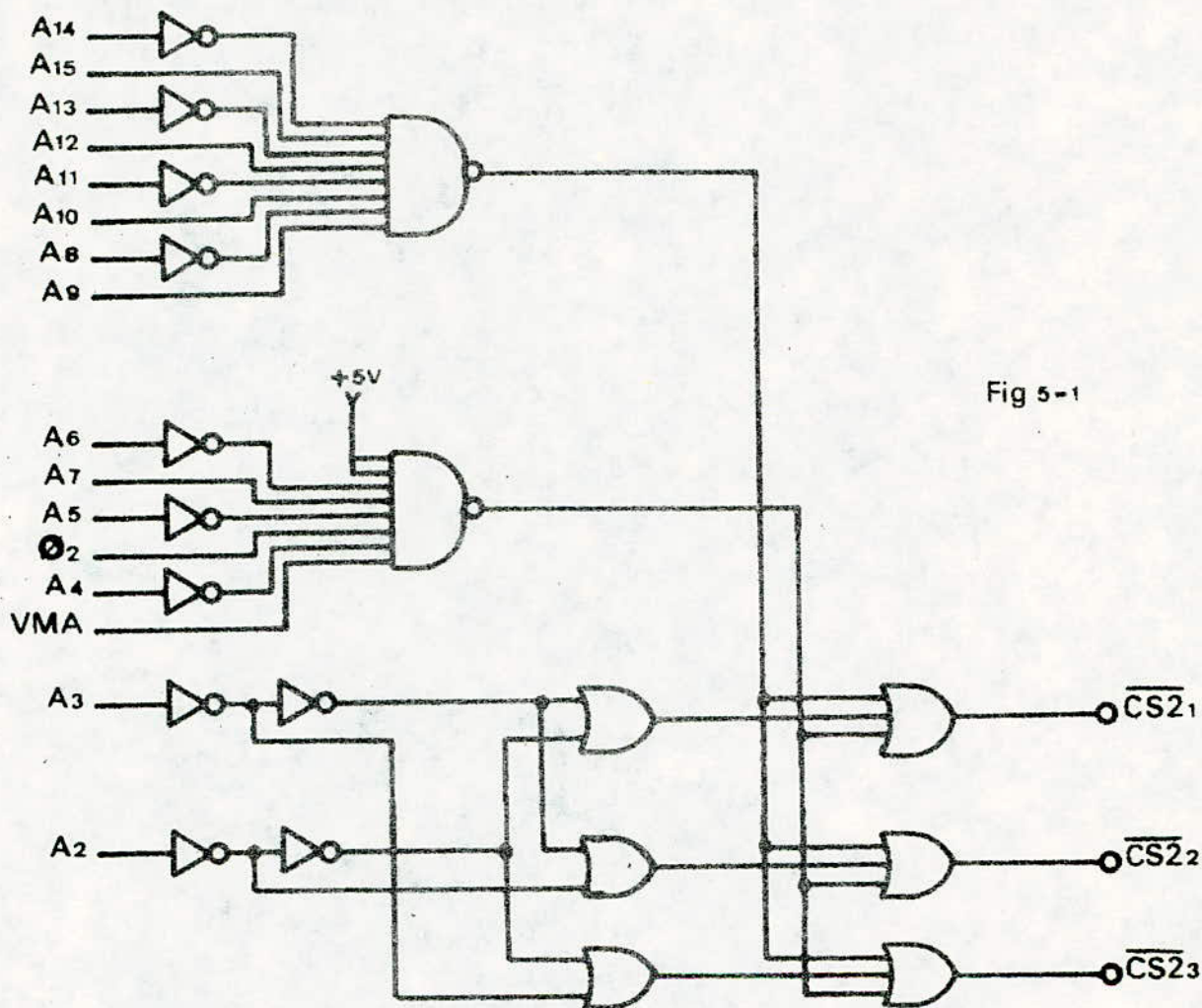


Fig 5-1

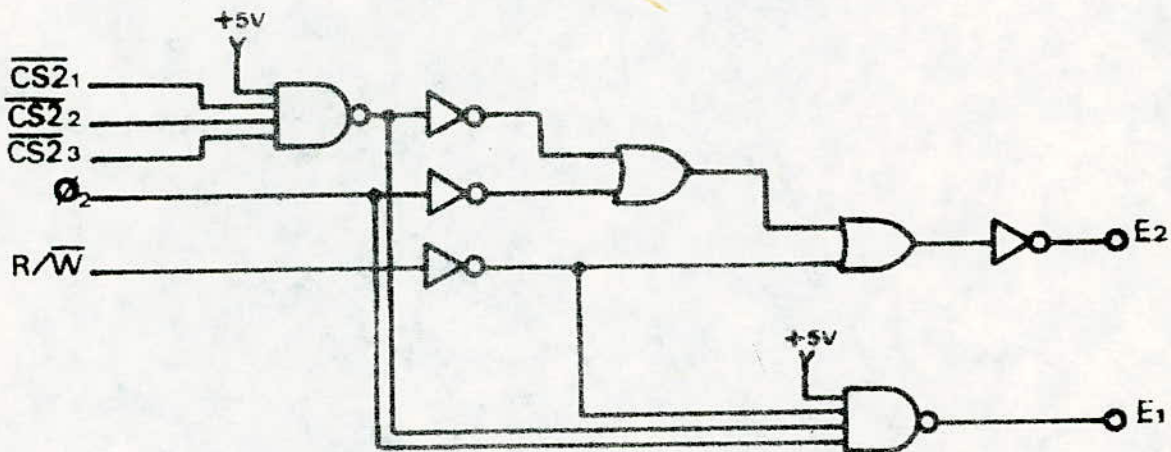
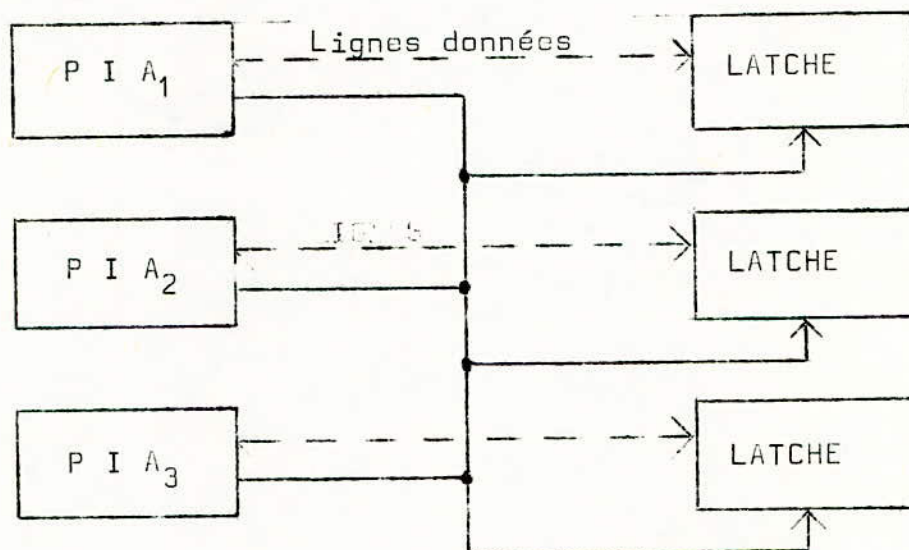


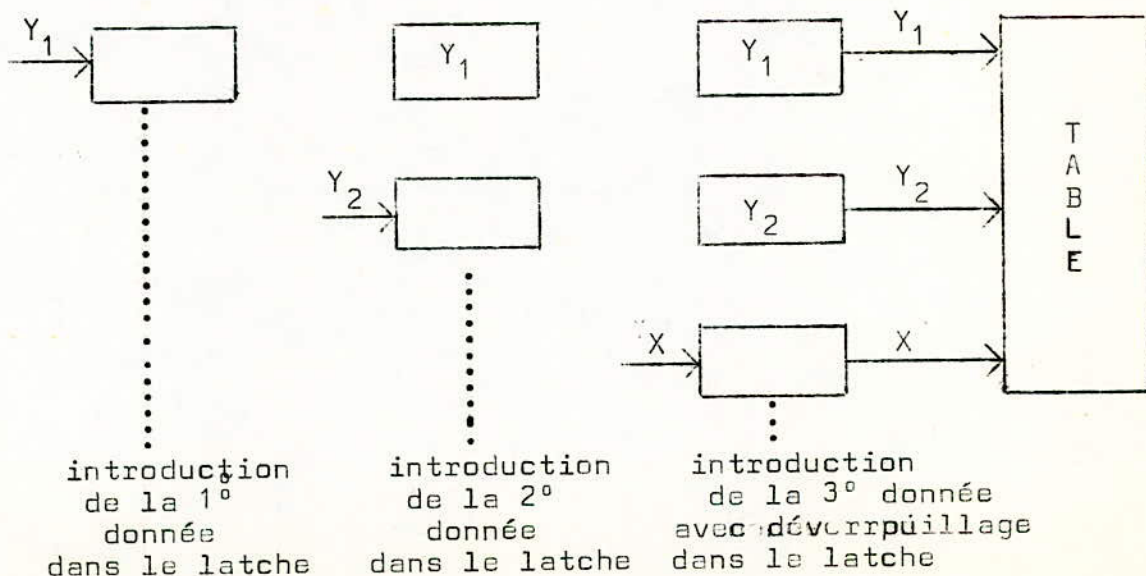
Fig 5-2

C/ LA COMMANDE "LATCHE".

Le système de transfert de données retenu, utilise des mémoires tampons commandées par l'un quelconque des trois PIA. Ceci allège le software, étant donné qu'on a la possibilité de déverrouiller au moment où la dernière donnée est introduite sans avoir à revenir sur une position fixe de déverrouillage. Cette méthode de transfert de données sera synchrone dans le cas de courbes en fonction de X, puisque la donnée de la courbe  $Y_1$  ou  $Y_2$  ou encore  $Y_1$  et  $Y_2$  ne se présentera à l'entrée de la table que lorsque la donnée de la courbe X se présente.



Commande des latches;





Le montage électronique utilise deux portes "OU" à deux entrées, pour réaliser la commande des "Latches" ; mais ceux-ci étant à quatre entrées/sorties et sachant que le mot binaire fait douze bits, on aboutit à un total de neuf "latches" commandés par la sortie du "OU". Cependant pour éviter une surcharge de la sortie "OU", on utilisera en cinquième position un buffer non inverseur qui fera une mise en forme du signal d'attaque des cinq "Latches" restants.

#### AD/ LE CIRCUIT ANALOGIQUE.

A la sortie des "Latches" groupés par trois, un montage spécifique à la conversion N/A bipolaire pour le DAC AD7521 tel qu'il a été présenté en III-11 sera câblé. Ce système sera protégé en sortie par un amplificateur opérationnel monté en suiveur.

Le montage pour la conversion A/N, utilise toutes les lignes du premier PIA, avec en supplément la ligne de réponse du comparateur qui est liée au pin 17. Le montage comprenant le comparateur utilise un amplificateur opérationnel monté en "non inverseur" à l'entrée de la carte. Ceci a pour but de fixer le facteur d'échelle à un niveau permettant une prise adéquate pour un quantum donné. La seconde entrée du comparateur sera liée à la sortie du montage de la conversion N/A et sa sortie sera ajustée, par diode zener, à 4,7V pour un niveau logique "1".

Lors de la réalisation du montage et des essais de fonctionnement, il est apparu, sur le résultat d'une lecture, des perturbations dont l'origine était dûe au fonctionnement intrinsèque du convertisseur. En effet une inversion de bit sur deux quartets provoque l'apparition d'une pointe de tension ou "GLITCH".

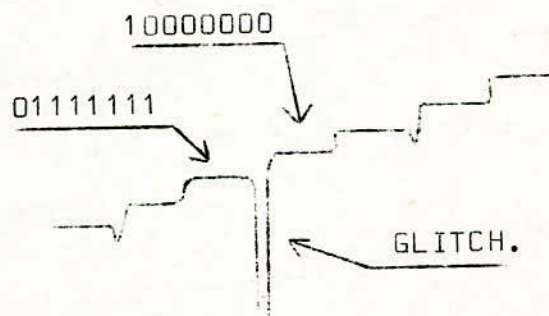


Fig 5-6

La durée de l'impulsion étant de 2 $\mu$ s pour une amplitude de 2V, l'annulation de la perturbation se fera par la modification du feed-back des amplificateurs Iout<sub>1</sub> et Iout<sub>2</sub>, en y incluant une capacité de découplage sur chacun des amplificateurs.

Un découplage conséquent annulera tous les effets secondaires du "Wrapping", le câblage de ce dernier ayant été fait avec l'attention requise pour minimiser toute source de bruit.

## E/ AUTRES COMMANDES.

### I- La commande SEEK/PCP.

De façon analogue au procédé de déverrouillage des "Latches", le circuit d'envoi du signal SEEK sera câblé de telle sorte que par n'importe quel PIA, l'ordre d'enregistrement d'un point peut être envoyé vers la table. Pour cela on reliera les lignes PB4 des trois PIA à travers une porte "OU", dont la sortie est directement reliée à l'entrée SEEK de la table.

Le signal d'acquiescement (PCP) sera récupéré, à travers un buffer, par l'entrée CA1 des trois PIA.

La configuration de ces deux signaux se trouve en Fig5.7. Ces deux signaux sont synchronisés par la table, le prochain signal SEEK ne peut avoir lieu que si le signal d'acquiescement est émis. L'entrée/sortie de la table pour ces deux signaux étant adaptable TTL, la liaison avec le PIA se fera pour le SEEK par l'intermédiaire du "OU" et pour le PCP à travers un buffer qui protégera les circuits d'entrées de la carte.

### II- Les commandes "Stop Moteur" et "Abaissement/Levé de plume"

Ces deux lignes de commandes doivent être maintenues au niveau requis pendant toute la durée de fonctionnement du moteur ou de la plume. Elles passeront donc directement du PIA vers la table par l'intermédiaire d'une bascule JK qui jouera en même temps le rôle de buffer.

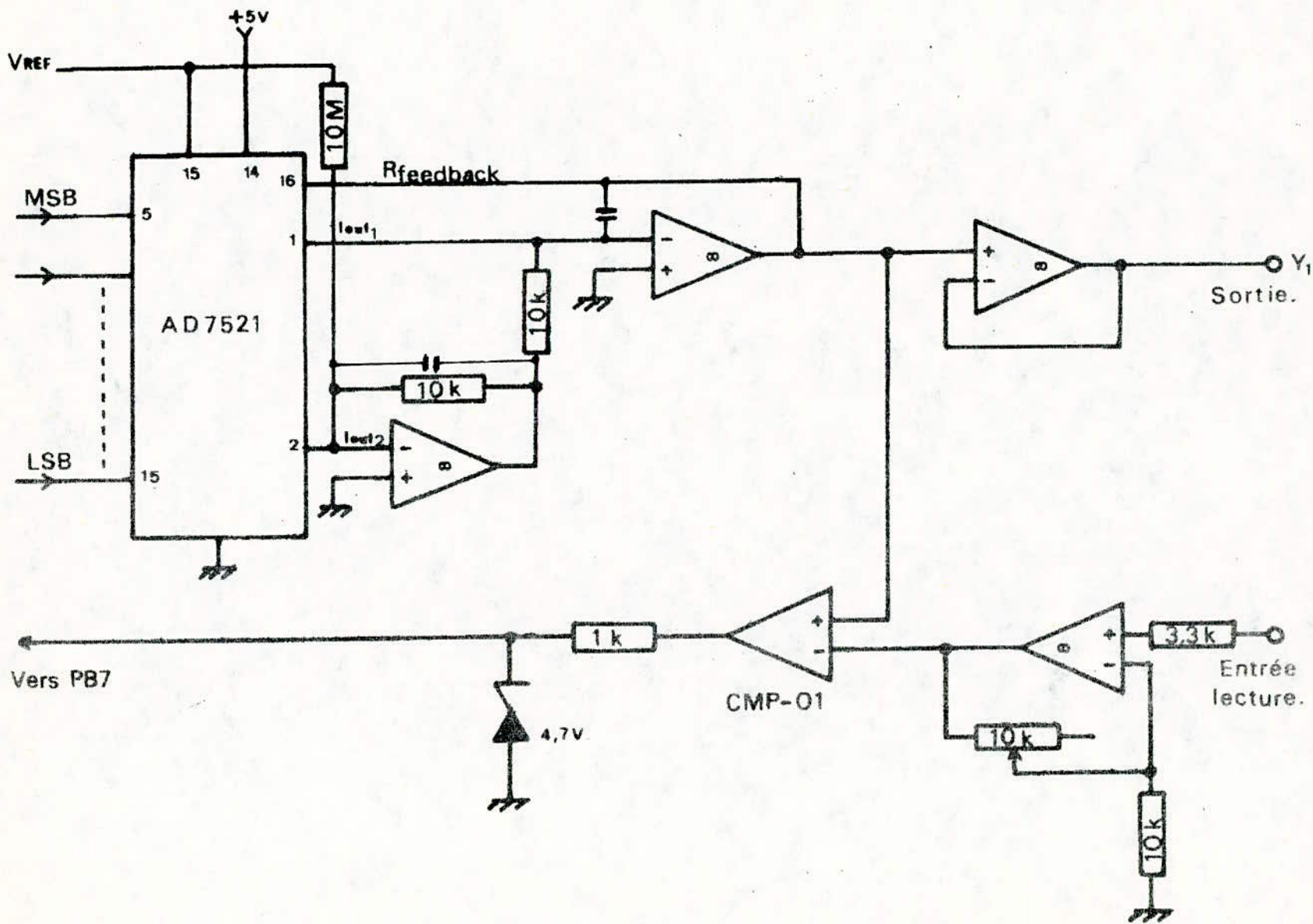


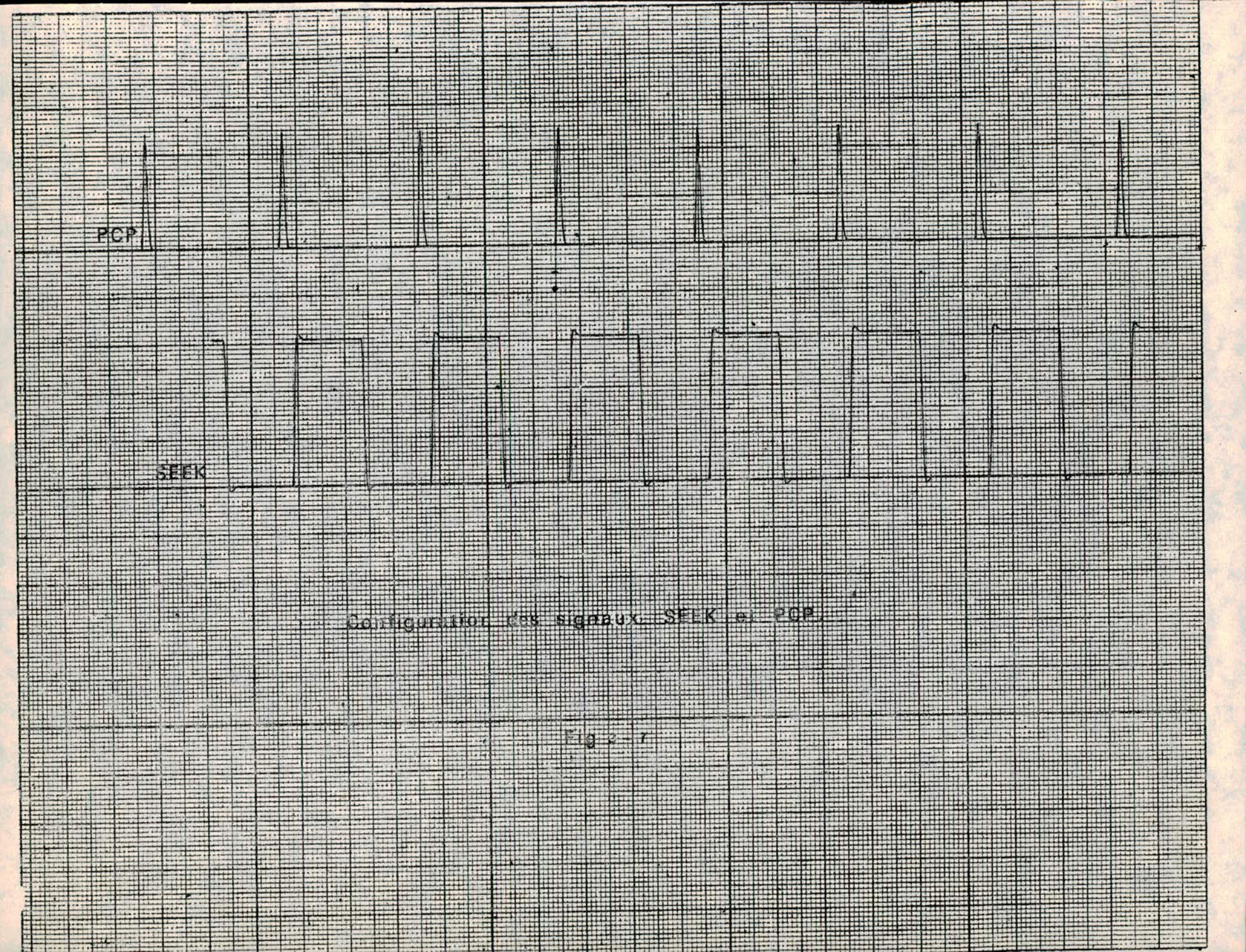
Fig 5-4

PCP

SEEK

Configuration des signaux SEEK et PCP

Fig. 2-7





CHAPITRE VIIELABORATION DU SOFTWAREA/ Introduction.

La réalisation du hardware étant terminée, une élaboration du software correspondant suivra. Ce dernier verra sa structuration axée autour des fonctions imposées, en vue de l'atteinte de l'objectif assigné. Il sera ainsi constitué de sous programmes spécifiques du fonctionnement, auxquels on fera appel par l'intermédiaire du programme général de gestion.

Le développement qui suivra, sera accompagné de "listings" et organigrammes auxquels il faudrait se référer.

B/ Fonctions assignées.1°) Lecture/Ecriture.

Cette fonction répond au choix de l'utilisateur, dans le sens du transfert de l'information ; de la table vers le micro-calculateur, pour une lecture et inversement pour une écriture.

2°) Ecriture par point/continu.

Détermine le type de tracé dans l'enregistrement des données sur papier. L'option "par point" sera caractérisée par le tracé d'une suite de points correspondant aux valeurs des points existants dans les mémoires du micro-calculateur. Son mécanisme de fonctionnement se fera selon les étapes suivantes :

- Envoi d'un signal (SEEK), correspondant à un abaissement de la plume avec transfert de la donnée correspondante.
- Réception d'un signal d'acquiescement (PCP), émis de la table et donnant l'autorisation pour un nouvel enregistrement:

.../...

3°) Fonction du temps/fonction de X.

Sélectionne le type d'enregistrement. L'option fonction du temps sera caractérisé par un balayage du moteur ; en fonction de X, le balayage est assuré par le chariot portant la plume dont le mouvement, est commandé par un signal reçu sur l'entrée X.

4°) Commandes de la table.- Commande moteur.

Assure la mise en marche ou l'arrêt du moteur.

- Commande plume.

Assure l'abaissement ou le relevé de la plume.

- Commande par pas.

Assure l'envoi du signal SEEK et la réception du signal d'acquiescement (PCP).

5°) Initialisation.

Elle a pour but d'initialiser les PIA, par mise en "sortie" ou en "entrée", des lignes de données.

La plupart des lignes fonctionnent en sorties, à l'exception de la ligne PB7 du PIA1. Cette ligne qui est liée à la sortie du comparateur sera programmée en entrée. Elle interviendra dans la lecture, pour l'envoi du niveau à tester.

Cette initialisation se fera conformément à la théorie développée dans le chapitre trois, selon les étapes suivantes :

- Programmation des DDRA et DDRB des PIA, afin de déterminer le sens des lignes données.
- Programmation des CRA et CRB des PIA, en tenant compte des impératifs de la programmation générale.

C/ Elaboration des programmes.1°) Ecriture en fonction de X (ECRITX).

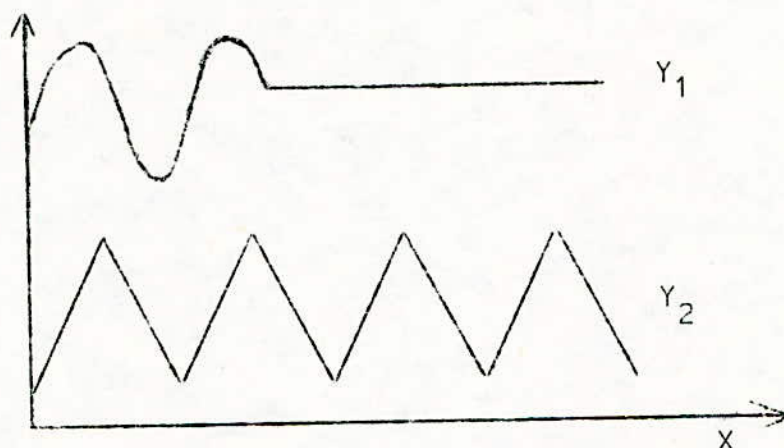
Ce programme doit réaliser un transfert de données du MPU vers la table. Cependant ce transfert peut se faire selon les différentes combinaisons suivantes :

- XY<sub>1</sub>

.../...

- $XY_2$
- $XY_1Y_2$

Le traitement de l'une ou l'autre des combinaisons, portera sur des tests sur une position mémoire (OOEE), qui aurait été chargée préalablement par l'utilisateur. Un positionnement en début de courbe sera prévu. De même un arrêt sur la dernière valeur de Y sera introduit, alors que le chariot décrivant les X continu à se déplacer.



Le programme devra tenir compte du mode de transfert (par point ou continu). Le branchement sur tel ou tel autre mode se fera après un test sur la position mémoire ODEF. Pour l'option par point, un test de réception du PCP est prévu, il permet de maintenir la donnée jusqu'à l'acquiescement de la table. A la sortie du test, le signal SEEK sera envoyé avec la prochaine donnée.

Le programme sera complété par un test de sortie où, chaque donnée transmise amène l'incréméntation d'une position mémoire qui sera comparée au nombre de points de travail. La plume sera relevée avant le retour au programme principal de gestion.

## 2°) Ecriture en fonction du temps (ECRITT).

Son établissement est analogue à celui de l'ECRITX, à l'exception du balayage qui est assuré par le moteur. Les tests qu'on va retrouver porteront sur l'option par point ou continu, ainsi que sur les combinaisons à réaliser suivantes :

- $Y_1$
- $Y_2$
- $Y_1Y_2$

.../...



Un positionnement en début de courbe se fera avant la mise en marche du moteur. Il fera décrire au papier un déplacement relatif à un temps. Le programme sera complété par un test de branchement sur le mode de transfert des données, ainsi qu'un test de sortie. Le moteur sera arrêté, la plume relevée et les "latches" verrouillés avant le retour au programme principal de gestion.

### 3°) La lecture (LECTUR).

Ce programme détermine le mécanisme de fonctionnement de la conversion A/N ainsi que l'enregistrement des données dans les mémoires du micro-calculateur. Il s'agit, dans la réalisation de ce programme, d'opérer l'envoi d'une configuration binaire sur le PIA1, puis de lire le résultat de la comparaison, entre la tension relative à cette configuration et la tension prélevée sur la table, sur la ligne PB7 du même PIA.

Le processus d'évaluation du niveau relatif à un point se fait à l'aide de deux positions mémoires indicatrices du bit à tester. Le bit proposé doit être retiré si la sortie du comparateur est à un niveau logique "1", maintenue sinon. On testera ainsi les onze bits du mot binaire formant un point de la courbe. La tension analogique étant toujours positive le MSB (ou bit de signe) sera constamment maintenu à zéro.

Le programme sera complété par un test sur le nombre de points lus ; il permettra d'aller vers la fin du programme où on arrêtera le moteur qui aurait été mis en marche en début de sous-programme.

#### \* Remarque.

Dans chaque sous-programme est inclus un retard. Dans le cas d'une lecture, il détermine la périodicité dans la prise de points ; par contre pour l'écriture son utilité intervient dans l'enregistrement des points sur papier sans qu'il n'y ait de pertes d'informations vue l'inertie de la table.

### 4°) La conversion (CONVER).

Le programme de conversion assure la transformation des données présentées par l'utilisateur en un codage approprié au système qui est le code complément à deux modifié. La donnée présentée par l'utilisateur doit être soit :

- Décimale positive.
- Hexadécimale
- Complémentée à deux modifiée.

.../...

Ainsi une donnée décimale positive doit subir une double conversion, décimale-hexadécimale puis hexadécimale-code complément à deux modifié. Ceci va déterminer l'établissement du programme de conversion général, qui va s'articuler autour de tests sur la présence des données à convertir ( $Y_1$ ,  $Y_2$  ou  $X$ ), la caractéristique de ces données (issues d'une lecture ou non) et de branchements sur les sous-programmes appropriés. La sortie se fera par un test sur une position mémoire incrémentée.

\*Le sous-programme de conversion décimale-hexadécimale.

C'est un programme élaboré par MOTOROLA, auquel on a ajouté des instructions de chargement et de stockage dans les positions mémoires initiales de la donnée en mode indexé, le programme ne traitant qu'une seule donnée à la fois.

Les données traitées sont uniquement positives. Elles peuvent se présenter avec au maximum quatre chiffres décimaux par nombre. La donnée introduite est décimale ou hexadécimale.

\*\* Le sous-programme de conversion hexadécimal-code complément à deux modifié.

Ce programme traite les données issues de la conversion précédente. Celles-ci sont chargées dans les accumulateurs et restockées en mode indexé, après traitement, dans les positions mémoires initiales.

En début de programme, on teste la nullité de la donnée qui permet dans le cas affirmatif de mettre à 1 le MSB correspondant à la donnée nulle (voir III-16).

En fin de programme, après complément à deux de la donnée positive, un test permet la mise à zéro du bit de signe lorsque ce dernier est à 1, la donnée devant rester positive.

Le programme, ne traite qu'une seule donnée à la fois.

5°) Le programme principal de gestion (GEST.).

Ce programme réalise la liaison entre les différents sous-programmes et l'orientation vers les fonctions du choix de l'utilisateur. Il assure également la mise à zéro des registres de sorties (OR) le levé de plume et l'arrêt du moteur.

L'appel des sous-programmes appropriés, se fait sur test de positions mémoires définies chargées par l'utilisateur (voir tableau de codage).

.../...

## TABLEAU DES CODES.

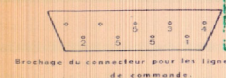
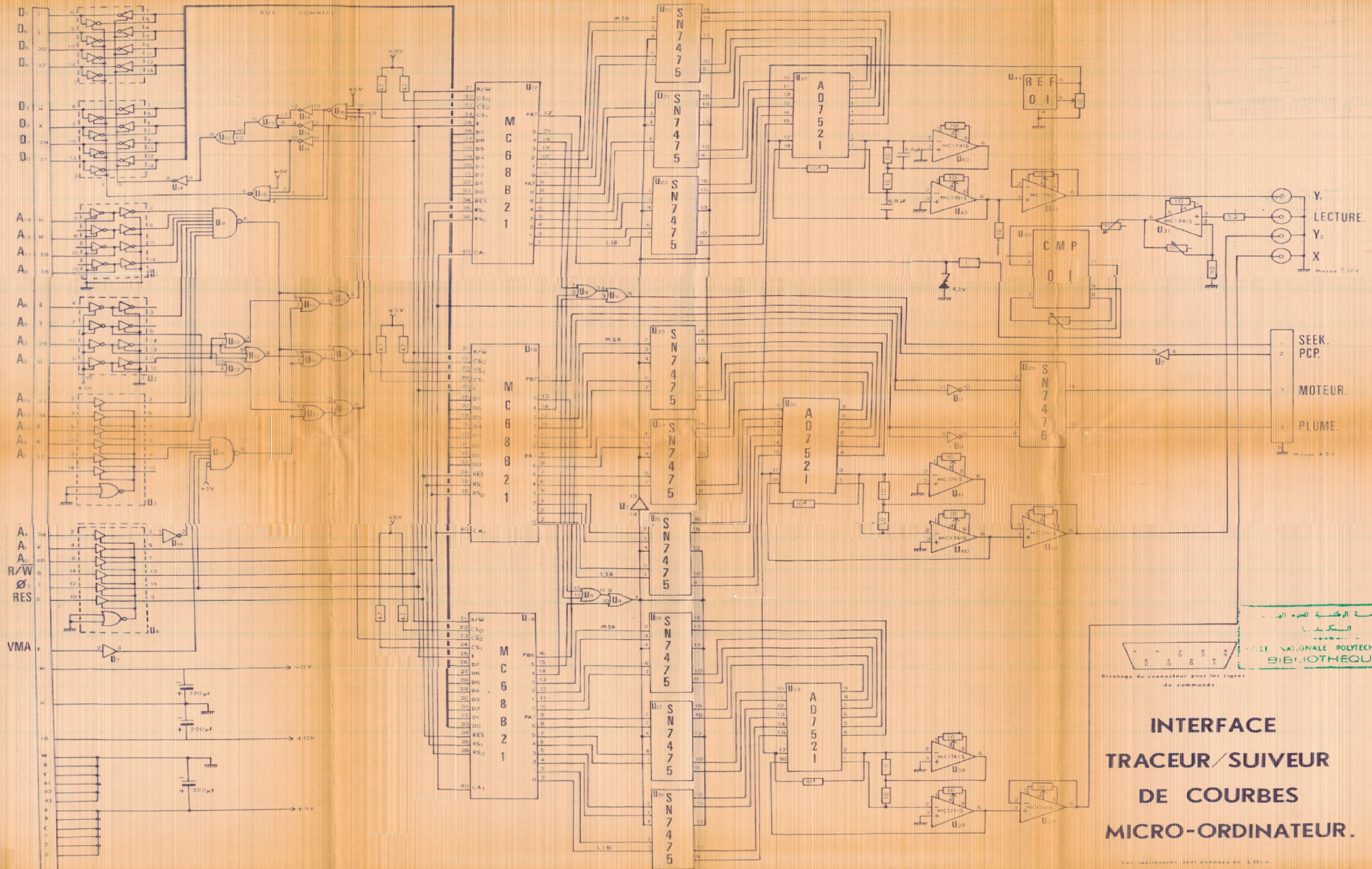
FONCTION	POSITIONS MEMOIRES	VALEUR ACTIVE	PROPRIETE
ECRITURE	00E0/00E1	-	Adresse 1 <sup>er</sup> MSB de $Y_1$
	00E2/00E3	-	" " $Y_2$
	00E4/00E5	-	" " $X$
	00E6/00E7	-	Nombre de points de $Y_1$
	00E8/00E9	-	" " $Y_2$
	00EA/00EB	-	" " $X$
	00EC	1	Fonction de $X$
		0	" t
	00ED	1	Résultat d'une lecture
		0	Non
	00EE	1	Présence de $Y_1$
		2	" $Y_2$
		4	" $X$
	00EF	2	Continu
		0	Par point
	00F2/00F3	-	Retard
LECTURE	00E2/00E3	-	Adresse de stockage du 1 <sup>er</sup> MSB
	00E8/00E9	-	Nombre de points à lire
	00EE	8	Présence de la lecture
	00F0/00F1	-	Retard





BIBLIOGRAPHIE  
\*\*\*\*\*

- J. MAX "Methode et technique de traitement du signal" Masson et Cie.
- B. LORIFERNE "La conversion A/N et N/A" E.S.E.
- R. DELSOL "CI et techniques numériques" CEPADUES-EDITIONS
- MOTOROLA "Microprocessor course"
- ANALOG DEVICE "Application guide to CMOS multiplying D/A converters"
- MICROSYSTEME N° 4 et 5 Mai-Juin 79
- BRYANS SOUTHERN INSTRUMENT LIMITED "Input Module 26105"
- BRYANS SOUTHERN INSTRUMENT LIMITED "Chart drive unit"
- BRYANS SOUTHERN INSTRUMENT LIMITED "Photo-electric curve follower module"



Brochage du connecteur pour les lignes de commande.

# INTERFACE TRACEUR/SUIVEUR DE COURBES MICRO-ORDINATEUR.

Les réalisations sont fournies en L.O.D.

Sinusoïde  
enregistrée  
à partir d'un  
générateur

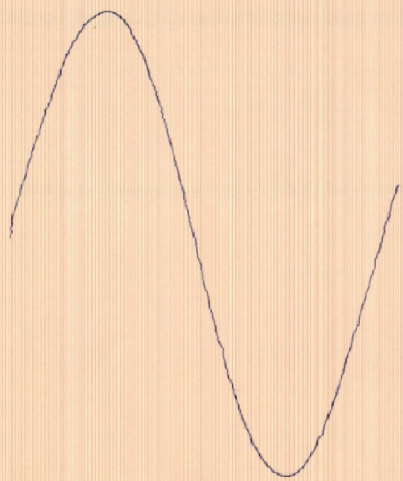
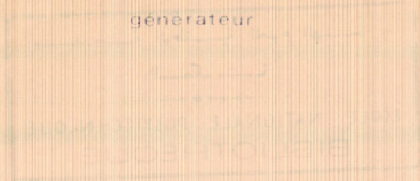
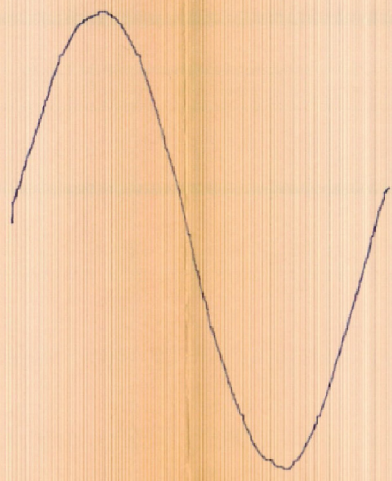


figure A

Courbes restituées  
à partir de la lecture de la figure A selon  
deux options

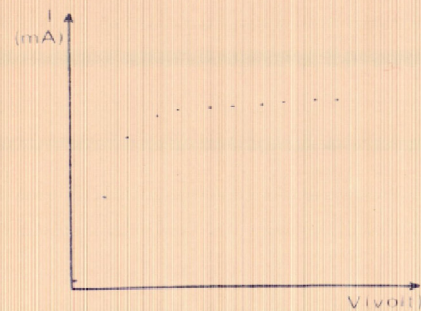


Continue



Par point

Restitution de données  
introduites à partir du clavier sous  
forme décimale



$V_V$	0	10	20	30	40	50	60	70	80	90	100
$I_{mA}$	0.3	3.9	4.5	7.5	7.8	7.85	7.9	8.0	8.1	8.2	8.2

Diode à filament métallique  
Caractéristique statique

## COURBES CARACTERISTIQUES DU FONCTIONNEMENT

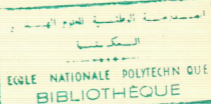


## SOUS PROGRAMME DE CONVERSION.

```

03E0 7F 04DF CLR #04DF
03E3 96 EE LDA R #EE
03E5 85 01 BIT R #001
03E7 27 42 BEQ #0428
03E9 B6 04DF LDA R #04DF
03EC 8A 01 ORR R #001
03EE B7 04DF STR R #04DF
03F1 DE E6 LDX #E6
03F3 FF 04E4 STX #04E4
03F6 DE E0 LDX #E0
03F8 7F 04E2 CLR #04E2
03FB 7F 04E3 CLR #04E3
03FE 7D 00ED TST #00ED
0401 26 42 BNE #0445
0403 BD 0460 JSR #0460
0406 BD 04B5 JSR #04B5
0409 B6 04E2 LDA R #04E2
040C F6 04E3 LDA B #04E3
040F CB 01 ADD B #001
0411 89 00 ADC R #000
0413 B7 04E2 STR A #04E2
0416 F7 04E3 STR B #04E3
0419 00 INX
041A 00 INX
041B B6 04E4 LDA R #04E4
041E F6 04E5 LDA B #04E5
0421 B1 04E2 CMP A #04E2
0424 26 D8 BNE #03FE
0426 F1 04E3 CMP B #04E3
0429 26 D3 BNE #03FE
042B B6 04DF LDA R #04DF
042E 85 02 BIT R #002
0430 26 06 BNE #0438
0432 96 EE LDA R #EE
0434 85 02 BIT R #002
0436 26 1F BNE #0457
0438 B6 04DF LDA R #04DF
043B 85 04 BIT R #004
043D 26 06 BNE #0445
043F 96 EE LDA R #EE
0441 85 04 BIT R #004
0443 26 01 BNE #0446
0445 39 RTS

```



## SOUS PROGRAMME DE CONVERSION DECIMAL-HEXADECIMAL DE MOTOROLA.

```

0446 B6 04DF LDA R #04DF
0449 8A 04 ORR R #004
044B B7 04DF STR A #04DF
044E DE EA LDX #EA
0450 FF 04E4 STX #04E4
0453 DE E4 LDX #E4
0455 20 A1 BRA #03F8
0457 B6 04DF LDA R #04DF
045A 8A 02 ORR R #002
045C B7 04DF STR A #04DF
045F DE E8 LDX #E8
0461 FF 04E4 STX #04E4
0464 DE E2 LDX #E2
0466 20 90 BRA #03F8
0468 A6 00 LDA R 0,X
046A E6 01 LDA B 1,X
046C B7 04E0 STR A #04E0
046F 7F 04E1 CLR #04E1
0472 17 TBA
0473 C4 0F AND B #00F
0475 44 LSR A
0476 44 LSR A
0477 44 LSR A
0478 44 LSR A
0479 27 05 BEQ #0480
047B CB 0A ADD B #00A
047D 4A DEC A
047E 20 F9 BRA #0479
0480 0C CLC
0481 B6 04E0 LDA R #04E0
0484 84 0F AND A #00F
0486 27 0A BEQ #0492
0488 CB 64 ADD B #64
048A 24 03 BCC #048F
048C 7C 04E1 INC #04E1
048F 4A DEC A
0490 20 F4 BRA #0486
0492 B6 04E0 LDA R #04E0
0495 44 LSR A
0496 44 LSR A
0497 44 LSR A
0498 44 LSR A
0499 B7 04E0 STR A #04E0
049C 26 05 BNE #04A3
049E B6 04E1 LDA R #04E1
04A1 20 0D BRA #04B0
04A3 B6 04E1 LDA R #04E1
04A6 0C CLC
04A7 CB E8 ADD B #E8
04A9 89 03 ADC R #003
04AB 7A 04E0 DEC #04E0
04AE 26 F6 BNE #04A6
04B0 A7 00 STR A 0,X
04B2 E7 01 STR B 1,X
04B4 39 RTS

```

## SOUS PROGRAMME DE CONVERSION HEXADECIMAL-CODE COMPLEMENTE A 2 MODIFIE.

```

04B5 6D 00 TST 0,X
04B7 26 04 BNE #04BD
04B9 6D 01 TST 1,X
04BB 27 1C BEQ #04D9
04BD C6 00 LDA B #000
04BF E5 00 BIT B 0,X
04C1 26 15 BNE #04D8
04C3 E6 00 LDA B 0,X
04C5 60 01 NEG 1,X
04C7 C9 00 ADC B #000
04C9 50 NEG B
04CR E7 00 STR B 0,X
04CC C6 00 LDA B #000
04CE E5 00 BIT B 0,X
04D0 27 06 BEQ #04D8
04D2 E6 00 LDA B 0,X
04D4 C0 F8 SUB B #FF8
04D6 E7 00 STR B 0,X
04D8 39 RTS
04D9 86 00 LDA R #000
04DB A7 00 STR A 0,X
04DD 20 F9 BRA #04D8

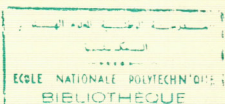
```

```

04DF 00 ***
04E0 00 ***
04E1 00 ***
04E2 00 ***
04E3 03 ***
04E4 00 ***
04E5 03 ***

```

SOUS PROGRAMME D'ECRITURE EN FONCTION DE X.

Etude par: BRAKNI  
CHERRAD  
1980

```

0180 96 E0      LDA R #E0
0182 D6 E1      LDA B #E1
0184 B7 02BC    STA R #02BC
0187 F7 02BD    STA B #02BD
018A D8 E7      ADD B #E7
018C 99 E6      ADC A #E6
018E D8 E7      ADD B #E7
0190 99 E6      ADC A #E6
0192 B7 02C8    STA R #02C8
0195 F7 02C9    STA B #02C9
0198 96 E2      LDA R #E2
019A D6 E3      LDA B #E3
019C B7 02BE    STA R #02BE
019F F7 02BF    STA B #02BF
01A2 D8 E9      ADD B #E9
01A4 99 E8      ADC A #E8
01A6 D8 E9      ADD B #E9
01A8 99 E8      ADC A #E8
01AA B7 02CA    STA R #02CA
01AD F7 02CB    STA B #02CB
01B0 96 E4      LDA R #E4
01B2 D6 E5      LDA B #E5
01B4 B7 02C0    STA R #02C0
01B7 F7 02C1    STA B #02C1
01BA D8 EB      ADD B #EB
01BC 99 EA      ADC A #EA
01BE D8 EB      ADD B #EB
01C0 99 EA      ADC A #EA
01C2 B7 02CC    STA R #02CC
01C5 F7 02CD    STA B #02CD
01C8 96 EE      LDA R #EE
01CA 81 06      CMP A #06
01CC 27 0F      BEQ #01DD
01CE FE 02BC    LDX #02BC
01D1 A6 00      LDA R 0, X
01D3 E6 01      LDA B 1, X
01D5 B7 9682    STA R #9682
01D8 F7 9680    STA B #9680
01DB 20 06      BRA #01E3
01DD 7F 9680    CLR #9680
01E0 7F 9682    CLR #9682
01E3 96 EE      LDA R #EE
01E5 81 05      CMP A #05
01E7 27 11      BEQ #01FA
01E9 FE 02BE    LDX #02BE
01EC A6 00      LDA R 0, X
01EE E6 01      LDA B 1, X
01F0 8A 80      ORA R #80
01F2 B7 9686    STA R #9686
01F5 F7 9684    STA B #9684
01F8 20 08      BRA #0202
01FA 7F 9684    CLR #9684
01FD 86 80      LDA R #80
01FF B7 9686    STA R #9686
0202 FE 02C0    LDX #02C0
0205 A6 00      LDA R 0, X
0207 E6 01      LDA B 1, X
0209 8A 20      ORA R #20
020B F7 9688    STA R #9688
020E B7 968A    STA B #968A
0211 D6 EF      LDA B #EF
0213 C5 02      BIT B #02
0215 26 08      BNE #021F
0217 F6 9686    LDA B #9686
021A CA 90      ORA B #90
021C F7 9686    STA B #9686
021F 80 20      SUB A #20
0221 B7 968A    STA R #968A
0224 96 EE      LDA R #EE
0226 81 06      CMP A #06
0228 27 17      BEQ #0241
022A FE 02BC    LDX #02BC
022D BC 02C8    CPX #02C8
0230 27 0C      BEQ #023E
0232 A6 00      LDA R 0, X
0234 E6 01      LDA B 1, X
0236 B7 9682    STA R #9682
0239 F7 9680    STA B #9680
023C 08      INX
023D 08      INX
023E FF 02BC    STX #02BC
0241 96 EE      LDA R #EE
0243 81 05      CMP A #05
0245 27 17      BEQ #025E
0247 FE 02BE    LDX #02BE
024A BC 02CA    CPX #02CA
024D 27 0C      BEQ #025B
024F A6 00      LDA R 0, X
0251 E6 01      LDA B 1, X
0253 B7 9686    STA R #9686
0256 F7 9684    STA B #9684
0259 08      INX
025A 08      INX
025B FF 02BE    STX #02BE
025E FE 02C0    LDX #02C0
0261 A6 00      LDA R 0, X
0263 E6 01      LDA B 1, X
0265 B7 968A    STA R #968A
0268 F7 9688    STA B #9688
026B 08      INX
026C 08      INX
026D FF 02C0    STX #02C0
0270 D6 EF      LDA B #EF
0272 C5 02      BIT B #02
0274 27 23      BEQ #029F
0276 8A 20      ORA R #20
0278 B7 968A    STA R #968A
027B 80 20      SUB R #20
027D B7 968A    STA R #968A
0280 D6 F2      LDA B #F2
0282 96 F3      LDA R #F3
0284 4A      DEC R
0285 81 FF      CMP A #FF
0287 26 FB      BNE #0284
0289 5A      DEC B
028A C1 FF      CMP B #FF
028C 26 F4      BNE #0282
028E FE 02C0    LDX #02C0
0291 BC 02CC    CPX #02CC
0294 26 8E      BNE #0224
0296 B6 9686    LDA R #9686
0299 8A 80      ORA R #80
029B B7 9686    STA R #9686
029E 39      RTS
02A2 8A 80      LDA R #80
02A4 B7 9686    STA R #9686
02A7 F6 9681    LDA B #9681
02AA 58      RSL B
02AB 24 FA      BCC #02A7
02AD F6 9680    LDA B #9680
02B0 8A 80      ORA R #80
02B2 B7 9686    STA R #9686
02B5 80 30      SUB R #30
02B7 B7 9686    STA R #9686
02BA 20 C4      BRA #02B0
02BC 00      ***
02BD 00      ***
02BE 00      ***
02BF 00      ***
02C0 00      ***
02C1 00      ***
02C2 00      ***
02C3 00      ***
02C4 00      ***
02C5 00      ***
02C6 00      ***
02C7 00      ***
02C8 00      ***
02C9 00      ***
02CA 00      ***
02CB 00      ***
02CC 00      ***

```

Etude par : BRAKNI  
CHERRAD

1980

```

02E0 DE E0      LDX #E0
02E2 FF 03CC   STX #03CC
02E5 DE E2      LDX #E2
02E7 FF 03CE   STX #03CE
02EA 7F 03D0   CLR #03D0
02ED 7F 03D1   CLR #03D1
02F0 96 EE     LDA A #EE
02F2 81 02     CMP A #02
02F4 27 0D     BEQ #0303
02F6 FE 03CC   LDX #03CC
02F9 A6 00     LDA A 0, X
02FB E6 01     LDA B 1, X
02FD B7 9682   STA A #9682
0300 F7 9680   STA B #9680
0303 96 EE     LDA A #EE
0305 81 01     CMP A #01
0307 27 0D     BEQ #0316
0309 FE 03CE   LDX #03CE
030C A6 00     LDA A 0, X
030E E6 01     LDA B 1, X
0310 B7 9686   STA A #9686
0313 F7 9684   STA B #9684
0316 D6 EF     LDA B #EF
0318 C5 02     BIT B #02
031A 26 0D     BNE #0329
031C F6 9686   LDA B #9686
031F CA 80     ORA B #80
0321 F7 9686   STA B #9686
0324 C0 30     SUB B #30
0326 F7 9686   STA B #9686
0329 B6 9686   LDA A #9686
032C 8A A0     ORA A #A0
032E B7 9686   STA A #9686
0331 80 A0     SUB A #A0
0333 B7 9686   STA A #9686
0336 86 40     LDA A #40
0338 B7 968A   STA A #968A
033B 96 EE     LDA A #EE
033D 81 02     CMP A #02
033F 27 12     BEQ #0353
0341 FE 03CC   LDX #03CC
0344 A6 00     LDA A 0, X
0346 E6 01     LDA B 1, X
0348 B7 9682   STA A #9682
034B F7 9680   STA B #9680
034E 08        INX
034F 08        INX
0350 FF 03CC   STX #03CC
0353 96 EE     LDA A #EE
0355 81 01     CMP A #01
0357 27 12     BEQ #036B
0359 FE 03CE   LDX #03CE
035C A6 00     LDA A 0, X
035E E6 01     LDA B 1, X
0360 B7 9686   STA A #9686
0363 F7 9684   STA B #9684
0366 08        INX
0367 08        INX
0368 FF 03CE   STX #03CE
036B D6 EF     LDA B #EF
036D C5 02     BIT B #02
036F 27 3E     BEQ #037F
0371 86 60     LDA A #60
0373 B7 968A   STA A #968A
0376 80 20     SUB A #20
0378 B7 968A   STA A #968A
037B D6 F2     LDA B #F2
037D 96 F3     LDA A #F3
037F 4A        DEC A
0380 81 FF     CMP A #FF
0382 26 FB     BNE #037F
0384 5A        DEC B
0385 C1 FF     CMP B #FF
0387 26 F4     BNE #037D
0389 F6 03D1   LDA B #03D1
038C B6 03D0   LDA A #03D0
038F CB 01     ADD B #01
0391 89 00     ADC A #00
0393 B7 03D0   STA A #03D0
0396 F7 03D1   STA B #03D1
0399 B1 00E6   CMP A #00E6
039C 26 9D     BNE #033B
039E F1 00E7   CMP B #00E7
03A1 26 98     BNE #033B
03A3 7F 968A   CLR #968A
03A6 B6 9686   LDA A #9686
03A9 8A 80     ORA A #80
03AB B7 9686   STA A #9686
03AE 39        RTS
03AF B6 9686   LDA A #9686
03B2 8A 80     ORA A #80
03B4 B7 9686   STA A #9686
03B7 F6 9681   LDA B #9681
03BA 58        ASL B
03BB 24 FA     BCC #03B7
03BD F6 9680   LDA B #9680
03C0 8A B0     ORA A #B0
03C2 B7 9686   STA A #9686
03C5 80 30     SUB A #30
03C7 B7 9686   STA A #9686
03CA 20 AF     BRA #037B
03CC 00        ***
03CD 00        ***
03CE 00        ***
03CF 00        ***
03D0 00        ***
03D1 00        ***
03D2 00        ***

```

مدرسة الوطنية للهندسة  
 المعمارية  
 -----  
 ECOLE NATIONALE POLYTECHNIQUE  
 BIBLIOTHEQUE

Etude par: BRAKNI

CHERRAD

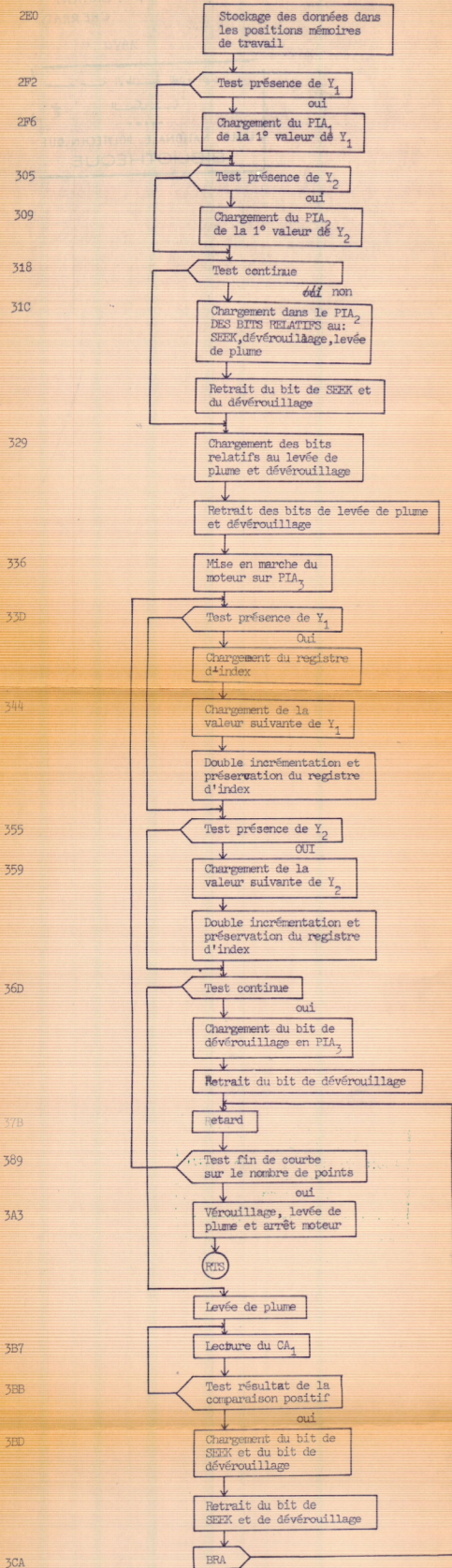
1980

0100 CE FF04	LDX ##FF04
0103 FF 9680	STX \$9680
0106 FF 9684	STX \$9684
0109 FF 9686	STX \$9686
010C FF 9688	STX \$9688
010F FF 968A	STX \$968A
0112 CE 7F04	LDX ##7F04
0115 FF 9682	STX \$9682
0118 7F 9680	CLR \$9680
011B 7F 9682	CLR \$9682
011E 7F 9684	CLR \$9684
0121 7F 9688	CLR \$9688
0124 7F 968A	CLR \$968A
0127 86 80	LDA R ##80
0129 B7 9686	STA R \$9686
012C 96 EE	LDA R \$EE
012E 81 08	CMP R ##08
0130 27 10	BEQ \$0142
0132 BD 03E0	JSR \$03E0
0135 7D 00EC	TST \$00EC
0138 27 04	BEQ \$013E
013A BD 0180	JSR \$0180
013D 3F	SWI
013E BD 02E0	JSR \$02E0
0141 3F	SWI
0142 BD 0500	JSR \$0500
0145 3F	SWI

مدرسة الوطنية للعلوم الهندسية  
المكنسية  
.....  
ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHEQUE

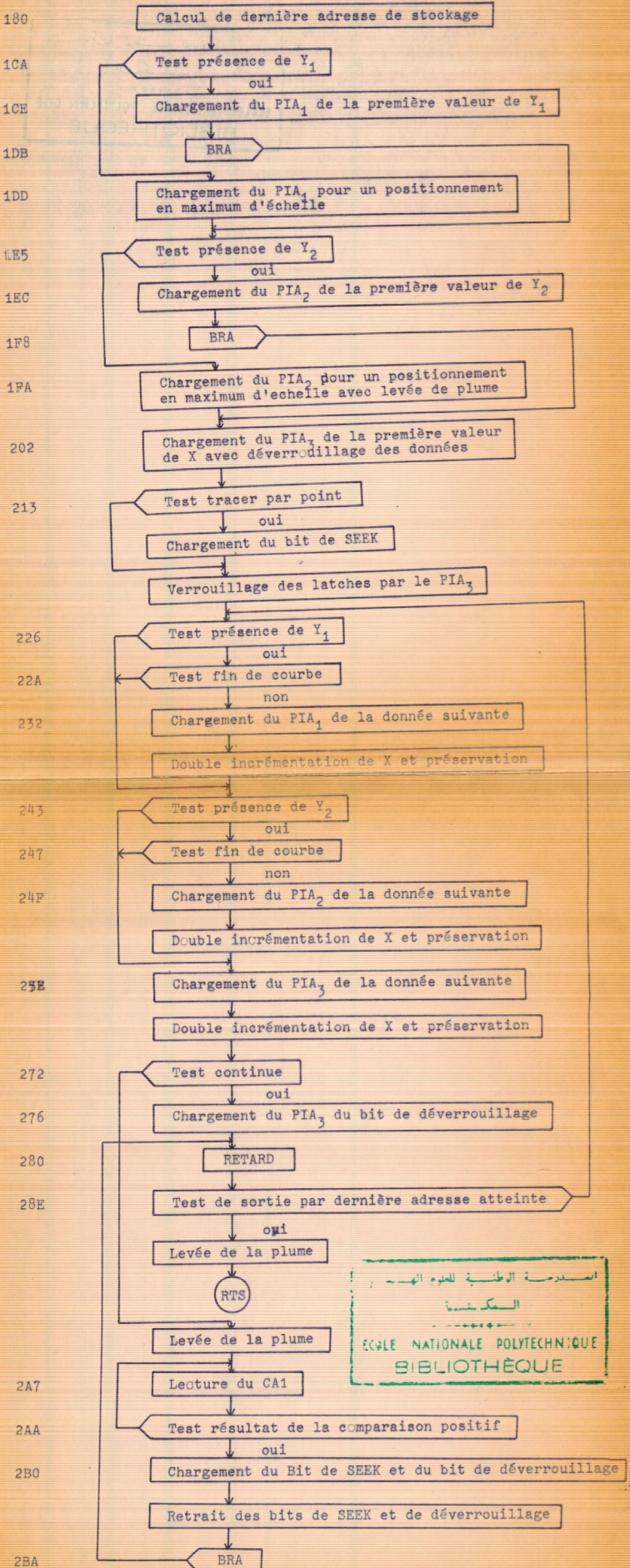
## SOUS PROGRAMME DE LECTURE.

0500 7F 058C	CLR \$058C
0503 7F 058F	CLR \$058F
0506 DE E2	LDX \$E2
0508 86 60	LDA R ##60
050A B7 968A	STA R \$968A
050D 86 FF	LDA R ##FF
050F B7 9680	STA R \$9680
0512 86 07	LDA R ##07
0514 B7 9682	STA R \$9682
0517 7F 058D	CLR \$058D
051A 86 08	LDA R ##08
051C B7 058C	STA R \$058C
051F 0C	CLC
0520 76 058C	ROR \$058C
0523 76 058D	ROR \$058D
0526 25 28	BCS \$0550
0528 B6 9682	LDA R \$9682
052B B0 058C	SUB A \$058C
052E B7 9682	STA R \$9682
0531 B6 9680	LDA R \$9680
0534 B0 058D	SUB A \$058D
0537 B7 9680	STA R \$9680
053A B6 9682	LDA R \$9682
053D 2A E1	BPL \$0520
053F BB 058C	ADD A \$058C
0542 B7 9682	STA R \$9682
0545 B6 9680	LDA R \$9680
0548 BB 058D	ADD A \$058D
054B B7 9680	STA R \$9680
054E 20 D0	BRA \$0520
0550 B6 9682	LDA R \$9682
0553 85 80	BIT A ##80
0555 27 02	BEQ \$0559
0557 80 80	SUB A ##80
0559 A7 00	STA R 0, X
055B B6 9680	LDA R \$9680
055E A7 01	STA R 1, X
0560 D6 F0	LDA B \$F0
0562 96 F1	LDA R \$F1
0564 4A	DEC A
0565 81 FF	CMP R ##FF
0567 26 FB	BNE \$0564
0569 5A	DEC B
056A C1 FF	CMP B ##FF
056C 26 F4	BNE \$0562
056E 08	INX
056F 08	INX
0570 B6 058E	LDA R \$058E
0573 F6 058F	LDA B \$058F
0576 C8 01	ADD B ##01
0578 89 00	ADC A ##00
057A B7 058E	STA R \$058E
057D F7 058F	STA B \$058F
0580 91 E8	CMP A \$E8
0582 26 89	BNE \$058D
0584 D1 E9	CMP B \$E9
0586 26 85	BNE \$058D
0588 7F 968A	CLR \$968A
058B 39	RTS
058C 00	***
058D 00	***
058E 00	***
058F 00	***



مكتبة الوطنية للدراسات  
 المكتبة  
 .....  
 ÉCOLE NATIONALE POLYTECHNIQUE  
 BIBLIOTHÈQUE

## SOUS-PROGRAMME D'ECRITURE EN FONCTION DE X.

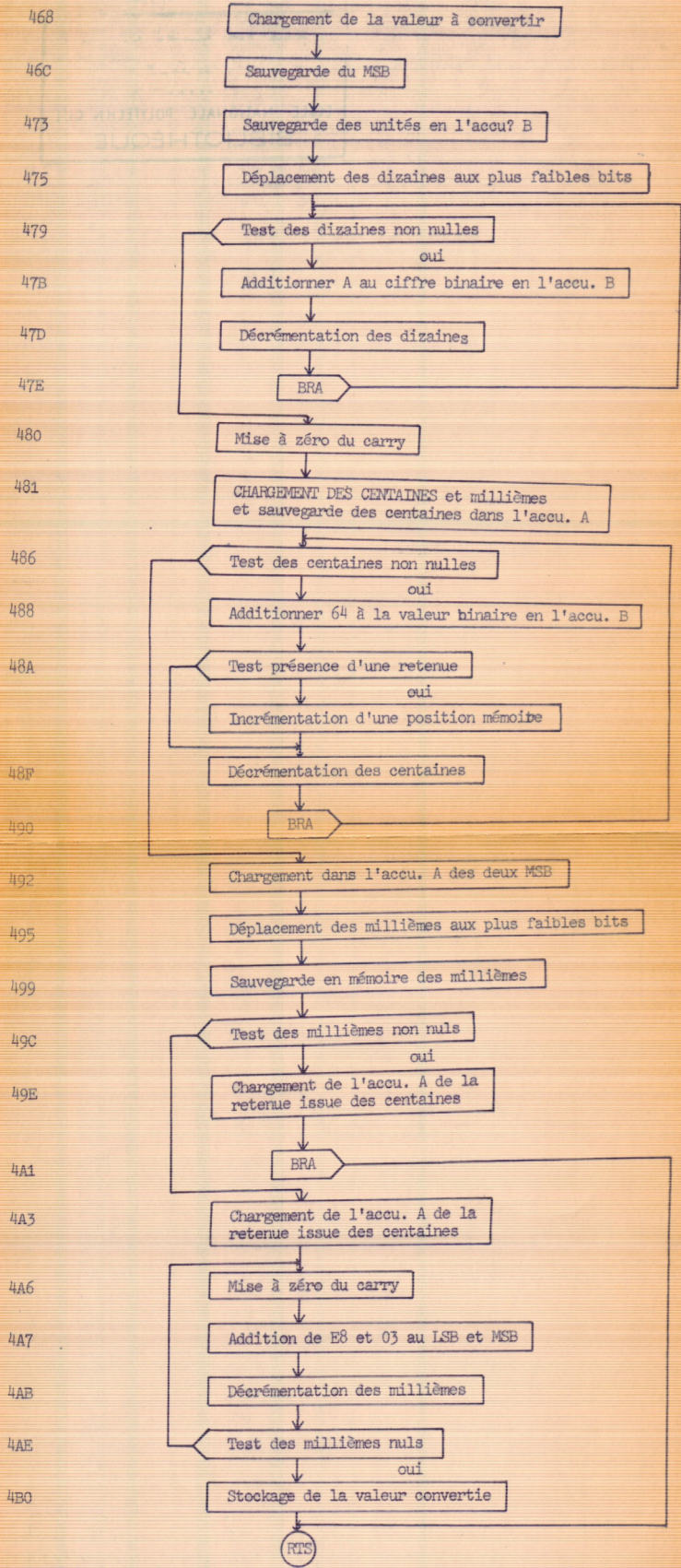


المدرسة الوطنية للعلوم الهندسية  
البيزنطية  
Ecole Nationale Polytechnique  
BIBLIOTHÈQUE

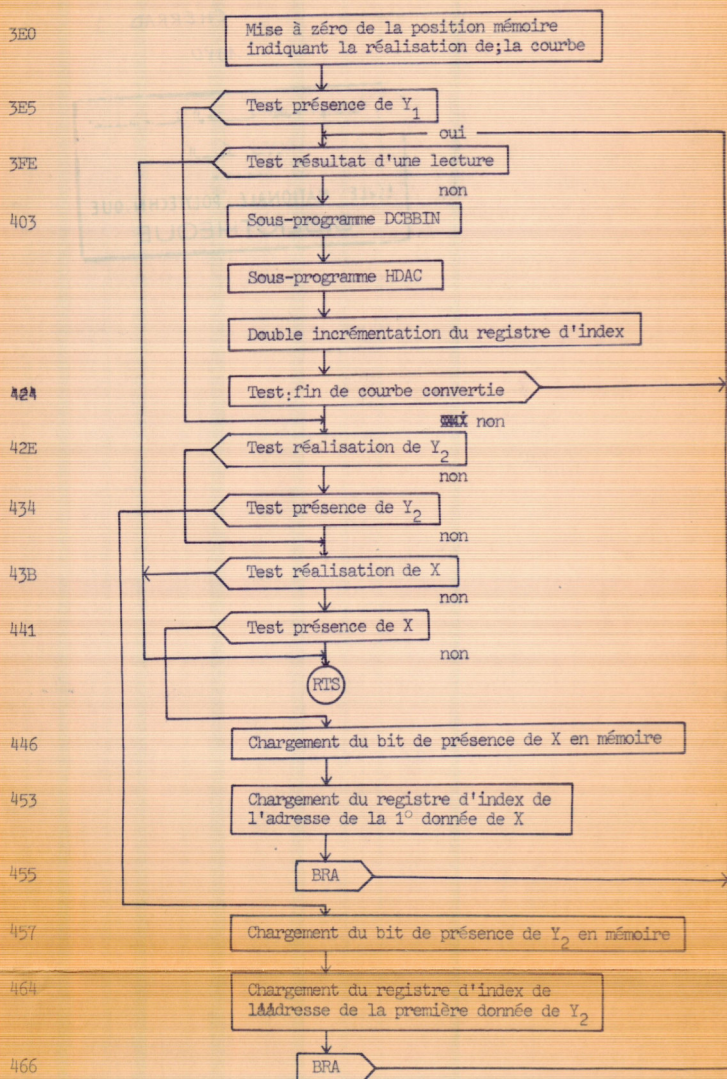


SOUS-PROGRAMME DE CONVERSION DECIMAL-HEXADECIMAL

DE "MOTOROLA"







## SOUS-PROGRAMME DE CONVERSION HEXADECIMAL-CODE COMPLEMENTE A 2 MODIFIE

