

28/80

MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE  
UNIVERSITE DES SCIENCES ET DE LA TECHNOLOGIE D'ALGER

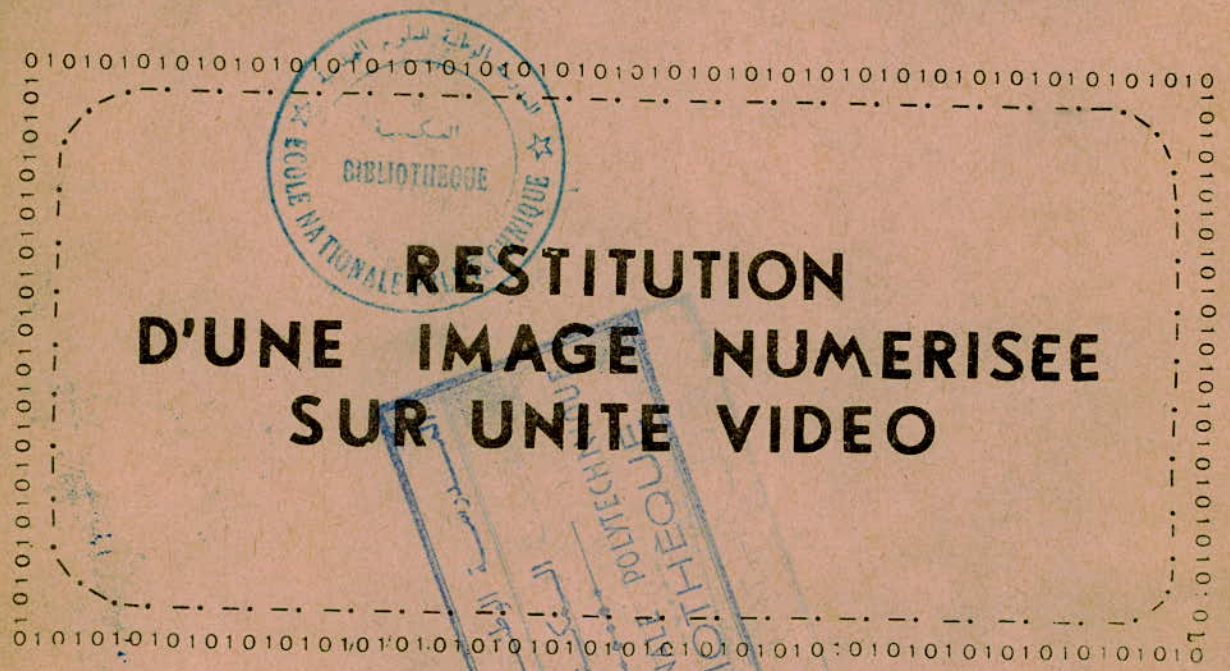
ECOLE NATIONALE POLYTECHNIQUE

2 ex

DEPARTEMENT ELECTRICITE

INGENIORAT EN \* \* \* ELECTRONIQUE

# PROJET DE FIN D'ETUDES



## RESTITUTION D'UNE IMAGE NUMERISEE SUR UNITE VIDEO

Proposé par :

H. TEDJINI

Etudié par :

L. SAYOUD & A. OUSSEDIK



Juin 1980









*A mes parents,*

*A mon frère et ma soeur,*

*A tous mes amis.*

*Azzedine.*

*A mes parents,*

*A mes soeurs, et*

*A mon frère*

*Lyès.*



## R E M E R C I E M E N T S

*Ce projet a été étudié et réalisé au centre des sciences et de la technologie nucléaires d'Alger.*

*Nous remercions Mr. SANSAL Boualem, Chef de la Division V qui a eu la gentillesse de nous accepter dans ses Laboratoires.*

*Nous exprimons notre reconnaissance à Mr. TEDJINI Hacène, Docteur Ingénieur En Electronique, notre promoteur dont les encouragements et les précieux conseils furent d'un apport considérable.*

*Nos remerciements s'adressent également à Mes demoiselles KHELIL Fazia et MEBHAH Djamila pour leurs aides morales et matérielles de même qu'à MM. HAMLILI et ACIMI pour leur précieuse collaboration.*

*Nous n'oublions pas de remercier tout le personnel de la division V ainsi que Messieurs ZIANI et AMIRI de la SONELGAZ.*

## I N T R O D U C T I O N

L'intérêt de la visualisation d'une image sur un périphérique spécialisé réside dans l'importance de la perception visuelle dans l'activité humaine .

De grands progrès scientifiques ont été effectués dans une description nouvelle qui est le traitement numérique d'image par ordinateur .

Les domaines d'application les plus importants sont :

- la reconnaissance des formes ( caractères en particulier )
- la robotique
- la télédétection des ressources terrestres etc ...

Notre projet de fin d'études entre dans le cadre d'un axe nouveau levé au niveau de la division V du centre des sciences et de la technologie nucléaires, en collaboration avec le laboratoire de télédétection .

Il consiste à la conception et réalisation d'un périphérique spécialisé dit de " sortie image " sur ordinateur "Multi 20" d'intertechnique .

Il permettra la visualisation d'images stockées sur bande magnétique dans la télédétection, Landsat, Météosat et autres...



GENERALITES SUR LA TV

ETUDE DU STANDARD 625 LIGNES

INTRODUCTION

Le récepteur TV étant la bloc terminal de notre système; il est bon de rappeler brièvement le principe d'analyse et de transmission d'une image de télévision.

D'autre part, pour pouvoir créer notre signal vidéo composite; il faudra dans un premier temps générer tous les tops de synchronisation (ligne, trame, tops, d'égalisation) afin d'obtenir sur l'écran, un balayage du spot conforme au standard utilisé, soit le "625 lignes". Les détails sur la réalisation du générateur de tops de synchro seront donnés plus loin. Notons que dans notre cas, il n'est pas nécessaire de moduler le signal vidéo par une porteuse HF car l'attaque du récepteur TV se fera directement sur son entrée vidéo (non sur la prise antenne).

ANALYSE D'UNE IMAGE

L'image projetée sur l'écran du tube cathodique, se trouve en réalité constituée par une infinité de points élémentaires plus ou moins lumineux appelés "pixels". Le mode de reproduction électronique est basé sur une analyse séquentielle de tous les points de l'image afin de les reproduire sur l'écran.

Cette analyse se faisant à une cadence suffisamment accélérée, la persistance des impressions lumineuses sur l'oeil donnera à l'observateur une impression de continuité.

A la réception, le tube cathodique, organe traducteur, exploitera tous les points, les uns après les autres, suivant un ordre bien défini, produisant pour chacun d'eux une brillance proportionnelle à celle du point examiné à l'émission (un point blanc correspondra à une tension maximale et un point noir à une tension nulle).

-Le problème de la TV consiste donc:

- à reproduire exactement à la réception, la position dans le plan de chacun des points de l'image transmise (exploration, balayage)
- à reproduire les variations de luminosité de chacun de ces points en fonction du temps.

L'analyse se fera donc point par point et ligne par ligne. Cependant, afin de remédier au problème de scintillement de l'image, le mode interligné sera adopté (balayage entrelacé).



### a)-PRINCIPE D'UN BALAYAGE ENTRELACE

Dans ce mode de balayage, on explore d'abord les lignes impaires, puis ensuite les lignes paires de l'image. chaque demi-image est appelée trame. Nous aurons donc 50 trames par seconde (au lieu de 25 images/secondes).

La figure 1 nous décrit le principe d'un balayage entrelacé correspondant à une image de 11 lignes. (c'est un exemple).

#### EXPLORATION DE LA TRAME IMPAIRE.

Le spot part de la position 1 et se dirige vers la position 1'. Il analyse ainsi la 1ere ligne; arrivé en 1', il retourne en arrière jusqu'en 3 pour repartir en 3!.....lorsque le spot arrive en 11, il s'apprête à parcourir toute la ligne, mais il est ramené instantanément en haut de l'image dès qu'il a atteint la moitié de la ligne, c'est à dire qu'il se déplacera verticalement de 11' à 11".

#### EXPLORATION DE LA TRAME PAIRE

Lorsque le spot arrive en 11", il retourne en arrière et se trouvera en position 2. de là, il suivra le trajet de 2 à 2', puis de 4 à 4'..... Quand il arrivera à la fin de la dernière ligne, il remontera instantanément en 1. L'analyse d'une autre image pourra ainsi se faire. Remarquons que ce fonctionnement est théorique et que pour assurer une parfaite synchronisation entre le déplacement du spot sur l'écran du téléviseur et l'analyse de l'image; Les signaux de commande appelés signaux de synchronisation doivent être envoyés en même temps, à la fin de chaque ligne et à la fin de chaque trame. Ces signaux seront donc mélangés au signal vision (signal vidéo).

Des détails sur la réalisation du mélangeur seront donnés plus loin.

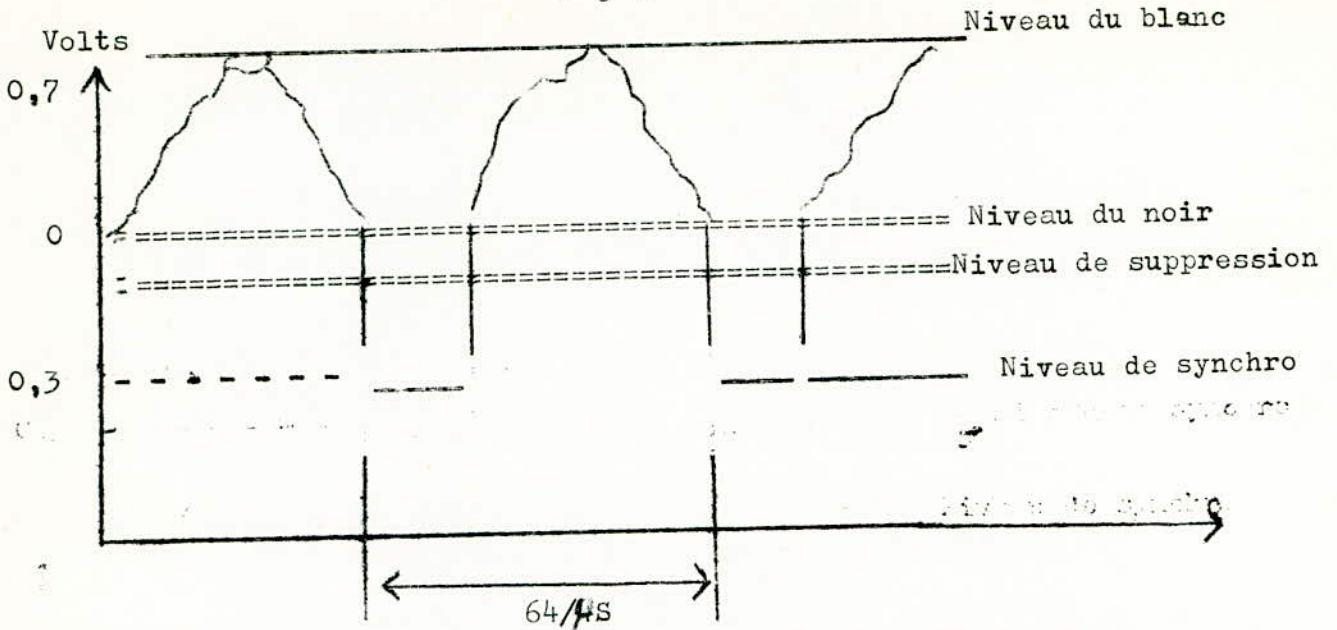
### B)-FREQUENCE LIGNE ET FREQUENCE TRAME

Ces deux fréquences doivent être rigoureusement asservies. On les obtient à l'aide d'un oscillateur dont la fréquence est leur plus petit commun multiple. A partir de ce signal pilote, les fréquences lignes et trames seront obtenus par des diviseurs de fréquences successifs.

A partir de la fréquence de 1 MHz, des diviseurs successifs par 2 nous donneront la fréquence ligne de 15 625 HZ et d'autres diviseurs par 5 nous feront aboutir à la fréquence trame 50 HZ qui n'est autre que la fréquence du secteur.

### c)-ETUDE DU SIGNAL VIDEO

C'est un signal électrique dont la tension est fonction de la luminosité de chacun des points de l'image analysée. Il constitue l'information utile. Il faut donc le distinguer des signaux de synchronisation puisque ces derniers lui sont superposés (mêlés) pour former le signal vidéo composite.



La tension du blanc correspond à la tension maximale positive (100%) du signal vidéo composite. Celui du noir correspond à une valeur comprise entre 25% ou 30% selon les standards. (30% dans notre cas). Le signal vidéo correspond donc à une tension comprise entre 30% et 100% du signal vidéo composite. Il s'étale sur une durée de 52  $\mu$ s par rapport à la ligne. La bande du signal vidéo est de 6,5 MHz.

#### d) - LES SIGNAUX DE SYNCHRONISATION LIGNES

La durée des tops synchro ligne<sup>est</sup> de 5  $\mu$ s; ces tops sont toujours précédés d'un palier de 1  $\mu$ s (voir fig 2) et fig (2bis)

REMARQUES: LE signal de suppression ligne (pendant le retour ligne) dure 12  $\mu$ s. Il débute 1  $\mu$ s avant le flanc avant de l'impulsion de synchronisation ligne.

Le signal vidéo pur dure 52  $\mu$ s

#### e) - LES SIGNAUX SYNCHRONISATION IMAGE

Il se compose de trois parties (voir fig 3).

- Une suite de 5 impulsions de pré-égalisation réparties sur 160  $\mu$ s.

- 5 tops image répartis sur 160  $\mu$ s

- Une suite de 5 impulsions de post égalisation réparties également sur 160  $\mu$ s

Le signal de suppression image pendant le retour du spot couvre 25 lignes (soit 1,6 ms)

Les 5 impulsions de post égalisation sont destinées à faciliter la séparation des tops lignes et des tops trame. Elles ont une durée 2 fois plus faible que celle d'une impulsion de synchronisation-lignes.



L'inter-lignage sera obtenu en plaçant le premier top de synchro ligne (celui qui suit immédiatement les 5 impulsions de post-égalisation) soit à  $64 \mu s$  de la dernière impulsion de post égalisation (on aura la trame impaire), soit à  $32 \mu s$  (on aura la trame paire) voir fig 3; La durée du signal de suppression image est égale au temps maximum accordé au spot pour effectuer le retour (tant en ligne qu'en image).

REMARQUES GENERALES: Cet aperçu sur la TV est assez bref mais il est suffisamment pour ce qui est de la réalisation de notre système. En effet, notre but étant la visualisation d'une image constituée d'un certain nombre de points qui nous sont donnés sous forme numérique par un ordinateur (codé sur 4 bits). Ces points seront stockés dans la carte mémoire et traités de la sorte qu'ils peuvent être lus durant  $100 ns$  chacun ensuite multiplexés, puis convertis en analogique, en vue d'obtenir 1 Signal image qui sera par suite mélangé avec avec les signaux de commande en vue d'obtenir un signal vidéo.

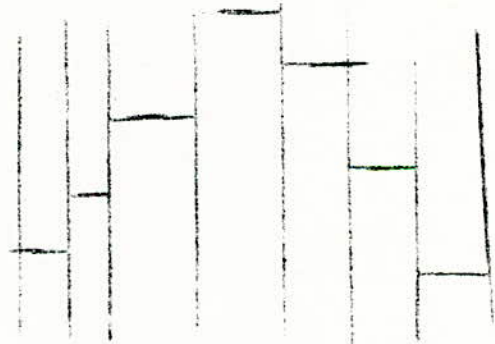
La contrainte des  $100 ns$  par point résulte de deux exigences:

- pour éviter le papillotement des images, on était conduit à projeter 25 images par seconde, ceci représente un temps de balayage lignes =  $52 \mu s$ .
- le 2<sup>e</sup> point consiste à reproduire l'image avec une définition de grande précision possible. Pour cela, il était nécessaire lors du traitement d'image d'effectuer un échantillonnage du signal vision à une fréquence maximale possible. Dans notre cas cette fréquence est égale à  $10 MHz$ .



Fréq=max d'échantillonnage

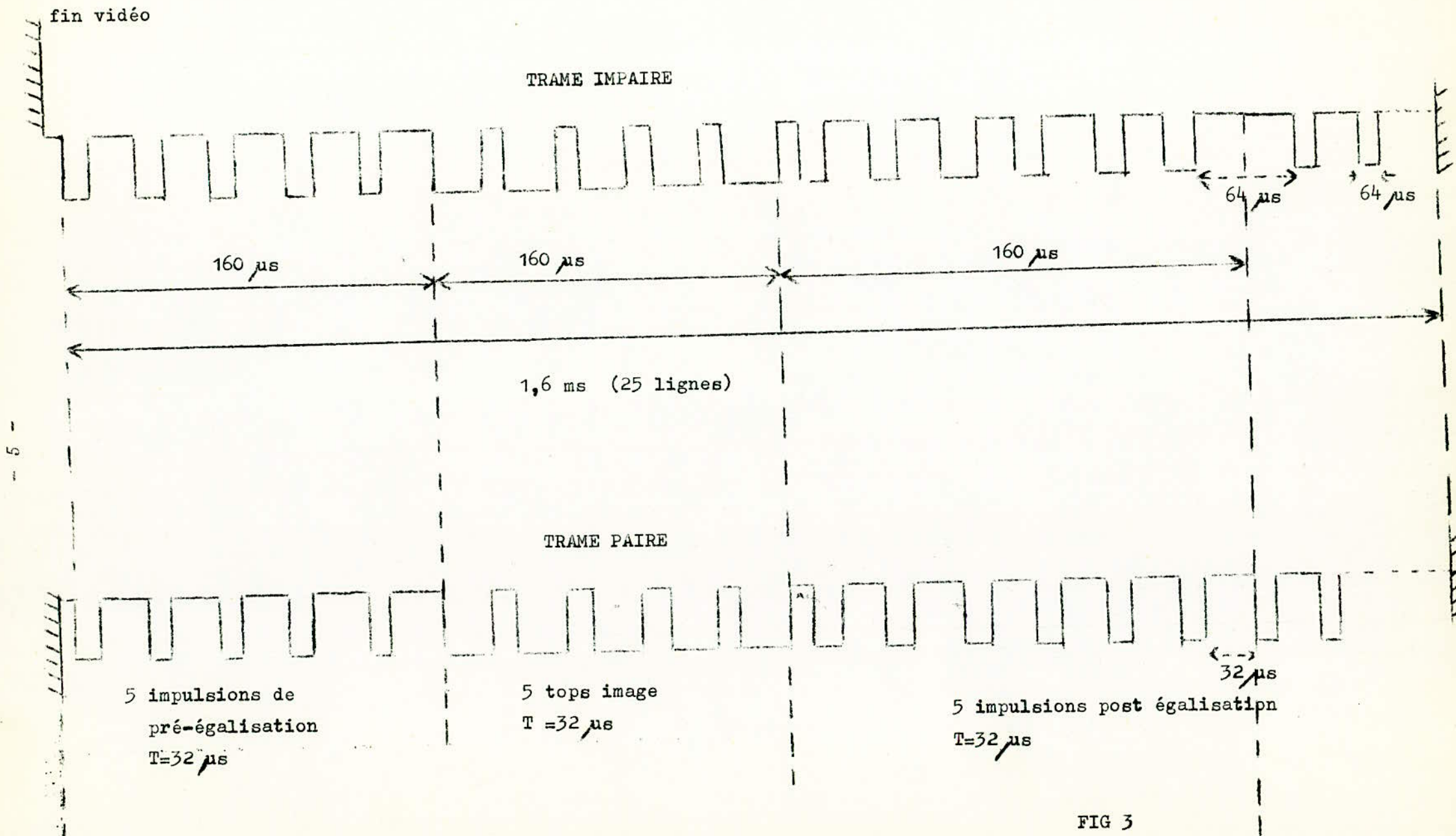
bonne reproduction d'image  
à la réception



fréq=faible d'échantillonnage

mauvaise reproduction d'image  
à la réception





- 5 -

FIG 3

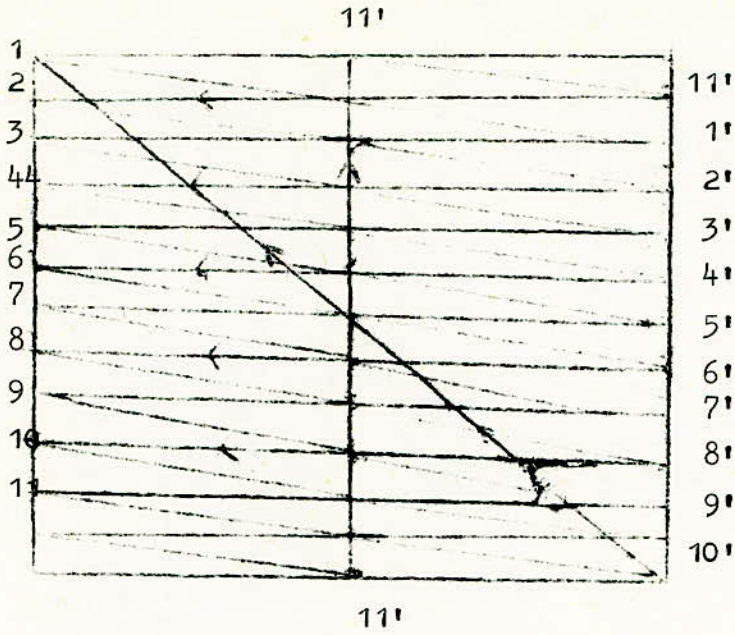


Fig 1 : balayage entrelacé

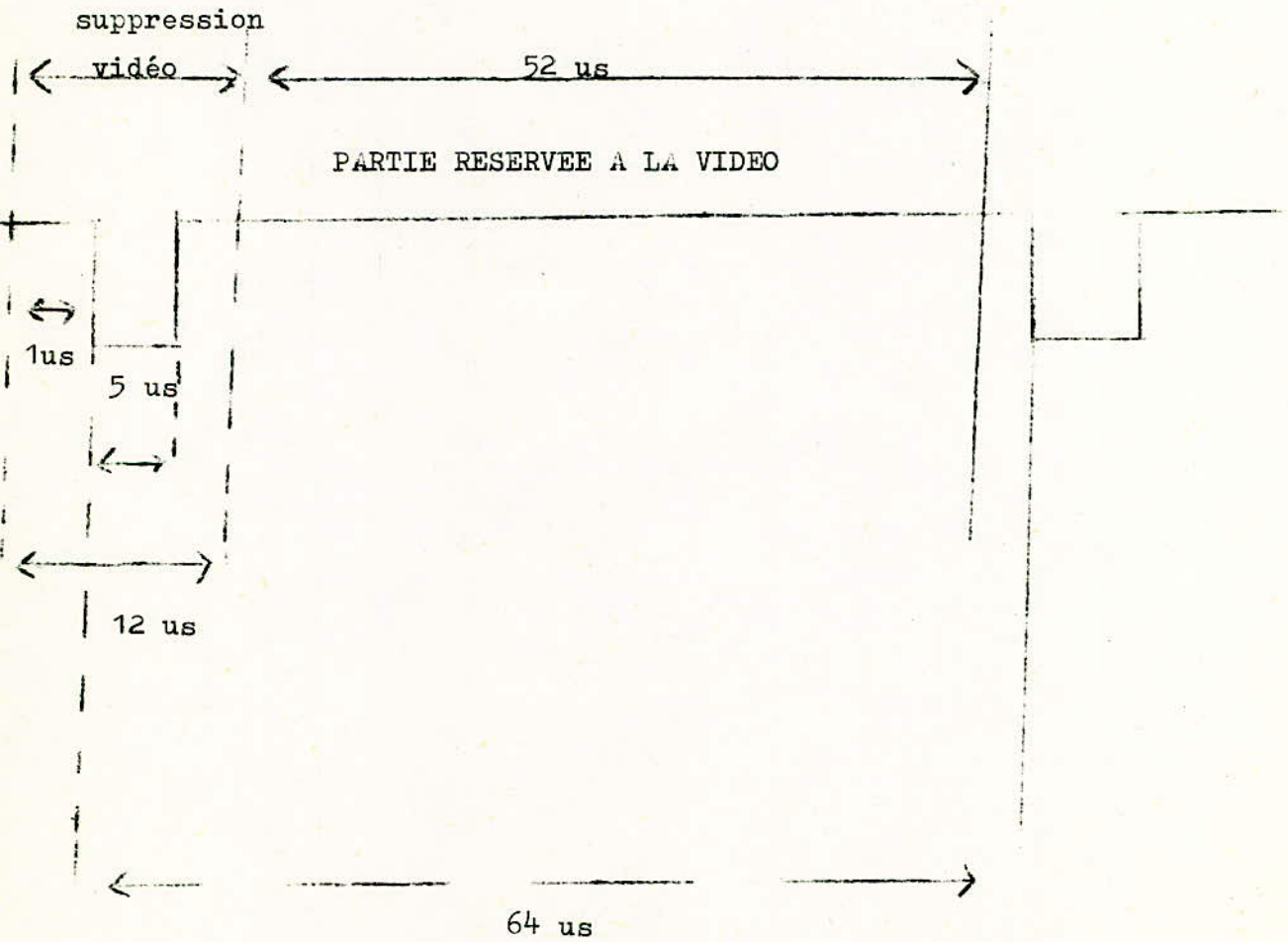


Fig 2: Signaux de synchro ligne

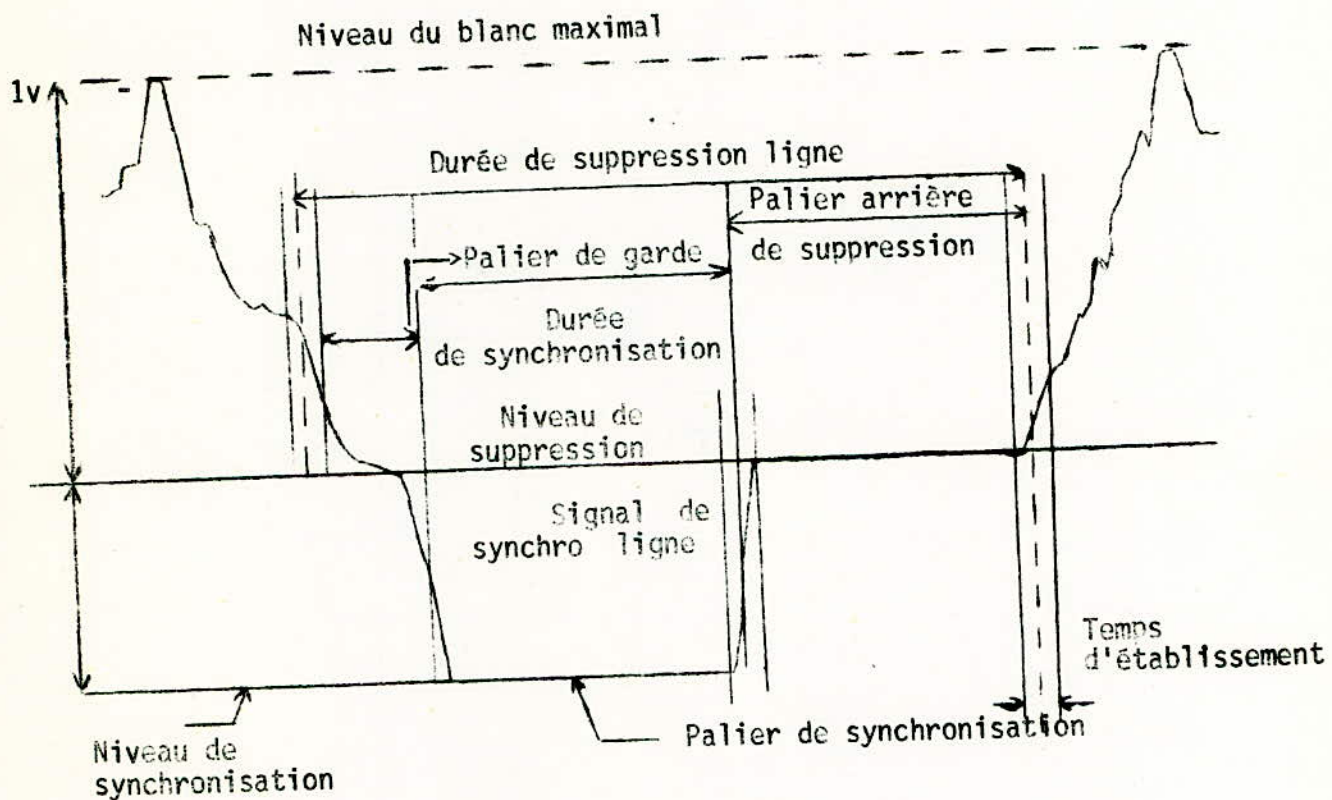


Fig 2 bis : signaux de synchro ligne



## G E N E R A T E U R \_ D E \_ S I G N A U X \_ D E \_ S Y N C H R O N I S A T I O N

C'est un système électronique ayant pour fonction principale de générer des trains d'impulsions ( appelés tops lignes et tops images) conformes aux normes du standard étudié en l'occurrence le 625 lignes. Il sera entièrement réalisé en circuit T T L.

Les fréquences des différents signaux, mises en jeu dans les tops lignes et images étant dans un rapport simple ( 2,5 ou 10 ), il serait intéressant d'utiliser un seul oscillateur délivrant des signaux à une fréquence la plus élevée; puis de réaliser ensuite des diviseurs de fréquence. D'autre part, les différentes impulsions seront obtenues à partir de monostables commandés directement par les diviseurs de fréquences.

Avant d'entamer l'étude détaillée de notre générateur, allons décrire et rappeler le mode de fonctionnement de notre oscillateur pilote ( le SN 7413 ).

### OSCILLATEUR ( Trigger de Schmitt)

Les oscillateurs à transistors délivrant un signal rectangulaire étant relativement difficiles à réaliser; nous avons eu recours aux oscillateurs à Technologie T T L. Celui qu'on utilise sera constitué d'un trigger de schmitt, et présentera un grand gain. C'est un oscillateur de type relaxation, se déclenchant sans intervention extérieurs.

Il est réalisé à partir d'un circuit intégré de type SN 7413, constitué de 2 portes NAND - celui-ci peut fonctionner dans une gamme de fréquence allant de 0 jusqu'à 10 MHz. Les entrées et la sortie du circuit 1 sont couplées par l'intermédiaire des résistances R et P. L'état de la sortie 1 est le complément de l'état de ses entrées. En d'autres termes, lorsque les entrées sont hautes, la sortie est basse et réciproquement. Aussi longtemps que la somme des résistances de couplages est inférieure à une certaine valeur, la sortie peut imposer aux entrées son propre état logique; c'est à dire que l'information existant à la sortie de la porte NAND "1" est transmise à son entrée.

La capacité  $C_1$  est nécessaire pour différer l'application aux entrées du niveau logique pris par la sortie.

La constante de temps  $( R_1 + P_1 ) C_1$  détermine la fréquence des oscillations engendrées par le circuit "1" pour parfaire la raideur des flancs du signal obtenu, ou ajoute un 2ème circuit " Trigger de schmitt qui délivre sur sa sortie, un signal présentant des transitions très rapides.

La stabilité de la fréquence des oscillations obtenues par le trigger de schmitt est meilleure que 5% en supposant le réseau ( $R_i + P_i$ ) exempt de toutes dérives.

Le schéma interne ainsi que le brochage du circuit SN7413 sont donnés par les figures 1 et 1 bis.

Remarque : La fréquence d'oscillation est ajustable au moyen du potentiomètre

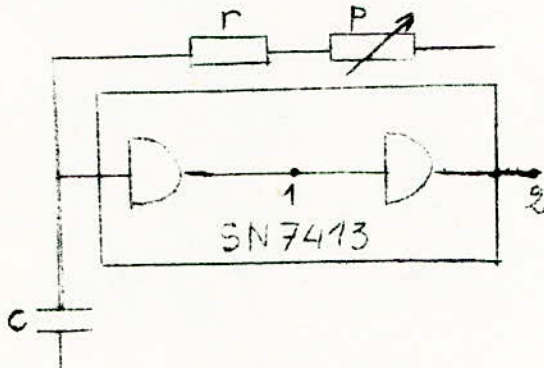


Fig 1 : Schéma interne du circuit SN 7413

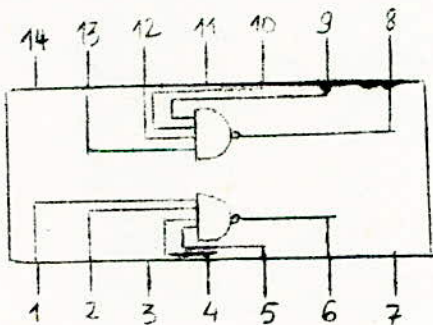


Fig 1 bis: Brochage du circuit SN7413

### REALISATION DU GENERATEUR

Le schéma d'ensemble de ce générateur de signaux de synchronisation est donné à la figure, pour obtenir des différents signaux rectangulaires l'oscillateur pilote est réglé à une fréquence de 1 MHz. C'est cette fréquence qui sera l'objet de plusieurs divisions pour donner les fréquences nécessaires. Les brochages de ces circuits sont donnés sur le schéma général du générateur. Notons que les différents signaux à fabriquer sont les suivants:

- Bt : Blanking de trame (effacement) : 1600 $\mu$ s à 50 HZ
- Bt : Blanking de ligne : 12  $\mu$ s à 15625 HZ
- S1 : Top de synchro ligne : 5  $\mu$ s à 15625 HZ



Pa : Palier avant de 1 us plaçant S1 sur B1

E1 ; E2 et t successifs de 160  $\mu$ s à 50 HZ

Les coupures de 2  $\mu$ s : E ds e

les coupures de 27  $\mu$ s T dans T

Expliquons maintenant en détail la réalisation de chacun de ces signaux.

#### a) LES SIGNAUX D'EFFACEMENT:

On distingue le signal B1 (effacement ou blanking ligne) dont le rôle est d'éteindre le spot du téléviseur pendant que le faisceau de balayage va de droite à gauche dans le but d'inscrire la ligne suivante, et le signal Bt couvrant 25 lignes complètes et englobant E1, t, et E2 que l'on précisera plus loin; ce signal ayant aussi pour rôle d'éteindre le spot pendant le retour du faisceau pour passer à la 1/2 image suivante.

##### Signal Bt:

Nous obtenons ce signal en mélangeant D4 (50 HZ) et C3, dans une porte NAND : En effet quand C3 et D4 sont simultanément à 1, Bt passe à 0. Nous avons ainsi un créneau de 1600  $\mu$ s à 50 HZ.

(voir schéma général du générateur les points C3, D3, D4, Bt)

(voir fig 1 Signal blanking trame (Chronogramme))

##### Signal B1:

Ce signal est généré à la sortie Q d'un basculeur attaqué en entrée horloge par le signal 5 (fréquence ligne) et qui est remis à 0, 12  $\mu$ s plus tard par 1 signal obtenu par mélange de 2, 3 et 4

(voir fig 2 : chronogramme expliquant la réalisation du signal B1)

##### Créneaux e et t:

Ils sont obtenus par mélange dans des portes NAND

l'équation de e est  $e = D4.C3.\bar{B}3.\bar{B}2.\bar{D}2$  (voir chronogramme)

l'équation de t =  $D4.C3.\bar{B}3B2 . \bar{C}2$  ; sa réalisation se fait d'après le chronogramme de la fig 4

(Voir fig 3; Chronogramme expliquant la réalisation de e1 et e2 ).

Remarquons d'après les chronogrammes de la fig 3 et Fig 4 que le signal t s'intercale bien entre "e1 et e2".

#### b) LES SIGNAUX DE SYNCHRONISATION

La synchronisation complète est fournie par un basculeur JK

##### -Signaux de synchro ligne:

Ces tops ne doivent exister qu'en dehors des signaux "e" et "t" c'est à dire quand  $e=t=0$  ( $\bar{e}=\bar{t}=1$ ) (pendant e et t, les tops lignes sont remplacés par les découpages de ces temps)



Les entrées J,K de la bascule sont commandées par un signal d'équation  $JK = \overline{1} \overline{2} \overline{3} \overline{4} \overline{5}$   
 le signal d'horloge est  $\overline{0}$  mais le basculement ne se fait que lorsque  $JK=1$ , soit  $1\mu s$   
 1  $\mu s$  après le temps initial  $t_0$  (création du palier pa de  $1\mu s$ ) voir chronogramme  
 fig 6. Lorsque JK revient à 0, tous les flancs descendants de l'horloge sont  
 inactifs, cette remise à zéro est commandée par signaux mélangés dans N3, N4 et  
 N5. Puisque  $e=t=0$ , N4 et N5 sont inactives et seul  $\overline{X}$  est retrouvé sur  $\overline{R}$ . Le  
 basculeur revient donc à 0, 0,5  $\mu s$  plus tard d'où signaux ligne. Ce raisonnement  
 doit être suivi dans le chronogramme de la figure 5.

ces signaux ont bien pendant  $\overline{1}, \overline{2}$ :

$$\overline{1}=1; \overline{e} = 0; t=0, \overline{t} = 1 \quad JK = \overline{1} \overline{2} \overline{3} \overline{4} \quad (N2 \text{ inactive par } \overline{e} = 0)$$

-Coupures de 2  $\mu s$  dans e:

$\overline{R} = \overline{0.1}$  ( N3 et N5 inactives par  $\overline{e} = 0$  et  $t=0$ ); le basculeur passe à 1  
 sur le premier flanc descendant de  $\overline{0}$  (horloge) et est remis à zéro 2  $\mu s$  plus tard  
 Il pourra rebasculer 30  $\mu s$  plus tard et recommencer 5 fois de suite pendant les  
 temps e. Ainsi les coupures de 2  $\mu s$  dans e sont bien faites.

-Coupures de 27  $\mu s$  dans t:

Pendant t, on a  $e=0, \overline{e} = 1, \overline{t} = 0$

on a l'équation  $JK = \overline{1.2.3.4}$ . (N2 inactive par  $\overline{t}=0$ )

$$\overline{R} = \overline{2.3.4} \quad (N3 \text{ et } N4 \text{ inactives par } \overline{t} = 0 \text{ et } e = 0)$$

en suivant bien le chronogramme, on voit que le basculeur va passer à 1 sur le  
 front descendant de  $\overline{0}$ , se produisant quand  $JK=1$  et revient à zéro 27  $\mu s$  plus tard  
 Ainsi les coupures de 27  $\mu s$  sont bien réalisées dans t. (voir fig 6 et 7)

Ainsi nous disposons des signaux de synchronisation complets en sortie 12 de  
 IC22 (voir schéma générateur), de même que

Les signaux de suppression complets en sortie 8 et 6 IC19 (voir schéma  
 du générateur) il reste à mélanger ces signaux entre eux et avec le signal  
 vidéo pour avoir le signal vidéo composite.

C'est le rôle du mélangeur dont la réalisation et la conception sont  
 données plus loin/

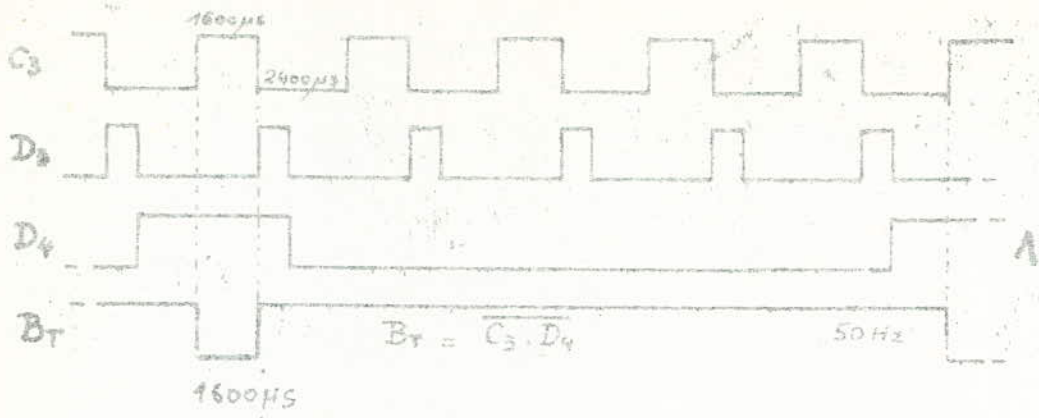


Fig 1: (Signal Blanking trace chronogramme)

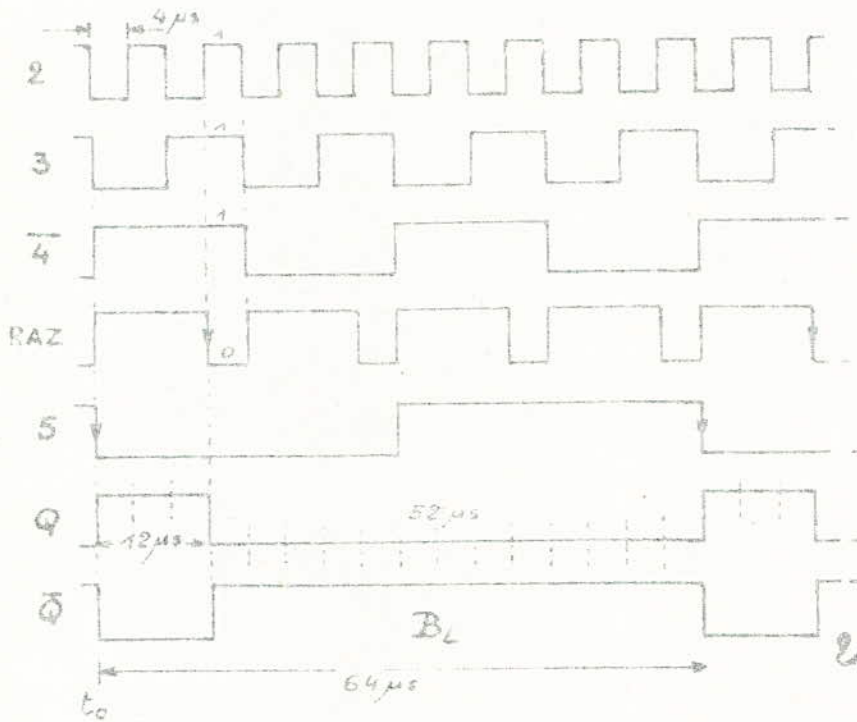


Fig 2: Chronogramme expliquant la réalisation du signal  $B_1$



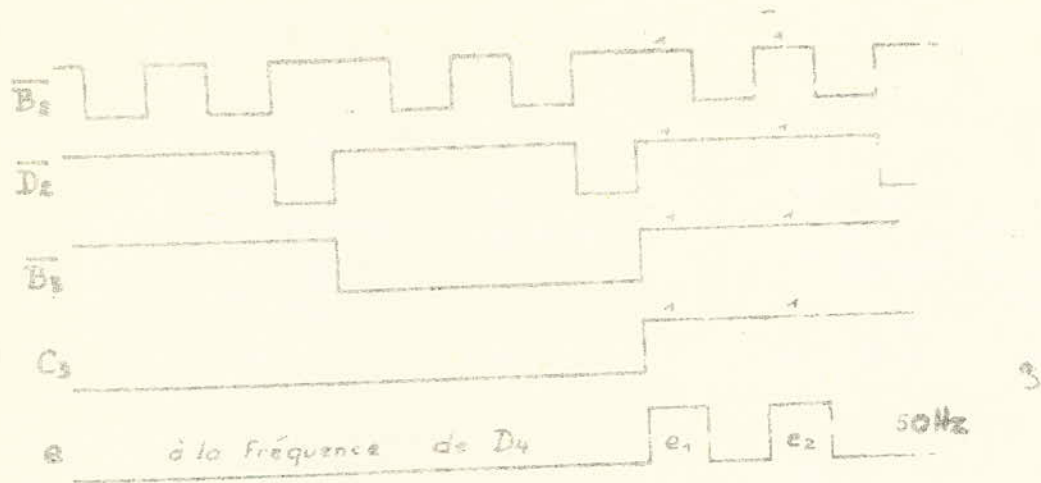


Fig 3: Chronogramme expliquant la réalisation de L1 et E2 (e)

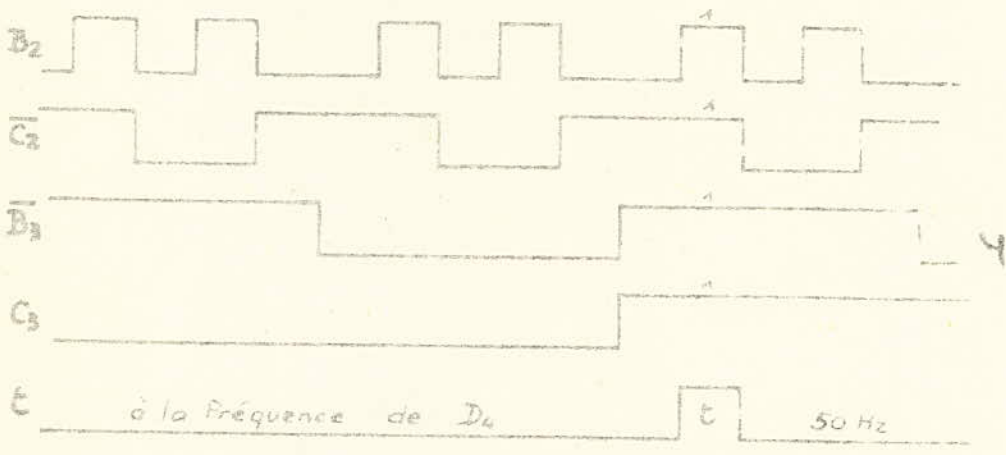
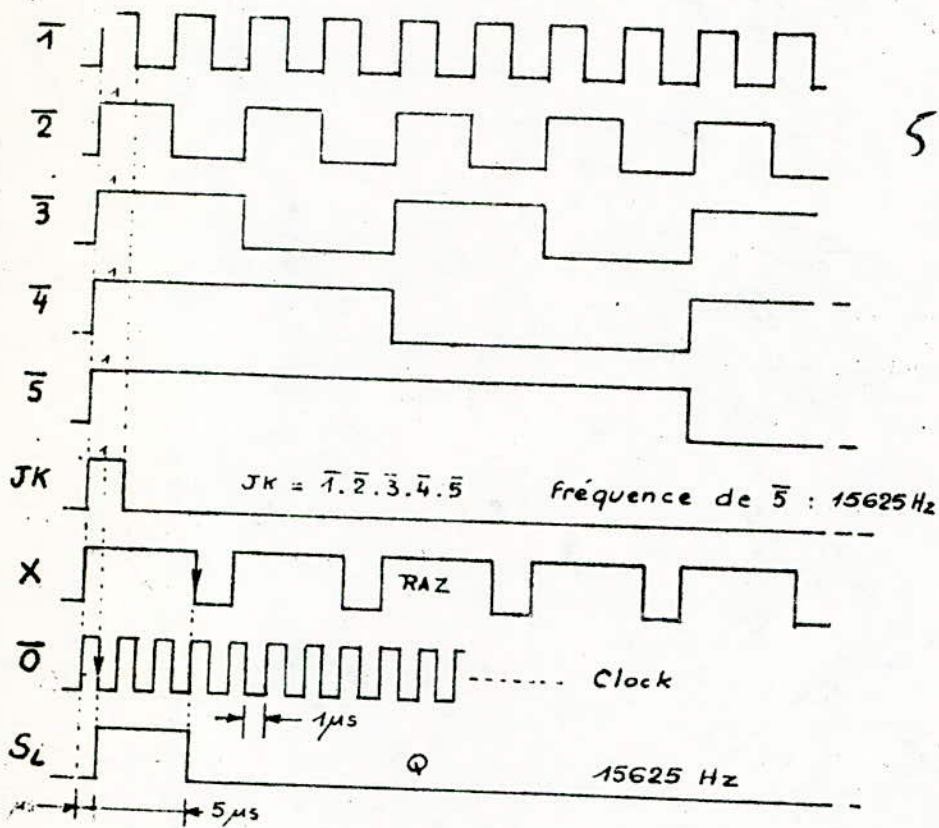


Fig 4: Chronogramme expliquant la réalisation de t



**CHRONOGRAMME**

**Signaux de synchre trame**

**Fig 5:** Réalisation des signaux synchre ligne



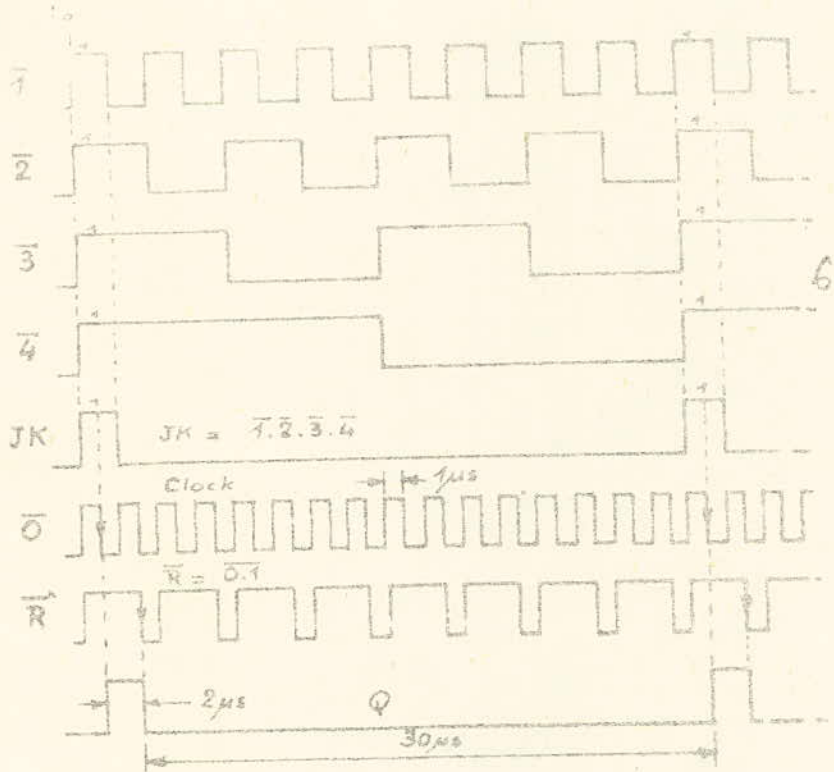


Fig 6: Coupures de/ds dans 2

CHEMNOGRAMME

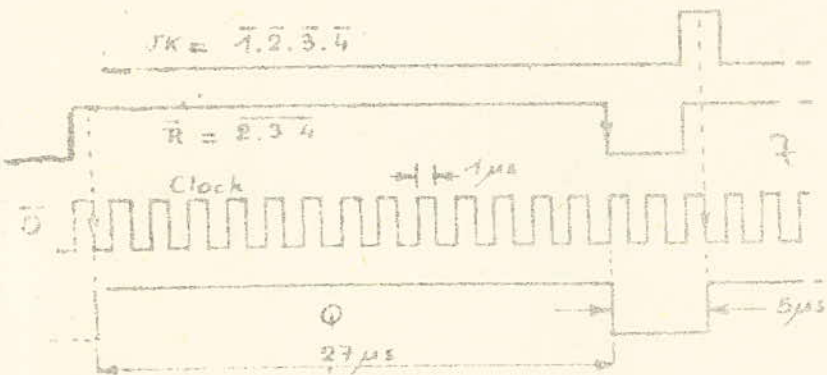
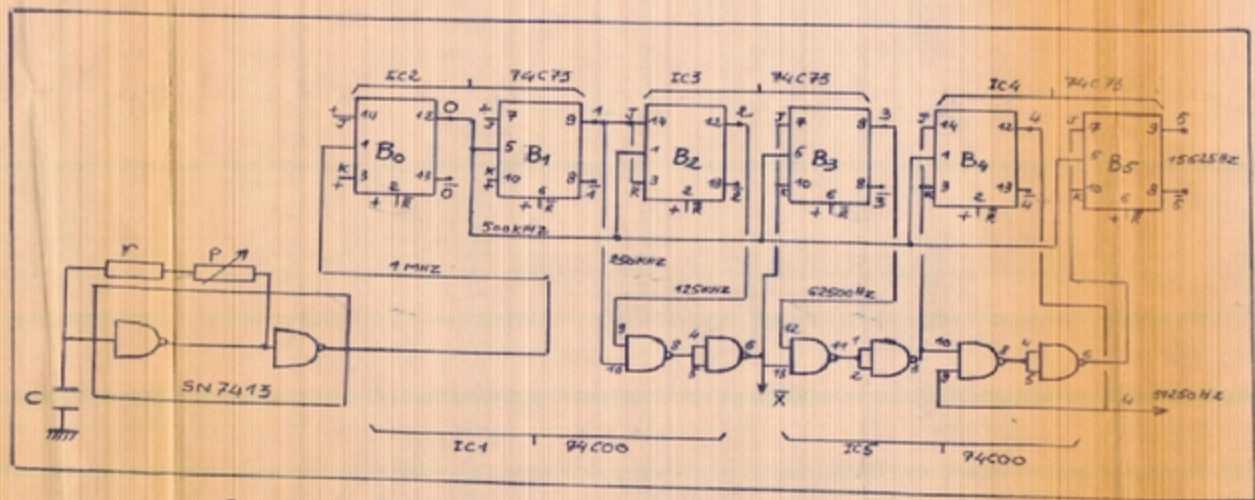


Fig 7: Coupures de 27/ $\mu\text{s}$  6

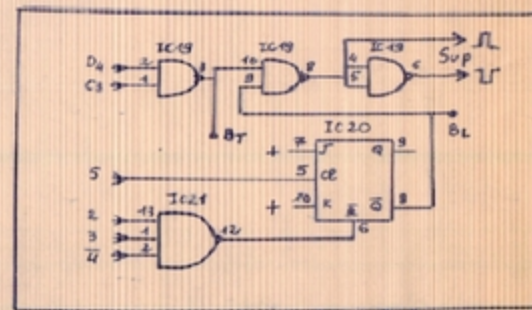
CHEMNOGRAMME



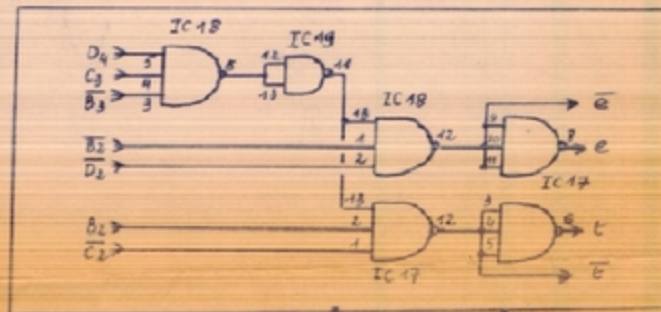
# GENERATEUR DE SIGNAUX DE SYNCHRONISATION



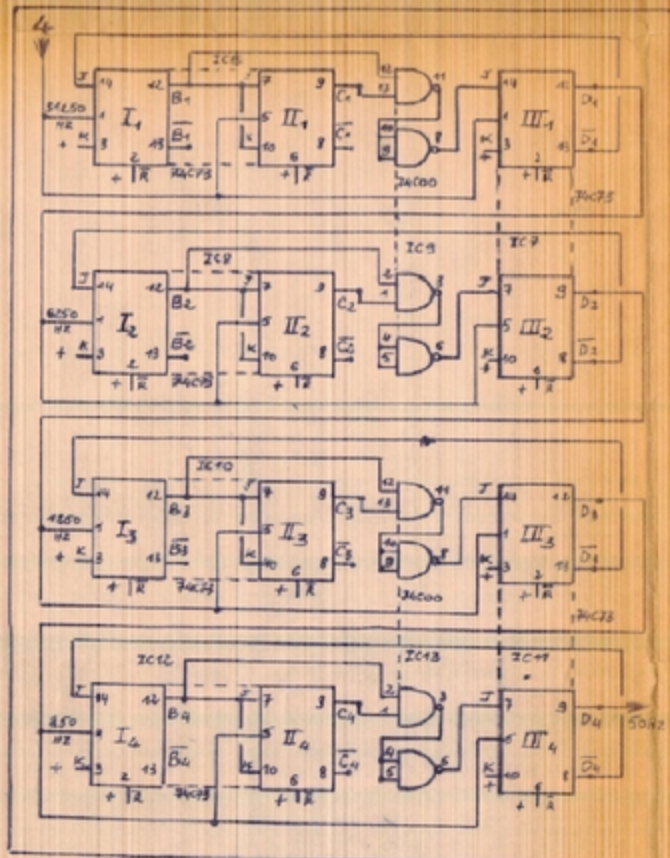
chaîne de diviseurs par 2



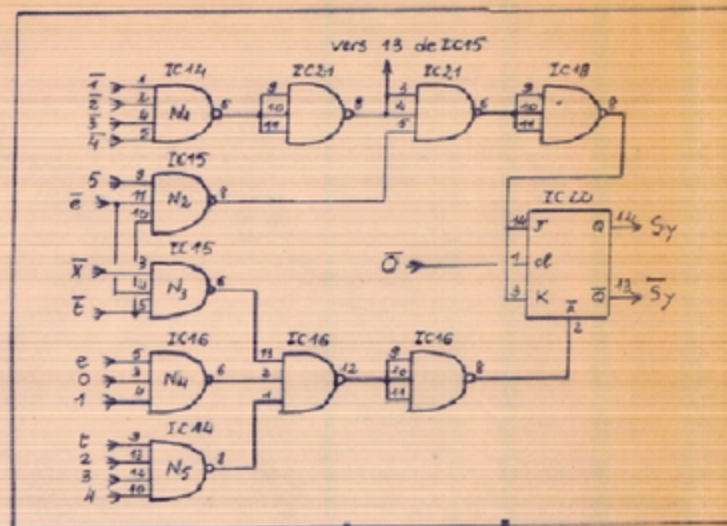
signaux de blanking



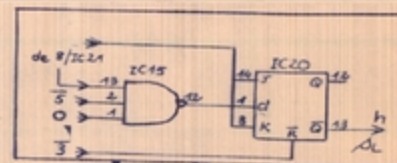
realisation de "e" et "t"



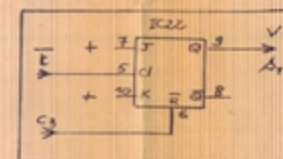
chaîne de diviseurs par 5



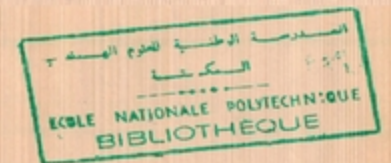
signaux de synchro



synchro ligne



synchro frame





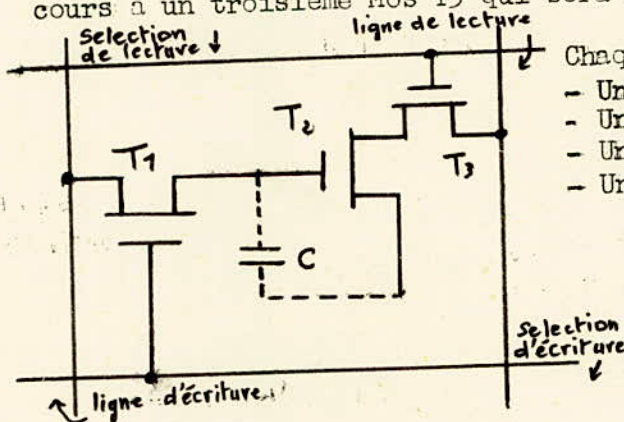
C - ETUDES DES MEMOIRES DYNAMIQUES  
\*\*\*\*\*

C1 CONSTITUTION D'UNE MEMOIRE DYNAMIQUE :  
.....6.....

Dans les mémoires dynamiques l'élément de base d'une cellule mémoire n'est plus un bistable , mais la capacité parasite ( quelques pF ) grille-source ( ou grille-canal ) d'un transistor Mos T1 ; aux bornes de laquelle est emmagasinée une tension logique " 1 " ou " 0 " la résistance d'entrée de T1 est de quelques  $(R_{in} = 10^9 \Omega)$  d'ou la constante de temps de décharge de C est voisine de quelques millisecondes .

Si l'on charge C à travers T2 (utilisé comme commutateur ) conducteur jusqu'à + VGs puis on le bloque , la charge du condensateur se maintient durant les quelques millisecondes , déterminées précédemment .

La lecture d'un état bloqué ou saturé aura recours à un troisième Mos T3 qui sera conducteur lors d'une lecture .



- Chaque cellule aura donc :
- Une ligne de sélection de lecture
  - Une ligne de sélection d'écriture
  - Une ligne d'entrée de données
  - Une ligne de sortie de données

On a remarqué ci-dessus que la charge de la capacité ne peut se maintenir indéfiniment pour les raisons suivantes :

La capacité admet une résistance de fuite non infinie , ainsi que la grille du Mos , se comporte comme un générateur de courant constant ; malgré qu'il soit faible en traversant la capacité , il modifie la valeur stockée à ses bornes .

Il faudra donc recharger périodiquement la capacité à sa valeur logique correcte ; cette opération est appelée rafraîchissement .

Cette fonction est simplifiée par le fait qu'une lecture est suivie d'une écriture , car toute lecture modifie la charge stockée aux bornes de la capacité .

Une capacité tampon est alors utilisée pour recevoir la donnée lue ; et à l'aide d'un amplificateur d'écriture pour la réécriture .

Toutefois , la donnée n'apparaîtra sur la ligne de sortie ( ligne de lecture ) , le rafraîchissement sera donc une simple lecture pour laquelle les données n'apparaîtront pas en sortie .

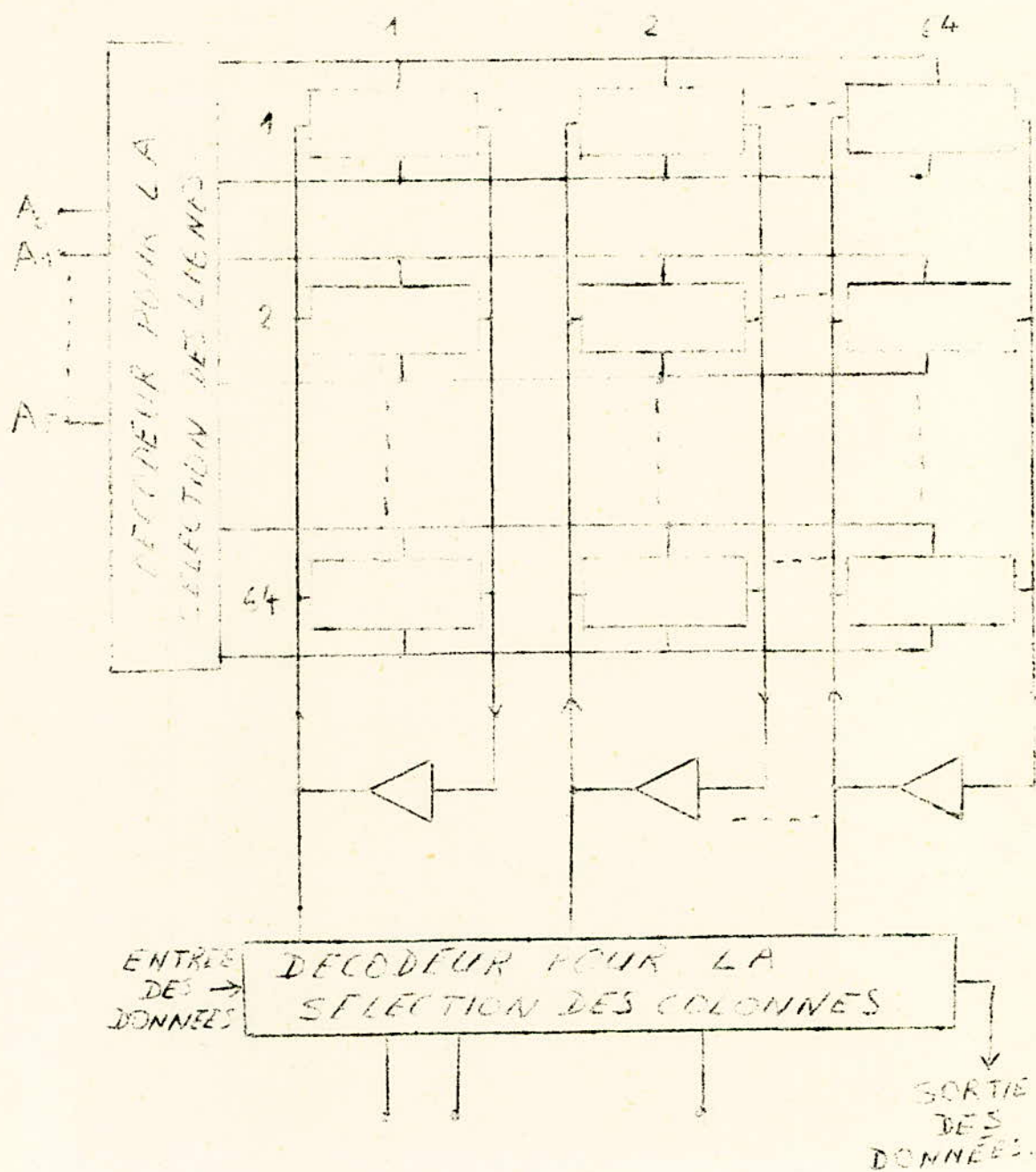
Un point important :

Une commande de lecture est validée pour toutes les cellules d'une même ligne , comme on ne lit , ou on n'écrit qu'une seule ligne à la fois , il suffira d'un amplificateur de rafraîchissement par colonne ; soit 64 pour une mémoire de 4 K bits organisée en 64 lignes et 64 colonnes . Pour rafraîchir successivement chacune des lignes ; il en résulte que les entrées adresses de la mémoire recevront :

- Soit les fils adresses de selection de lignes en provenance des bus adresse .
- Soit les fils adresses de selection de lignes en provenance d'un circuit spécial de rafraîchissement <sup>ayant</sup> sa propre horloge .

D'où la nécessité d'un multiplexage des fils d'adresse ; le multiplexeur étant commandé , par le rafraîchissement où l'absence de ce dernier .



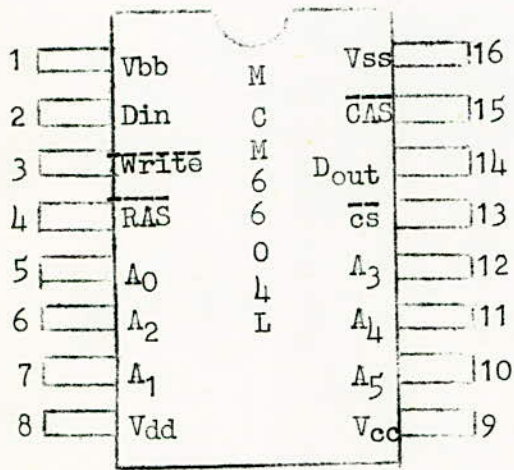


Mémoire dynamique  
de 4K mots de 16bit



C-2 .ETUDE DES RAMs DYNAMIQUES MCM 6604L.

a) CONCEPTION TECHNOLOGIQUE DE LA MCM6604L.



La MCM6604L est une mémoire vive dynamique d'une grande rapidité, établie pour les hautes performances, applications de faibles coûts dans les systèmes de bases, mémoires tampons et stockage périphérique; organisée en 4096 mots de un bit chacun et fabriquée chez MOTOROLA; elle est hautement fiable CANAL N - SILICIUM.

Ce dispositif optimise la vitesse, la consommation et la capacité de la mémoire, les entrées des adresses lignes et colonnes sont multiplexées; ainsi la MCM 6604L exige seulement six lignes d'adresses et permet une adaptation sur le standard MOTOROLA boîtier à 16 pins. Un décodage complet d'adresses est effectué dans le boîtier. Des latches sont intégrés, ils permettent de loger les adresses multiplexées ou des signaux de commandes.

Toutes les entrées sont compatibles TTL; il en est de même pour la sortie qui est à trois états.

La MCM 6604L est constituée de cellules du type " transistor " et de technique de stockage dynamique. pour chacune des 64 lignes d'adresses est exigée un cycle de rafraichissement <sup>tous</sup> les deux millisecondes au maximum .

- organisées en 4096 mots de un bit chacun.
- Le temps d'accès maximal = 350ns.
- Le cycle de lecture ou d'écriture min. = 500ns.
- Faible consommation = 630mW(active); 25mW(au repos).
- Compatibilité avec TTL.
- Sortie à trois états (TTL).

b ) MODE D'ADRESSAGE :

La MMC 6604 L possède 6 entrées d'adresses ( $A_0, A_1, A_2, A_3, A_4, A_5$ ) qui sont communes à deux registres d'adresses ; un registre pour l'adressage ligne , et un autre pour l'adressage colonne , Le registre colonne admet un latch additionnel qui loge le signal ( $\overline{CS}$ ) : chip select ( selection de boîtier ) .

Au début d'un cycle mémoire , l'adresse ligne est verrouillée dans le registre ligne avec le signal  $\overline{RAS}$  : ( Row - Adress - Strobe ) .

Ensuite l'adresse colonne est placée sur le bus adresse accompagnée du signal  $\overline{CS}$  seront verrouillés dans le registre colonne avec le  $\overline{CAS}$  ( Column Adress Strobe ) puisque le signal  $\overline{CS}$  est bien verrouillé en cycle mémoire , le temps correspondant à son décodage n'augmentera pas le temps du cycle de la mémoire .

c) SORTIE DE DONNEES :

L'état du latch de sortie et du buffer à la fin du cycle mémoire dépendra du type de cycle mémoire à exécuter et si le boîtier est sélectionné ou non pour ce cycle mémoire .

Un boîtier ne sera <sup>Pas</sup> sélectionné durant un cycle mémoire si :

- Le boîtier reçoit un  $\overline{CAS}$  , mais pas un  $\overline{RAS}$  , avec cette condition le boîtier ne sera pas sélectionné quelque soit l'état du signal  $\overline{CS}$  .  
Si durant un cycle de lecture où d'écriture , le boîtier n'est pas sélectionné le buffer de sortie sera a l'état de haute impédance à la fin du cycle mémoire qui se conservera jusqu'à ce que le boîtier sera sélectionné pour un cycle mémoire .

Pour la selection d'un boîtier durant un cycle mémoire , la réception des signaux suivants , est nécessaire :

$\overline{RAS}$  -  $\overline{CAS}$  -  $\overline{CS}$  .

L'état du latch de sortie et du buffer d'un boîtier sélectionné durant le type suivants des cycles mémoires seront :



d) CYCLE DE LECTURE :

Sur le front descendant de  $\overline{\text{CAS}}$ , le buffer de sortie passera à l'état haute impédance inconditionnellement .

Il demeure dans cette état jusqu'au temps d'accès. A partir de cet instant le latch<sup>de</sup> sortie et le buffer assumeront l'état logique de lecture de donnée à partir de la cellule sélectionnée . Cet état de sortie sera maintenu jusqu'à ce que le boîtier , reçoive le prochain  $\overline{\text{CAS}}$  .

Cycle d'écriture : Si l'entrée  $\overline{\text{Write}}$  passe à l'état logique " 0 " avant la transition de  $\overline{\text{CAS}}$ , le latch de sortie et le buffer seront commutés à l'état d'entrée de donnée à la fin du temps d'accès . Cet état de logique sera maintenu jusqu'à ce que le boîtier reçoive le prochain  $\overline{\text{CAS}}$  .

L'écriture d'une donnée dans une position mémoire sélectionnée dans un boîtier de bloc mémoire, est d'abord stockée dans un latch attaché au boîtier .

L'ouverture de ce latch est exécutée par un combinaison des signaux de  $\overline{\text{Write}}$  et  $\overline{\text{CAS}}$ , le dernier de ces signaux effectuant une transition négative validera la donnée dans le latch ; si l'entrée  $\overline{\text{Write}}$  est commutée à 0 ( logique ) au commencement d'un cycle écriture , le front descendant de  $\overline{\text{CAS}}$  validera la donnée dans le latch , Le temps d'établissement de la donnée et de son maintien sont alors référencés au front descendant de  $\overline{\text{CAS}}$ , la seule autre contrainte de temps pour un cycle<sup>du</sup> type écriture et que les signaux  $\overline{\text{CAS}}$  et  $\overline{\text{Write}}$  restent ensemble à l'état " 0 " ( logique ) pendant un temps suffisant pour l'accomplissement du stockage permanent de la donnée dans la cellule sélectionnée .

2 ) CARACTERISTIQUES DES ENTREES ET DES SORTIES :

Toutes les entrées du MCM 6604 sont compatibles TTL .



Elles présentent une forte impédance et basse capacitance ( inférieure à 10 pF ) , des caractéristiques qui minimisent les exigences de conduction dans un système de mémoire .

Le buffer " 3 états " de sortie de données est compatible TTL , un courant de l'ordre de 2 mA est suffisant pour conduire une charge TTL haute vitesse .

Le buffer de sortie admet une alimentation Vcc isolée sur un pin , de sorte qu'il peut être alimenté de la même source que la logique utilisée le rafraîchissement :

La MCM 6604 est rafraîchie par des cycles séquentiels à travers les 64 Rangées , adressées toutes les 2 ms au Max .

Il n'est pas nécessaire d'alimenter le  $\overline{\text{CAS}}$  durant le rafraîchissement.

N'importe quelle lecture , ou écriture rafraîchit la rangée sélectionnée .

Cependant si un cycle d'écriture est utilisé pour exécuter le rafraîchissement , le boîtier ne doit pas être sélectionné .

CONCEPTION DE LA CARTE MEMOIRE

L'image qu'on aura à synthétiser puis à projeter sur l'écran TV, a été analysée par la caméra en 512 lignes ; puis traitée par l'ordinateur, après échantillonnage de chaque point, représentant donc un niveau de tension, qui est converti sur une configuration de 8 bits qui correspondent à  $2^8$  nuances = 256 niveaux de grilles, ceci trouvé un peu élevé pour effectuer juste la fonction de visualisation. Alors on est amené à réduire à 16 nuances ( $= 2^4$ ) notre signal vidéo ( en ne conservant que les 4 bits MSB ) du signal image .

Le pixel à traiter par notre synthétiseur d'image admettra une configuration de 4 bits .

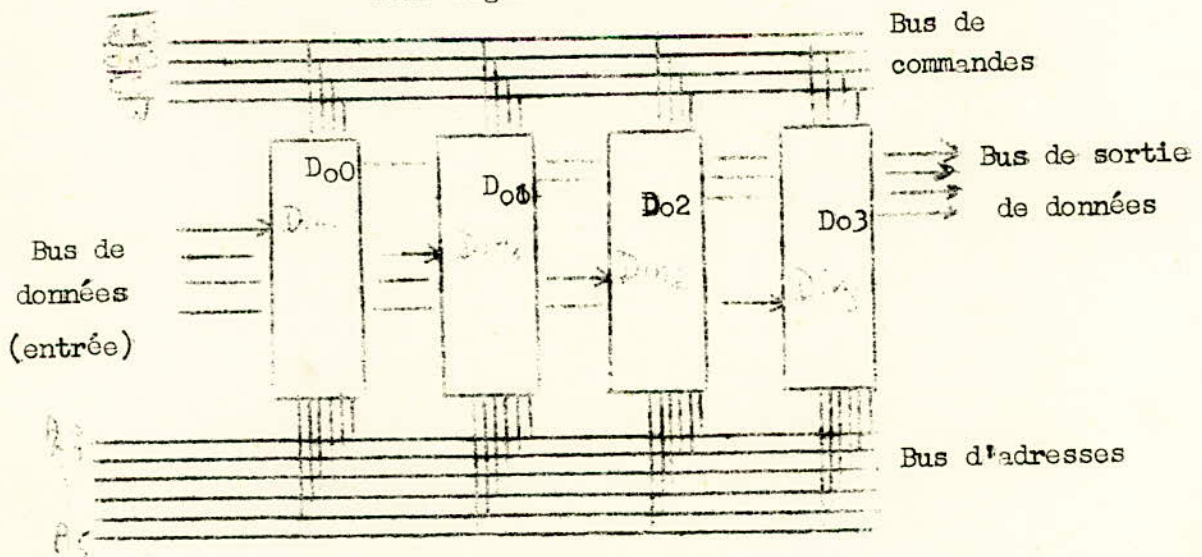
Enfin, une capacité nécessaire pour garder cette image serait égale à  $(512)^2 \times 4 \text{ bits} = 1 \text{ K}^2$  .

Avec des mémoires MCM 6604 L : RAM-s dynamiques de 4096 mots de un bit chacun,  $\frac{512 \times 512 \times 4}{4 \text{ K}} = 256$  boîtiers qui seront donc utilisés pour constituer des mots de 4 bits, on aura recours à une disposition de boîtiers par groupe de quatre, qu'on appellera bloc .

Chaque bloc contiendra 4096 mots de 4 bits chacun .

Donc un groupement de boîtiers en bloc nécessite une interconnexion des entrées homologues d'adresse et de commande .

Voir figure ci-contre :



CONNEXIONS D' UN BLOC MEMOIRE.



REPARTITION DES BOITIERS SUR LA CARTE MEMOIRE

La RAM MCM6604L admet un temps de cycle de lecture ou d'écriture minimal égal à 500ns.

Si nous désirons adresser les cellules memoires une après l'autre pour les lire successivement, on aura donc un point toutes les 500ns.

ependant pour visualiser une ligne de 512 PIXELS, il nous faut  $512 \times 500ns = 256\mu s$ , ce qui correspond a 5 images par seconde au lieu de 25. Ceci ne peut être toléré par l'œil car la fréquence de 5 images par seconde lui entraine un papillotement .

Par conséquent ,la résolution de ce problème consiste à faire appel à des astuces pour pallier l'obstacle des 500ns pour chaque point.

L'idée générale impose une répartition des blocs en deux matrices, chacune en contient 32.

L'exécution de l'écriture s'effectue point par point au détriment de la rapidité de l'ordinateur sans aucune inquiétude pour le retard. Mais dans un certain ordre impératif :

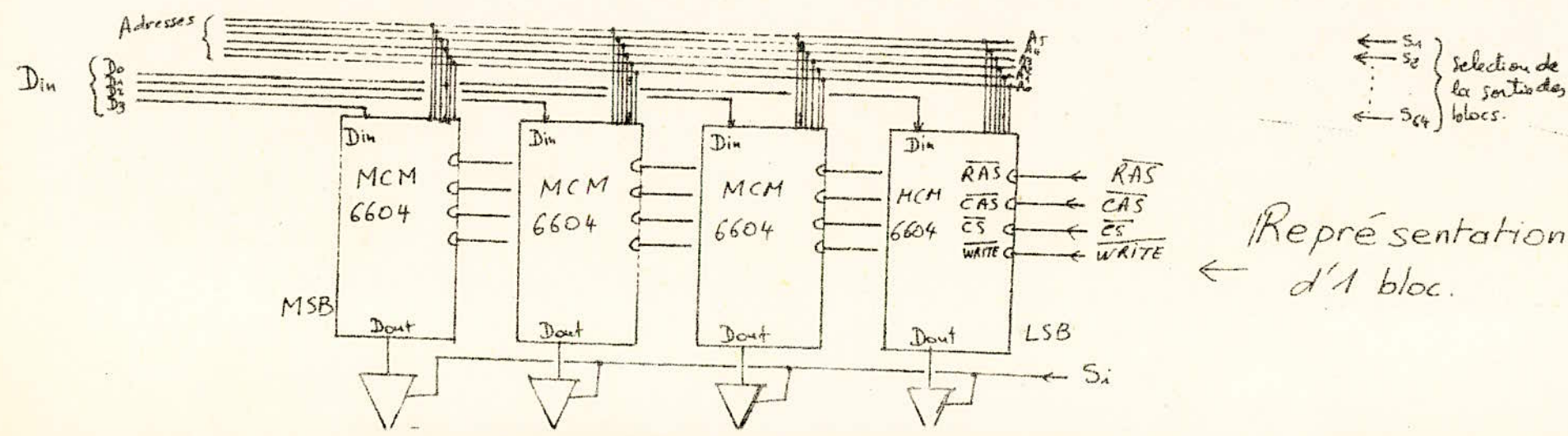
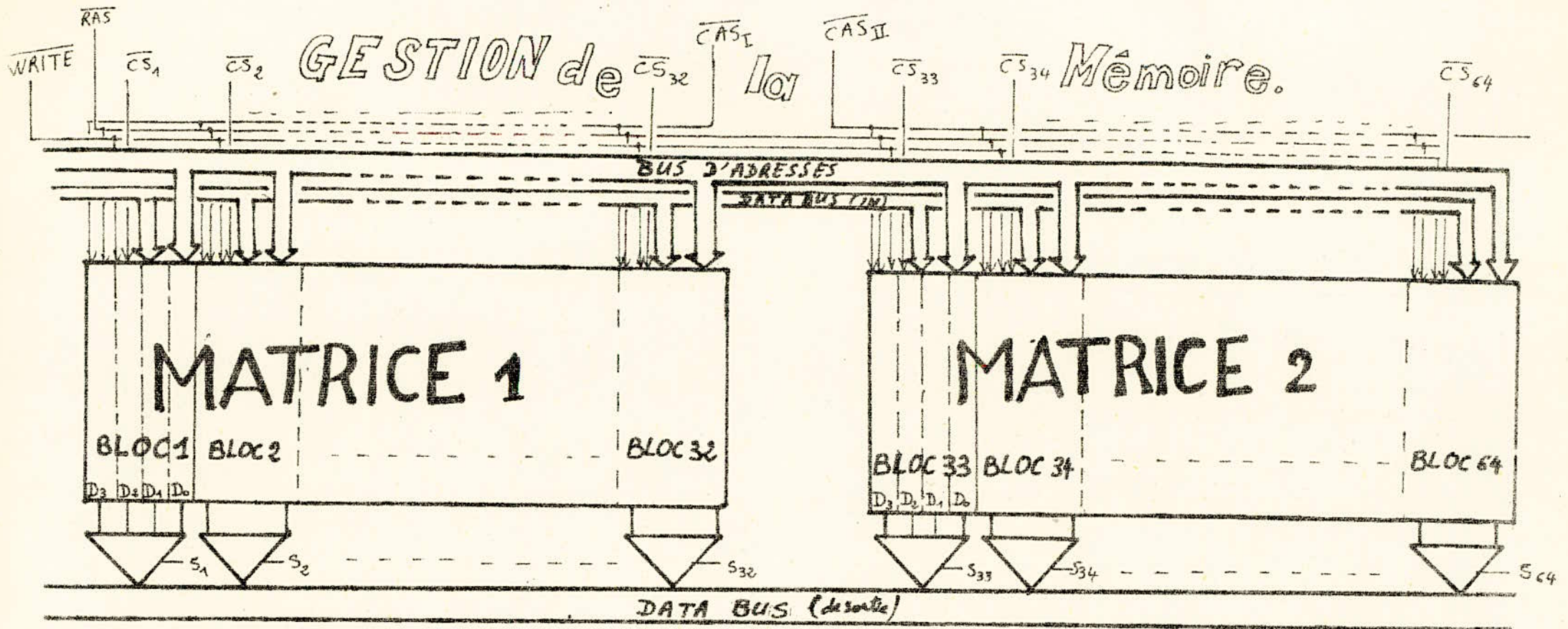
Pour une même adresse donnée ,un aiguilleur sélectionnera les blocs de 1 jusqu'à 64, avant de passer à l'adresse suivante.

L'illustration de cet adressage figure ci dessous :

<u>Adresse N°=0.</u>	<u>Adresse N°=1</u>	<u>Adresse N°=4096.</u>
1°point → bloc1	65°point → bloc1	262145°point → bloc1
2°point → bloc2	66°point → bloc2	262146°point → bloc2
3°point → bloc3	67°point → bloc3	262147°point → bloc3
=	=	=
64°point → bloc64	128°point → bloc64	262206°point → bloc64.



# GESTION de la Mémoire.







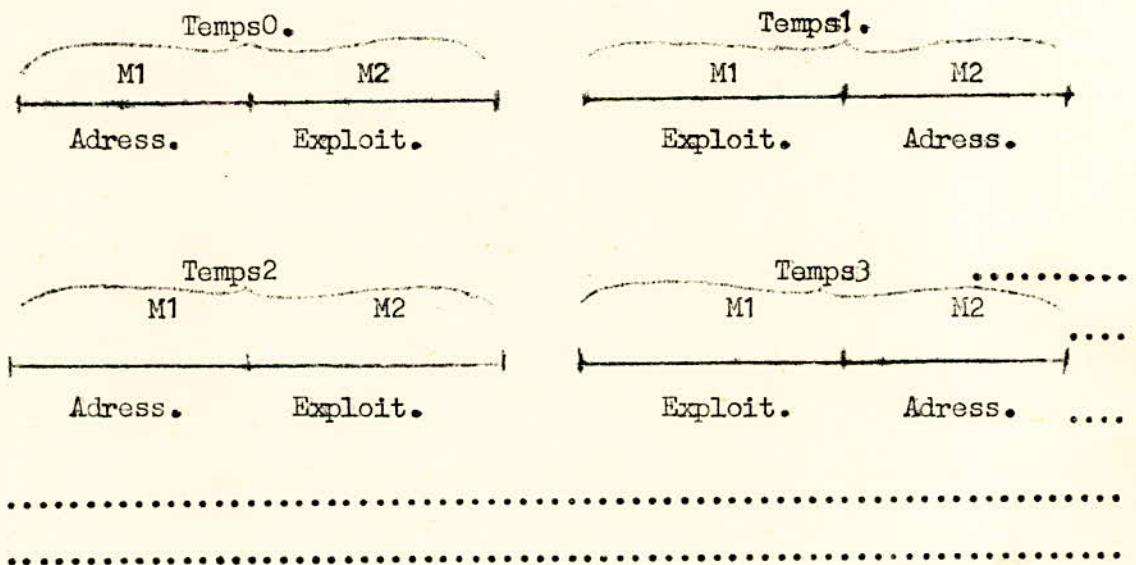


Ce modèle de stockage nous permet de lire notre mémoire très aisément et à multiplexer les données recueillies à la sortie à une très grande vitesse pouvant aller jusqu'à 25 ns par point, ce qui correspond à 40 MHz.

Toutefois pour obtenir une si grande vitesse, un certain ordre de lecture ( donné ci-dessous ) doit être respecté. Tous les boîtiers sont reliés <sup>au même bus d'adresse, toutes les entrées de commandes homologues sont reliées.</sup> entre elles, sauf le CAS qui sera divisé en  $\overline{\text{CAS}}_I$  et  $\overline{\text{CAS}}_{II}$  pour permettre la validation d'adresse pour la matrice ( 1 ) ou pour la matrice ( 2 ).

C'est ainsi qu'il sera donc possible d'adresser une matrice pendant qu'on exploite les sorties de l'autre en vue de les multiplexer puis les traiter, Donc les 2 matrices travaillent alternativement; et on peut constater un temps disponible de  $3,2 \mu s$  à l'adressage, qui dépasse les 500 ns de temps de cycle minimum de bien loin. Pendant ces  $3,2 \mu s$ , l'autre matrice dont les sorties sont prêtes seront exploitées à une durée de 100 ns par point (  $32 \times 100 \text{ ns} = 3,2 \mu s$  par matrice ); dès qu'on termine l'exploitation de cette matrice on permute les deux fonctions de manière alternative entre les deux matrices et ainsi de suite ...

Illustration de la lecture :



f) NECESSITE DE RAFRAICHISSEMENT -

Le mode d'adressage utilise pour la lecture nous permet à présent d'aboutir à une solution très simplifiée pour rafraîchir nos mémoires , cette simplicité s'explique par le fait que tous les boîtiers sont reliés au même bus adresse et au même strobe ligne .  
Donc pour une adresse de ligne N° n quelconque , suivie d'un strobe ligne  $\overline{\text{RAS}}$  , toutes les lignes N° n de tous les boîtiers sont rafraîchies , comme les boîtiers utilisés se composent de 64 lignes et 64 colonnes , alors avec n variant de un jusqu'à 64 , toutes les mémoires seront satisfaites .

Mais ceci , ne doit pas s'arrêter , il faudrait que ce phénomène se reproduise périodiquement , en vue de conserver l'information dans chaque cellule mémoire .

Durant l'écriture ou la lecture , le rafraîchissement est exécuté de la même manière , puisque pour la détection d'une cellule mémoire , il faudrait d'abord adresser la ligne correspondante et puis envoyer un strobe ligne , et ce n'est qu'après un temps de 200 ns qu'on effectuera le reste d'adressage .  
Donc , pendant ces 200 ns le rafraîchissement à été normalement traité.  
En dehors des cycles lectures ou écriture ou durant les attentes du système on est amené donc à utiliser un compteur ligne et un strobe ligne  $\overline{\text{RAS}}$  qui nous permettrons de satisfaire notre mémoire à une durée de 300 ns par ligne donc  $64 \times 300 \text{ ns} = 19,2 \mu\text{s}$  pour rafraîchir toutes les cellules mémoires .

CAS DE L'ECRITURE :

Durant l'écriture , la durée séparant deux données successives peut dépasser les 2 ms , à cause de l'inertie interne de l'ordinateur .



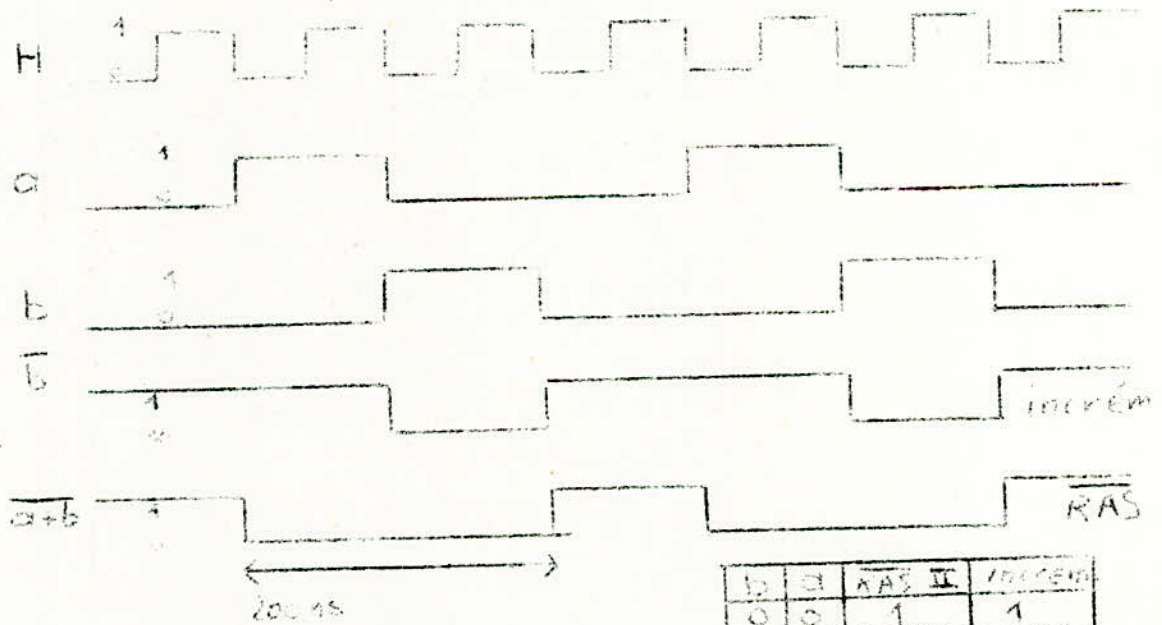
Cependant un rafraîchissement externe s'avère nécessaire pour ne pas perdre l'information déjà stockée antérieurement donc le rafraîchissement externe est le seul susceptible de nous porter secours, avec sa grande rapidité.

CAS DE LECTURE :

Durant la lecture, l'adresse ligne dure  $3,2 \mu s$  donc pour adresser les 64 lignes, il faudrait  $64 \times 3,2 \mu s = 2,048 ms$ , ajoutés à cela les temps de silence durant les tpps lignes et trames qui sont respectivement  $12 \mu s$  et  $1,6 ms$ , donc à fortiori que l'information stockée se perde; le simple et l'unique remède consiste à faire appel au système de rafraîchissement externe durant les tops; ce qui améliorerait nettement la situation qui était si critique.

Le système de rafraîchissement externe est un simple compteur de "0" jusqu'à "63" (6 bits) pour l'adressage lignes réalisé avec 2 boîtiers 74 LS 193 en cascade et 2 bascules JK, nous permettant de réaliser le chronogramme de rafraîchissement indiqué ci-dessous :

CHRONOGRAMME DE RAFRAICHISSEMENT EXTERNE.



$\overline{RAS} I = \overline{a+b}$   
 $incré = \overline{b}$

b	a	$\overline{RAS} I$	incré
0	0	1	1
0	1	0	1
1	0	0	0
1	1	1	1

E - ETUDE DE LA LOGIQUE

E - GENERALITES :

Le système de logique utilisé , permet d'arbitrer le fonctionnement correct de l'écriture , de la lecture , de rafraîchissement sans risque de perdre les informations , de synchroniser la lecture avec la visualisation sur le tube cathodique TV et d'un interface de dialogue ordinateur-T.V.

Donc il exécute en quelques sortes des fonctions que devait fournir un  $\mu$  - processeur ultra-rapide , pas encore mis à point avec la technologie actuelle .

Notre délaissement au  $\mu$ P est dû à sa très faible vitesse ; le MC 6800 , travaille avec une horloge de 1 MHz , la durée d'une micro-instruction peut varier entre 2 et 4  $\mu$ s ; donc on ne peut pas espérer être dans les environs de 100 ns qui sont nécessaires pour obtenir une image agréable ou du moins satisfaisante .

Car pour lire un point tous les 100 ns , la micro-instruction ne devrait pas dépasser cette durée là ; or pour le 6800 elle fait 20 à 40 fois plus .

Donc , sur l'écran , on verra une papillotement d'images : Une image par seconde ou plus ( ce qui est très désagréable à l'oeil ) , cependant , avoir recours à une logique câblée paraît plus commode , moins chère qu'avec 1  $\mu$ P , et surtout très rapide sans oublier qu'il sera plus souhaitable économiquement , en cas d'une panne de changer un simple boîtier logique que plutôt un  $\mu$ P .



## E-1. ETUDE DETAILLEE DE LA LOGIQUE

Le dialogue entre système -ordinateur ou clavier s'effectue par commande ayant une configuration de 8 bits validée par un strobe.

### a) EXECUTION D'ECRITURE:

Pour solliciter l'ordinateur d'une écriture, il faudrait lui communiquer une configuration d'un octet correspondant à une demande d'écriture; cette commande devra être validée par un strobe.

Un signal INITIALISATION D'ECRITURE arrivera de l'ordinateur vers le système, qui sera traduit dans le système par l'instruction INIT. W = 1, qui lui permettra de s'approprier à écrire. Cette instruction une fois exécutée, un acquittement sera envoyé vers l'ordinateur : FIN D' INIT. W. A partir de cet instant, le système est entièrement disponible à une écriture, mais la voie de réception est rompue car l'ordre "W" n'est pas encore donné.

Le départ de cette fonction sera communiqué au système dès l'arrivée de l'ordre d'écriture, qui mettra en parfaite liaison de réception de donnée, le système. C'est alors ainsi que des données arriveront par quatre bits en parallèle, sur quatre lignes différentes. Chaque ensemble de quatre bits obtenus simultanément et une configuration d'un pixel (picture élément: un point lumineux sur l'écran). Cet ensemble sera verrouillé dans un LATCH sous commande du strobe.

Ce strobe, dès son arrivée, accomplira d'autres fonctions qui sont:

- L'incréméntation de l'aiguilleur (sélection d'un bloc sur soixante quatre).
- Démarrage du générateur de signaux de commandes assurant le cycle d'accès à la mémoire.

Ce temps de cycle , une fois entièrement géré , un acquitement sera envoyé vers l'ordinateur .

Cette séquence se reproduit alors , à chaque fois qu'une donnée accompagnée d'un strobe accèdera dans le latch .  
Entre l'acquitement et la réception du nouveau strobe , le système est mis en attente à l'état " Wait " .  
Pendant ce temps de silence le système de rafraîchissement se mettra en action .

Dès la fin de remplissage de toutes les mémoires c'est à dire après ( 512 x 512 ) stobes reçus de l'ordinateur qui sera traduit dans le système par un état du compteur de N° ligne = 64 ; N° colonne = 64 ; aiguille = 64 ou encore CA = 1111 1111 1111 et  $F_{64} = 1$  ; alors un signal de fin Wait communiquera à l'ordinateur que l'image est entièrement stockée en mémoire .  
Cependant , l'ordinateur clôturera l'écriture par le signal END et le rafraîchissement reprend son rôle .

#### b) EXECUTION DE LECTURE :

Il faudrait d'abord à partir d'un clavier ; annoncer à l'ordinateur la fonction désirée : " lecture " .  
Il ordonnera au système de s'initialiser par l'envoi du signal : Init Read . Ceci une fois établi , un acquitement renseignera l'ordinateur de la fin d'Init Read ; et c'est alors qu'un signal ordre de lecture " R = 1 " mettra tout le système en état de lecture ; mais l'exécution de celle-ci ne débutera que lorsqu'un signal de synchronisation  $M \cdot \overline{B}_1$  venant du générateur de tops le permet ; en vue d'adopter une parfaite synchronisation lecture - visualisation écran .  
Cette fonction de lecture sera gérée comme suit :  
on commencera avec une trame impaire .



c) DETECTION DE LA TRAME IMPAIRE :

Pour distinguer une trame impaire d'une trame paire ; on a utilisé un monostable qui passera à l'état " 1 " , au front final du top trame et durera à cet état un peu plus que la durée d'une demi-ligne.

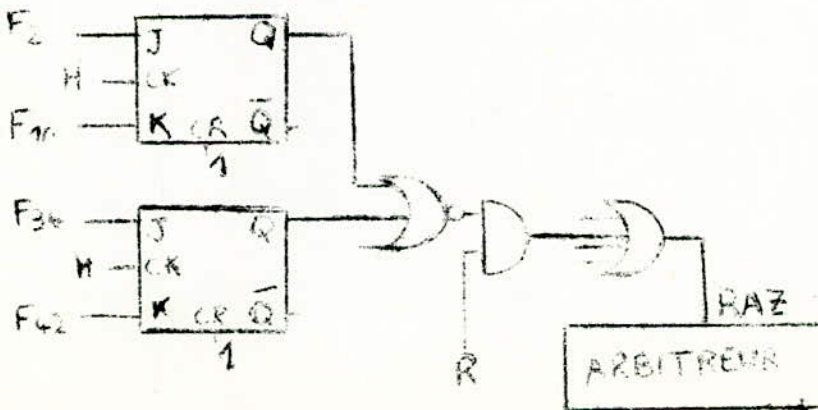
Si un signal  $M_{\bar{B}_L}$  apparaît, une micro-commande  $\Sigma = 1$  inhibera le RAZ de l'arbitreur; ce n'est qu'alors que tous les blocs de la matrice 1, seraient adressés simultanément. (voir circuit fig 3)

Au front descendant du  $M_{\bar{B}_L}$ , la visualisation sur l'écran débute à un certain retard de quelques centaines de nanosecondes près. Ce retard résulte du traitement du signal vidéo; pour la restitution de ce dernier; donc à ce front, des données aux sorties de tous les blocs de la matrice 1, seront présentes. Ensuite, multiplexées par un aiguilleur, puis elles seront dirigées vers un convertisseur DAC numérique-analogique...

Mais en parallèle à cette visualisation, l'adressage de la matrice 2, sera exécuté; ceci durera 800ns, par contre la visualisation d'une ligne matricielle correspondra à  $32 \times 100 \text{ ns} = 3,2 \text{ us}$ . Une fois la matrice 1, complètement explorée, le multiplexeur passera à la matrice 2, en incrémentant avec le signal F32 le compteur adresse pour exécuter un autre adressage parallèle de la matrice 1, et ainsi de suite...

Le circuit permettant à l'arbitreur de gérer les commandes est donné ci-dessous.

L'adressage de la 1<sup>o</sup> matrice, se fera entre les instants  $t_{(F2)}$  et  $t_{(F10)}$ ; par contre pour la 2<sup>o</sup> matrice, c'est entre  $t_{(F34)}$  et  $t_{(F42)}$ .



Durant les tops de synchronisation , qui correspondent au blocage du tube cathodique pour les retours lignes ou trames, la lecture, ainsi que le multiplexage et la conversion doivent se soumettre à la instruction "" attente ""(wait).

Mais durant ces silences , un rafraichissement externe s' avère nécessaire .

#### COMMANDE DE LA FONCTION VISUALISATION.

On débute l'exploitation des points stockés à partir du 257°point, qui correspond à l'adressage CA= 5 et F1= 1. Car le repérage de la trame impaire nécessite la détection de la position  $M_0\bar{B}_1$ , et cette dernière n'est obtenue qu'après avoir inhiber la 1°demi-ligne de la trame impaire. Donc la lecture se poursuit jusqu'au  $\left(\frac{512 \times 512}{2}\right)^{ème}$  point: fin de cette trame (définie par CA= 1000 0000 0000 et F64= (front descendant de F64)). cet état entraînera une attente de lecture, qui ne reprendra que sous commande du front final du top trame. Ainsi la trame paire débutera donc ,. Elle se poursuit jusqu'au  $(512 \times 512)^{ème}$  point , défini par CA= 0000 0000 0000 et F64= ; cet état entraînera une attente de lecture , qui ne reprendra que lorsqu' un front final d'un top trame suivant arrivera. AINSI , la lecture se poursuit en routine.

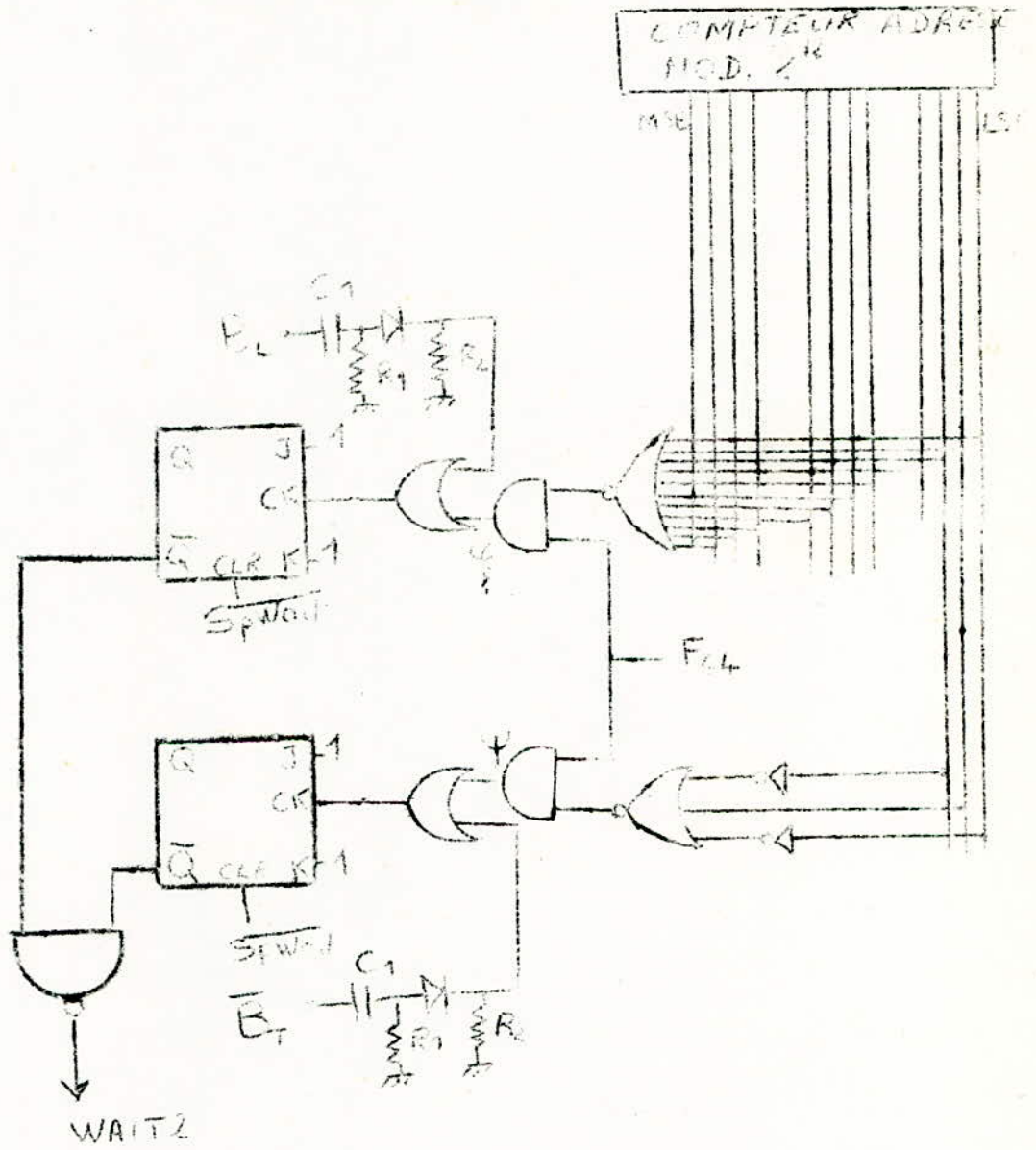
#### ARRÊT DE LECTURE .

C'est une commande qu' on imposera à l' ordinateur par l'intermédiaire d' un clavier. Lorsqu' elle sera acceptée , une instruction parviendra au système périphérique pour le mettre à l'état désiré: C'est le signal " END ".

Si l'arrêt demandé n'est que momentané, un rafraichisseur externe, se mettra à fonctionner dans le but de conserver le contenu de la carte mémoire.

VOIR LE CIRCUIT CORRESPONDANT A LA PAGE SUIVANTE.





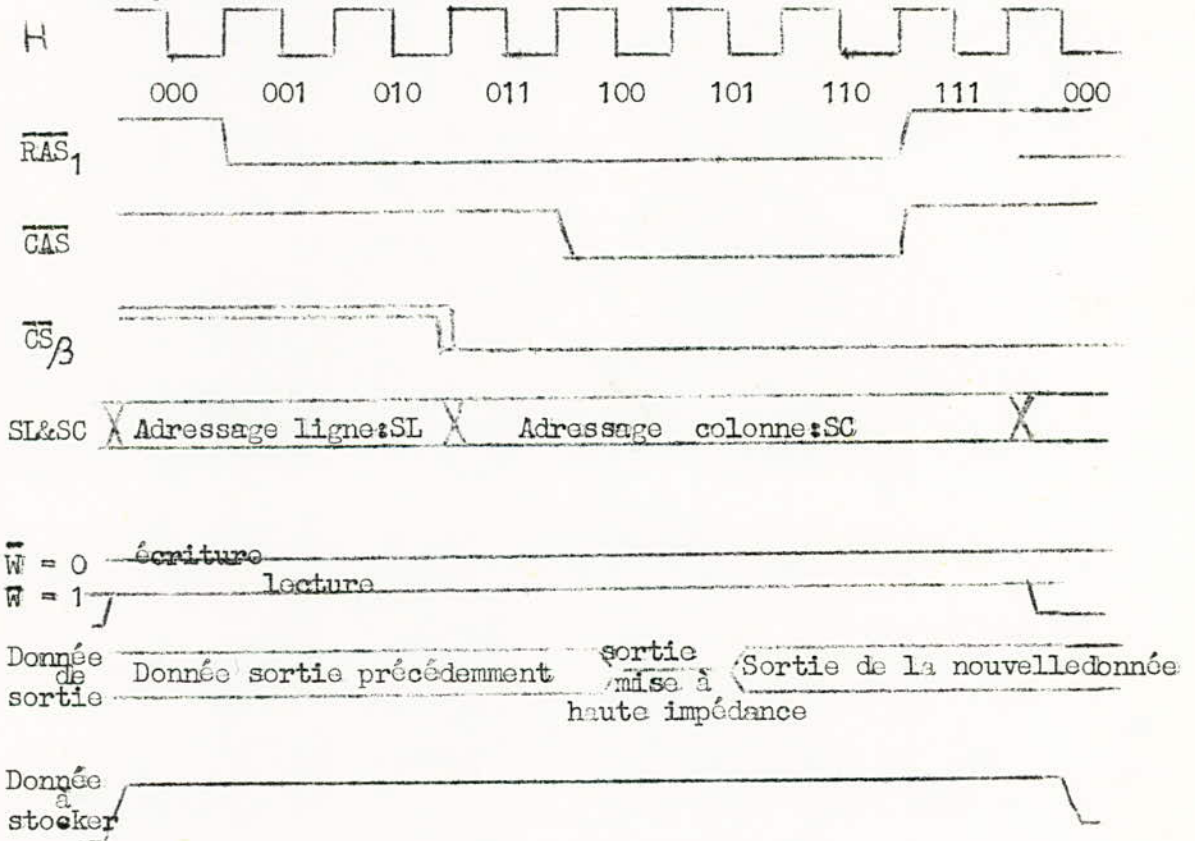
REALISATION DE LA LOGIQUE  
 \* \* \* \* \*

CONCEPTION DE L'ARBITREUR DE COMMANDES :

L'exécution des fonctions lecture et écriture nécessitent d'abord la détection de la position adressée , ceci ne peut se faire que si des signaux de commandes :  $\overline{\text{RAS}}$  ( validation de l'adresse ligne ),  $\overline{\text{CAS}}$  ( validation de l'adresse colonne ),  $\overline{\text{CS}}$  ( sélection du boîtier ) et  $\overline{\text{WRITE}}$  ( ouverture du latch d'entrée de donnée pour l'écriture ) sont reçus par le boîtier MCM 6604 , ainsi que les adresses <sup>lignes</sup> puis colonnes multiplexées , Mais ceci ne suffit pas , il faudrait que ces signaux répondent au chronogramme figurant ci-contre :

ETUDE DETAILLEE DE LA LOGIQUE :

Chronogramme : Cycles mémoires , avec rafraîchissement exécuté durant les cycles écriture et lecture .



TEMPS DE CYCLE : ADRESSAGE.  
 ECRITURE - LECTURE - RAFRAICHISSEMENT.



Ce chronogramme diffère légèrement de celui donné par le constructeur , pour permettre une simple réalisation de cet arbitreur de commande , et surtout pour permettre l'intégration d'un rafraîchissement très aisé dans les cycles écriture et lecture .

L'établissement du rafraîchissement , nécessite un adressage ligne validé par le strobe  $\overline{\text{RAS}}$  , cette validation devra durer au moins 100 ns ; dans notre cas , elle vaut 200 ns .

La conception de cet arbitreur est bien simple .

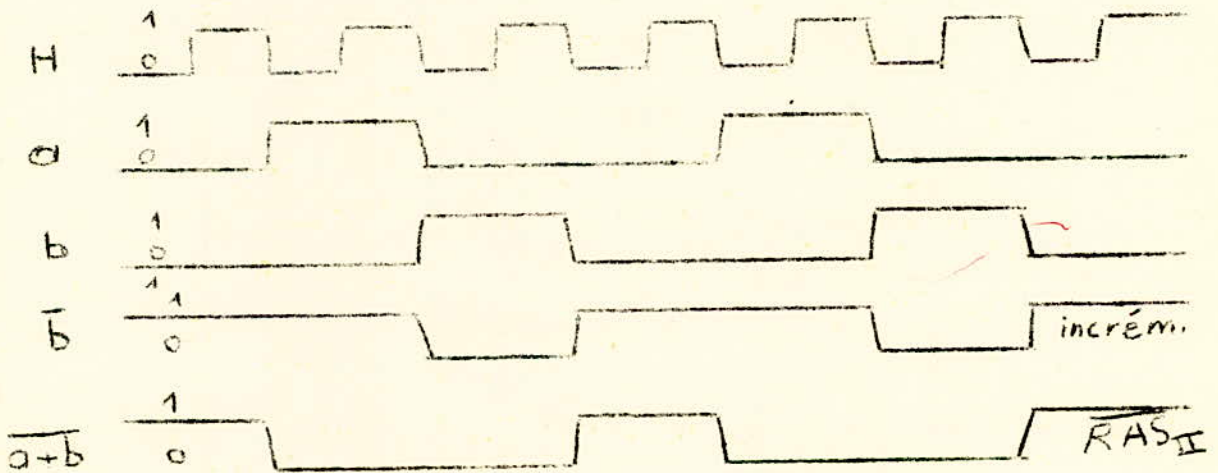
Un compteur modulo 3 et quelques portes logiques suffisent .

RAFRAICHISSEUR EXTERNE  
\*\*\*\*\*

Le rafraîchisseur externe pour notre système est d'une utilité importante, comme on l'a déjà vu précédemment, son intervention est de porter secours à la mémoire dans les cas critiques qui sont les temps de silence durant les tops, durant l'arrêt de lecture ou durant l'écriture qui s'effectue plus ou moins lentement à cause de l'inertie non négligeable de l'ordinateur ; sa conception est d'une grande simplicité :

- Un compteur fournit l'adressage ligne à 6 bits, qui sera ensuite validé par un strobe  $\overline{RAS}$ , ce compteur est incrémenté par l'horloge du système de 10 MHz.

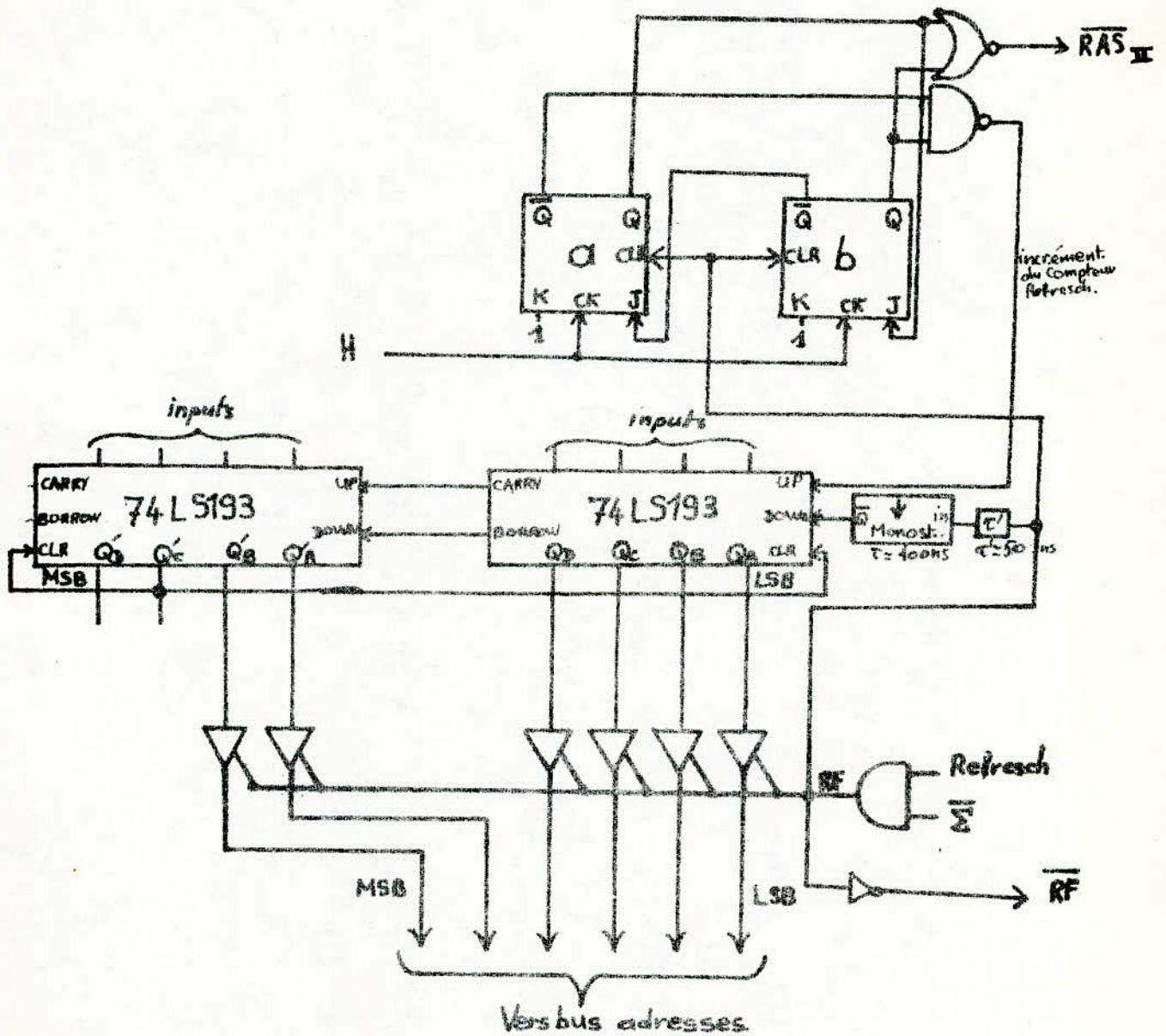
Le temps de rafraîchissement de chaque ligne est fixé à 300 ns comme durant l'écriture ou la lecture, le chronogramme de ce rafraîchissement externe est donné ci dessous :



CHRONOGRAMME DU RAFRAICHISSEMENT  
EXTERNE ;



## CIRCUIT DE RAFFRAICHISSEMENT EXTERNE



Le monostable est ajouté dans le but de fournir une impulsion à la fin de chaque étape de rafraichissement externe, qui servira à décrémenter le compteur d'un pas.

Pour éviter tout risque de pertes d'information dans les cas limites.

COMPTEUR SYNCHRONE MODULE 3

Il est réalisé avec 2 bascules JK .

Il permet de fournir 3 états :

" 00 ; 01 ; 10 " voir ci-dessous la simplification par tableaux de KARNAUGH

de sa fonction booléenne .

	états Présents		états Futurs	
	b	a	b	a
1	0	0	0	1
2	0	1	1	0
3	1	0	0	0

Sorties		transit	conditions d'entrée		
$Q_n$	$Q_{n+1}$		J	K	D
0	1	T1	1	$\emptyset$	1
1	0	T0	$\emptyset$	1	0
1	1	S1	$\emptyset$	0	1
0	0	S0	0	$\emptyset$	0

b \ a	0	1
0	T1	T0
1	S0	$\emptyset$

"a"

b \ a	0	1
0	S0	T1
1	T0	$\emptyset$

"b"

b \ a	0	1
0	1	$\emptyset$
1	0	$\emptyset$

$J_a = \bar{b}$

b \ a	0	1
0	0	1
1	$\emptyset$	$\emptyset$

$J_b = a$

b \ a	0	1
0	$\emptyset$	1
1	$\emptyset$	$\emptyset$

$K_a = 1$

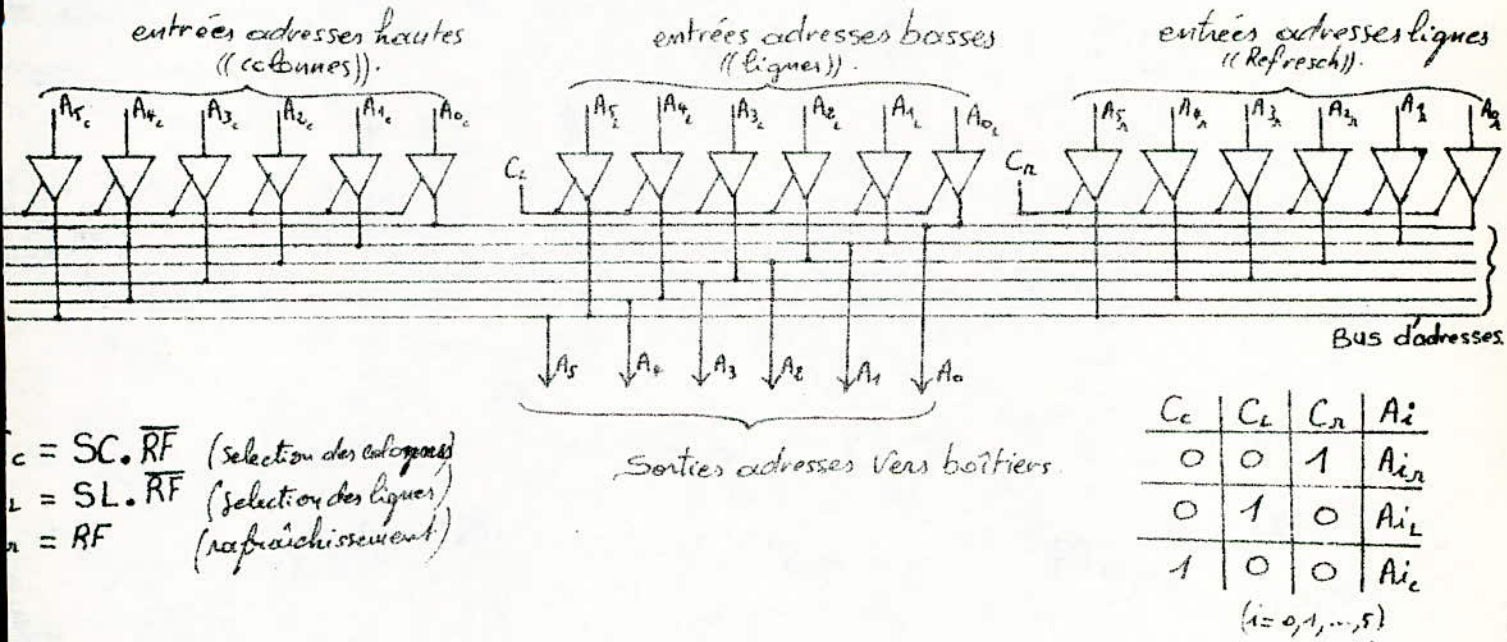
b \ a	0	1
0	$\emptyset$	$\emptyset$
1	1	$\emptyset$

$K_b = 1$



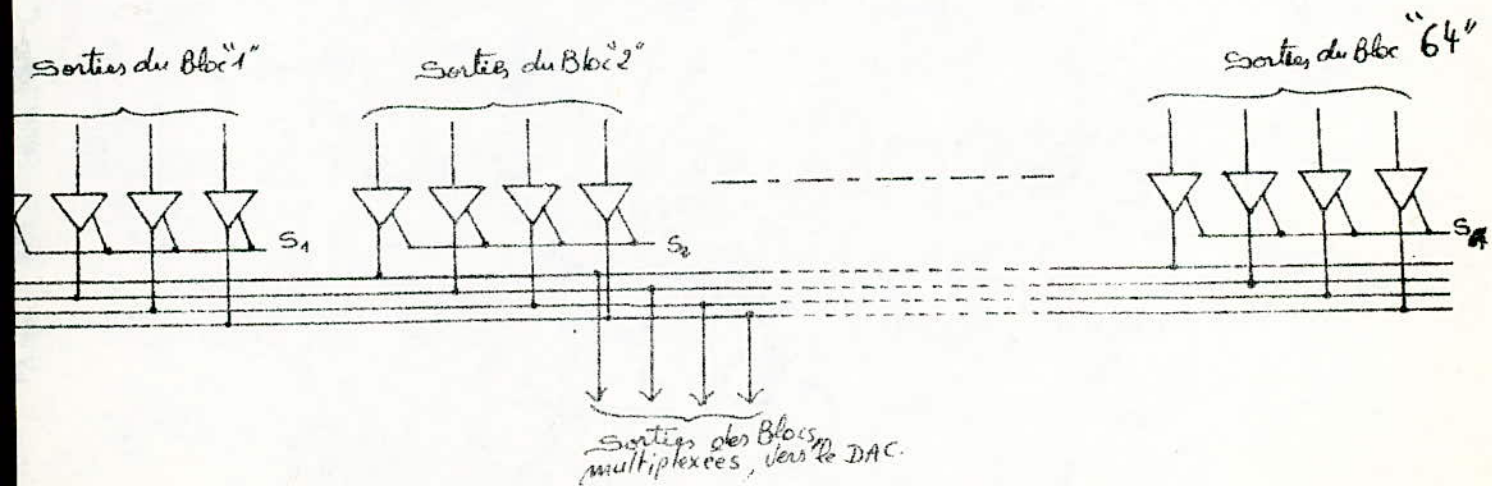
# COMMUTATEURS ELECTRONIQUES

1 - Il consiste à multiplexer les parties hautes et basses de l'adresse durant les fonctions écriture ou lecture et de les placer sur un même bus commun, avec l'adresse ligne du rafraichisseur externe.



$c = SC \cdot \overline{RF}$  (selection des colonnes)  
 $l = SL \cdot \overline{RF}$  (selection des lignes)  
 $r = RF$  (rafraichissement)

2 - Le second commutateur sert à multiplexer les sorties de tous les blocs à partir d'un signaleur, qui sélectionnera respectivement  $S_1; S_2; \dots; S_4$  durant 100 ns chacun en vue de les envoyer au convertisseur.



INITIALISATION DU SYSTEME  
\*\*\*\*\*

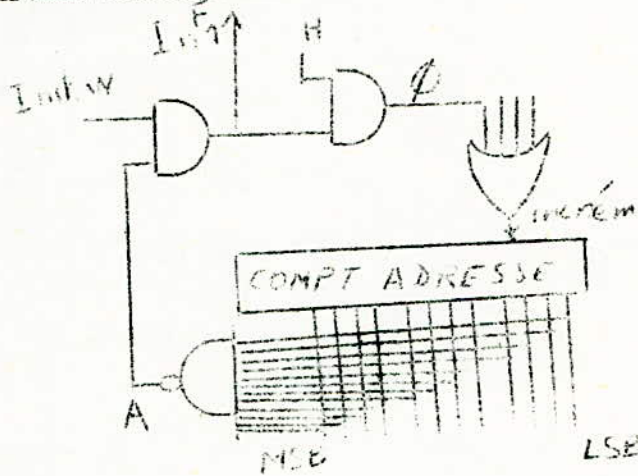
Consiste à mettre les compteurs en position de départ .

Pour le compteur d'adresse :

- Une initialisation à l'écriture revient à positionner ce compteur à l'adresse 1111 1111 1111 , d'une telle manière que la première impulsion lors du fonctionnement, mettra le compteur à 0000 0000 0000 .

Et c'est ainsi que l'on pourra commencer à écrire à partir de la première cellule mémoire .

Conception du circuit correspondant :



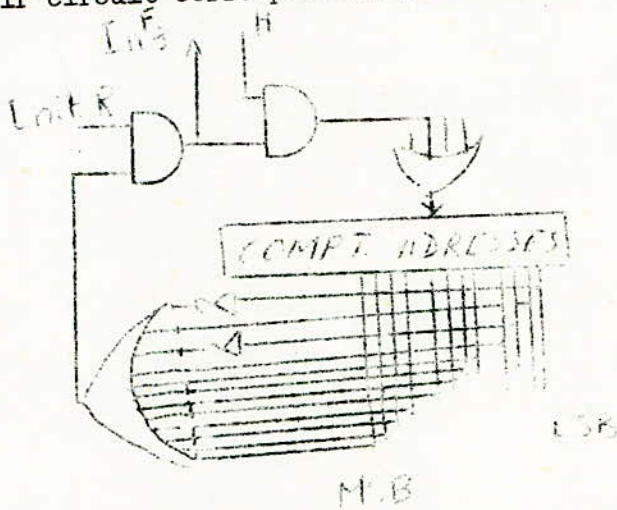
Sous l'ordre :  $init W = 1$  , toute combinaison différente de 1111 1111 1111 donne  $A = "1"$   $\Rightarrow \Phi = H. (init W) . A \Rightarrow$  l'horloge incrémentera le compteur dès la réception de la combinaison précédente .

"A" serait égal à "0" entraîne  $\Phi = H. (init W = 1) . (A = 0) = 0$  stoppera l'incrément et un signal  $In 1 = 0$  apparaîtra ; son utilité sera expliquée ultérieurement .

- L'initialisation à la lecture est obtenue par la mise du compteur adresse à la position 0000 0000 0101 ( l'importance de ceci a été détaillée précédemment ) .



Voir circuit correspondant ci contre :



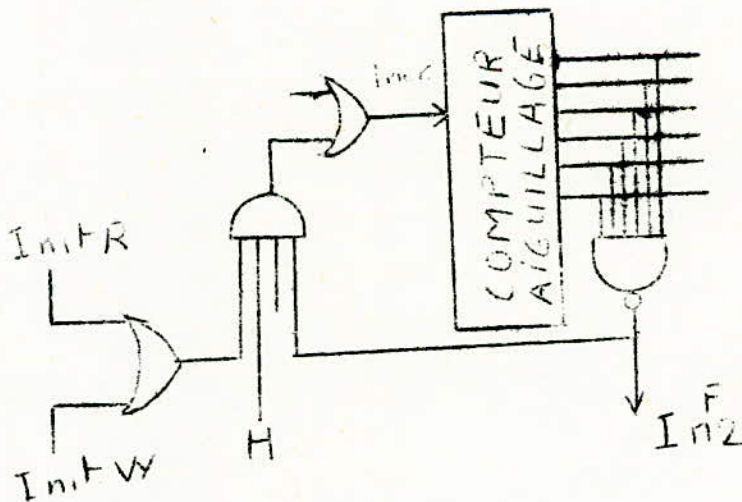
Conception : Comme pour l'écriture , sauf la position adresse qui change uniquement .

La fin d'exécution de cette fonction est signalée par  $I n 3 F = 0$  .

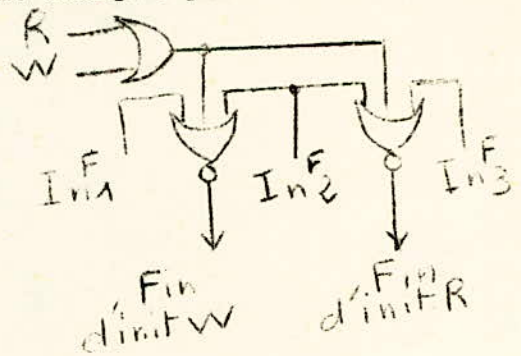
Pour l'aiguilleur : Son initialisation correspond à sa mise à la position  $F_{64} = 1$

Pour l'arbitreur de commandes : Son initialisation correspond à sa remise à zéro .

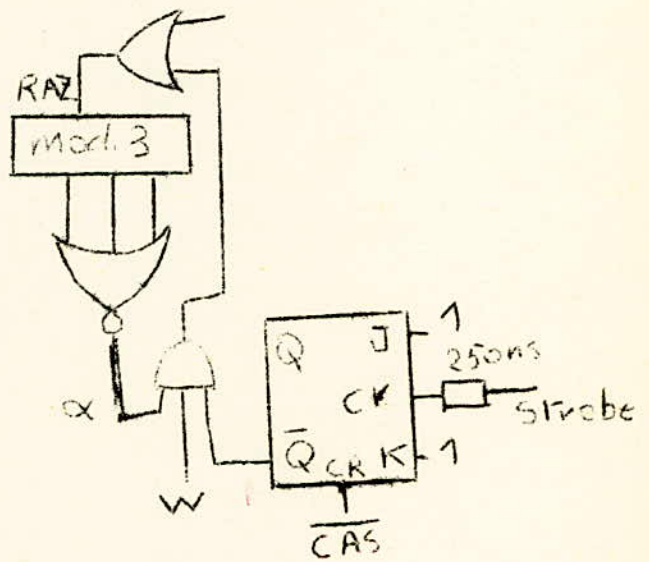
Circuit d'initialisation de l'aiguilleur :



La fin d'initialisation du système est indiquée par un des signaux fin d'init  $W = 1$  pour l'écriture ou fin d'init  $R = 1$  pour la lecture la porte " ou " utilisée sert pour inhiber les signaux fin d'init après leur réception par l'ordinateur .



Fonction écriture : la fin du signal strobe ne basculera  $\bar{Q}$  à zéro qu'après un temps  $\tau = 250$  ns , qui mettra RAZ à zéro , ce qui permettra au compteur de tourner , donc  $\alpha$  serait égal à zéro ; l'apparition de  $\overline{CAS}$  mettra  $\bar{Q}$  à 1 , mais ceci est inhibé par  $\alpha = 0$  ; son action sera validée lorsque le compteur aurait terminé son cycle, indiqué par  $\alpha = 1$  .



Le retard de 250 ns considéré précédemment permettra à l'aiguilleur , pendant ce temps là de se positionner très aisément . Car ce dernier s'incrémente par le front descendant du strobe ( non retardé )

AIGUILLEUR :

Réalisé par 4 décodeurs  $1/4$  ; un compteur modulo 4 , ajoutées à ce dernier 2 bascules JK , permettant son extension à modulo 6 , en vue de compter de 0 jusqu'à 63 .



La sélection des boîtiers : " Chip select " est commandée par les  $\overline{CS}_i$  ;  
 $i = 1 ; \dots ; 64$  les blocs seront sélectionnés un par un , par contre  
 durant son absence , tous les boîtiers seront sélectionnés lorsque  
 $\overline{CS}_L$  est actionné ( durant la lecture uniquement ) .

SELECTION  
DE MATRICES.

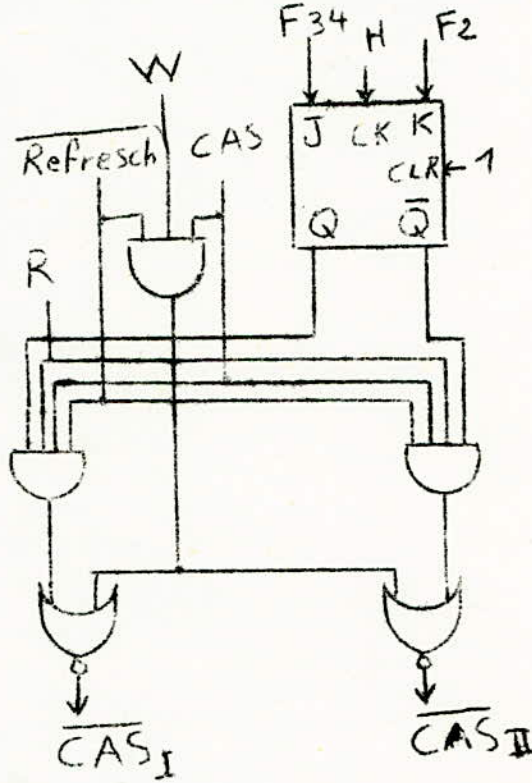
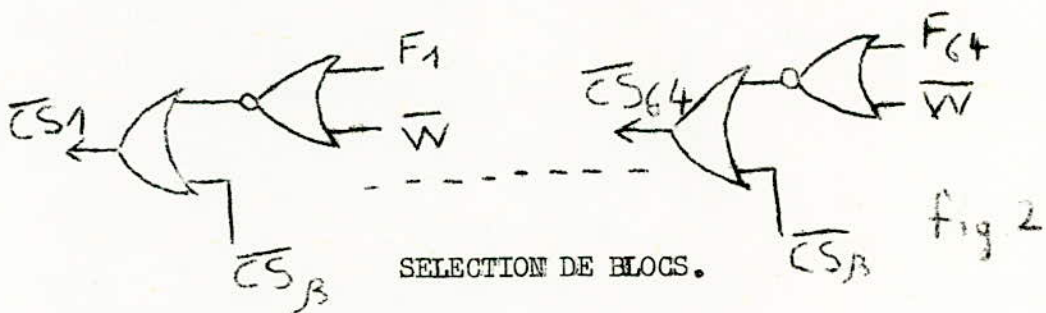


Fig. 1



SELECTION DE BLOCS.

Fig. 2

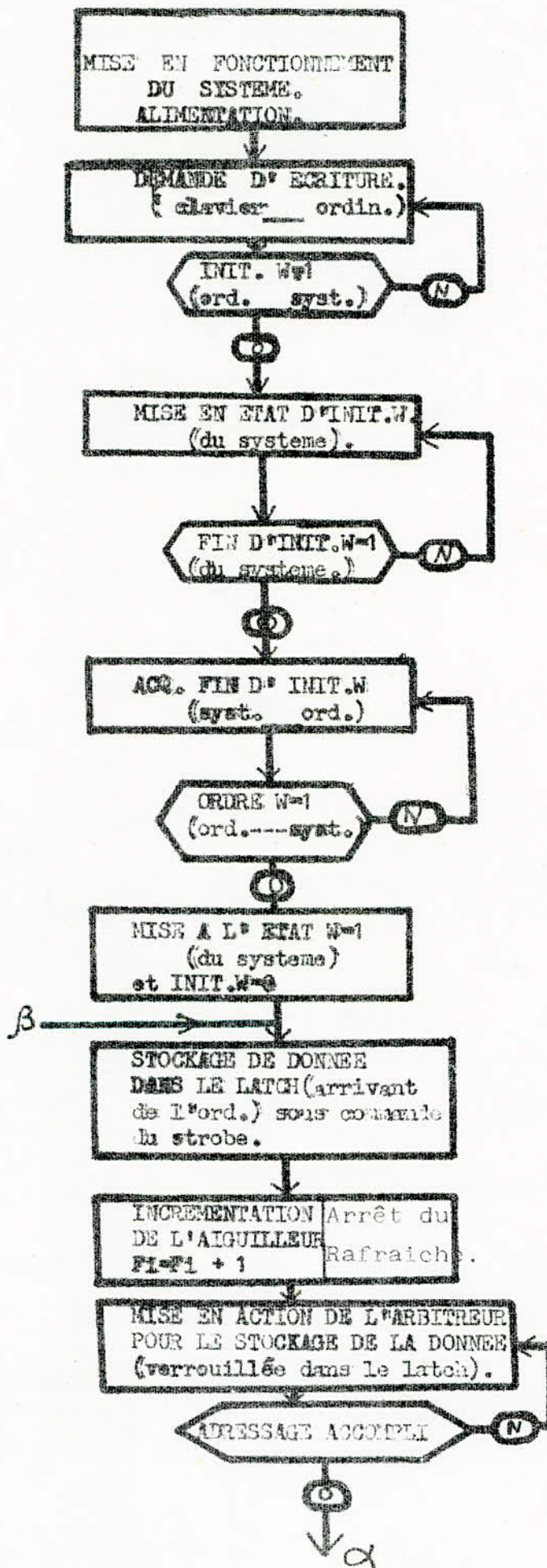


INHIBITEUR DE RAZ

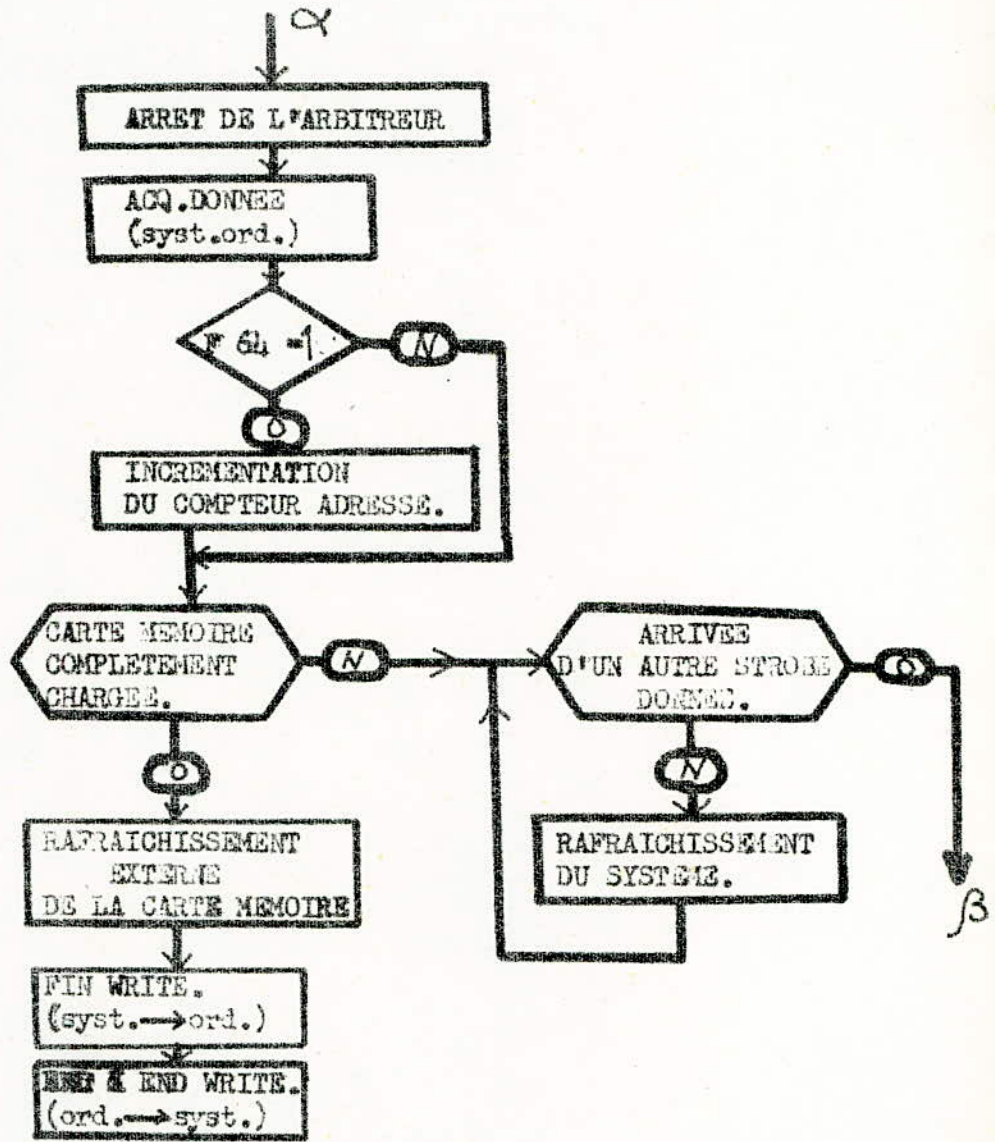
POUR L' ARBITREUR.

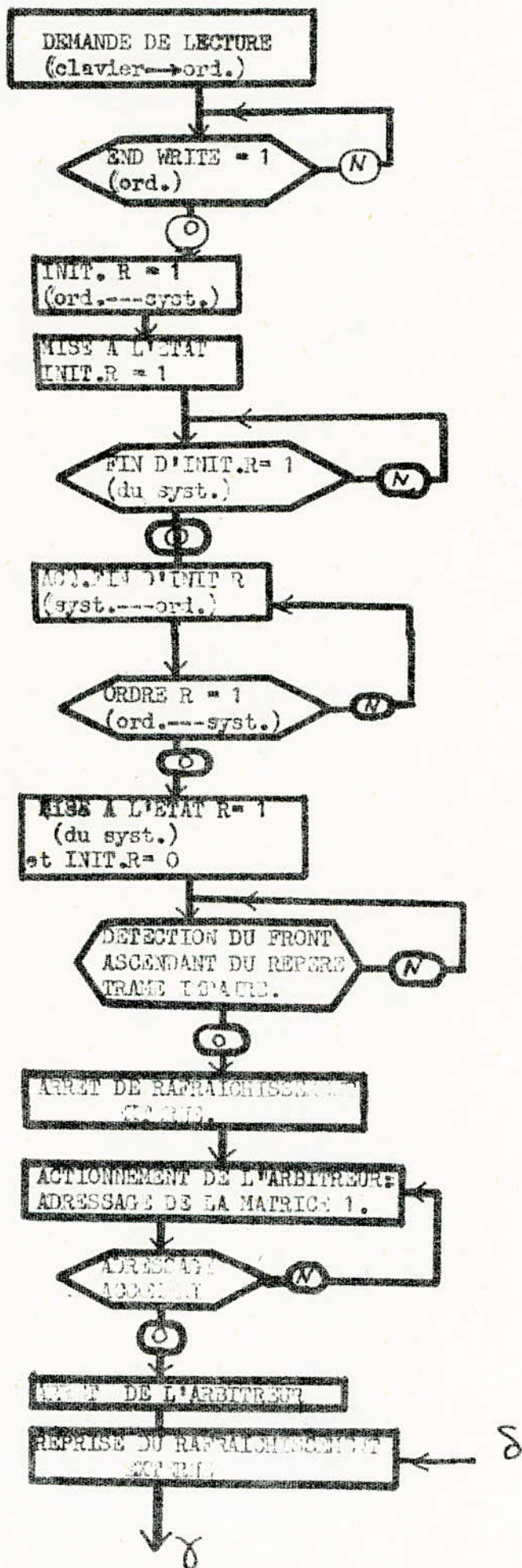
Fig. 3

# ORGANIGRAMME DU FONCTIONNEMENT

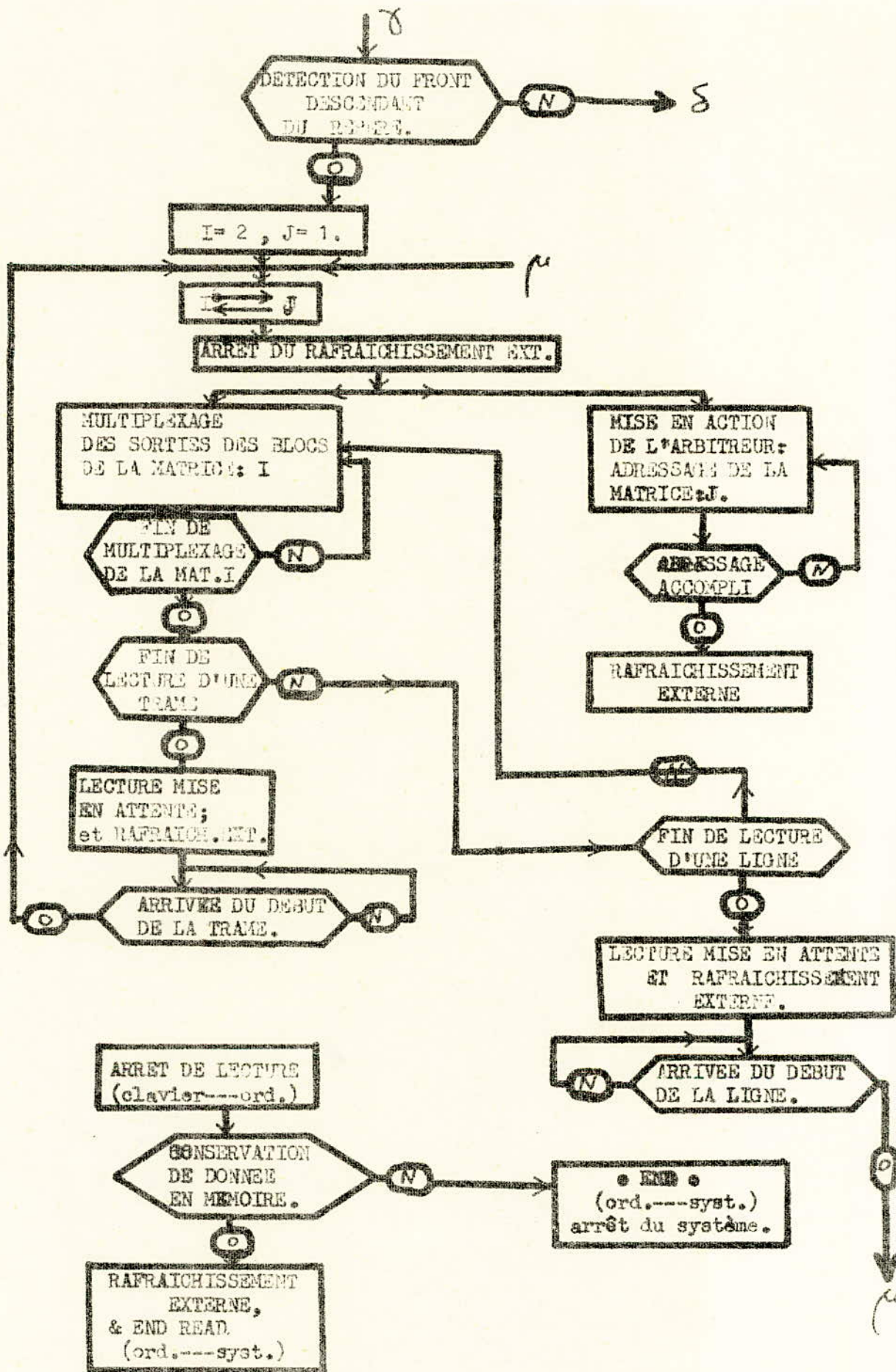






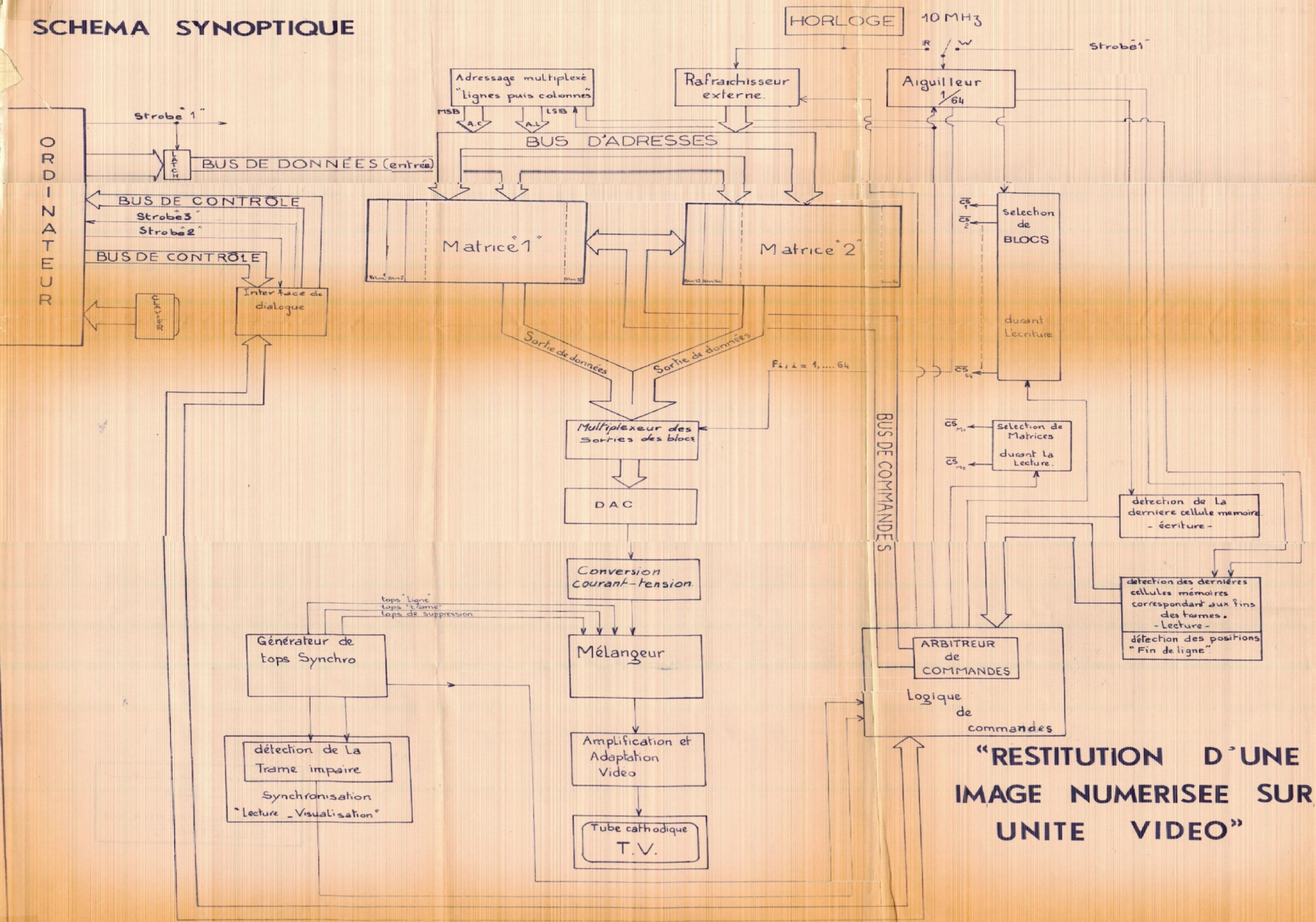






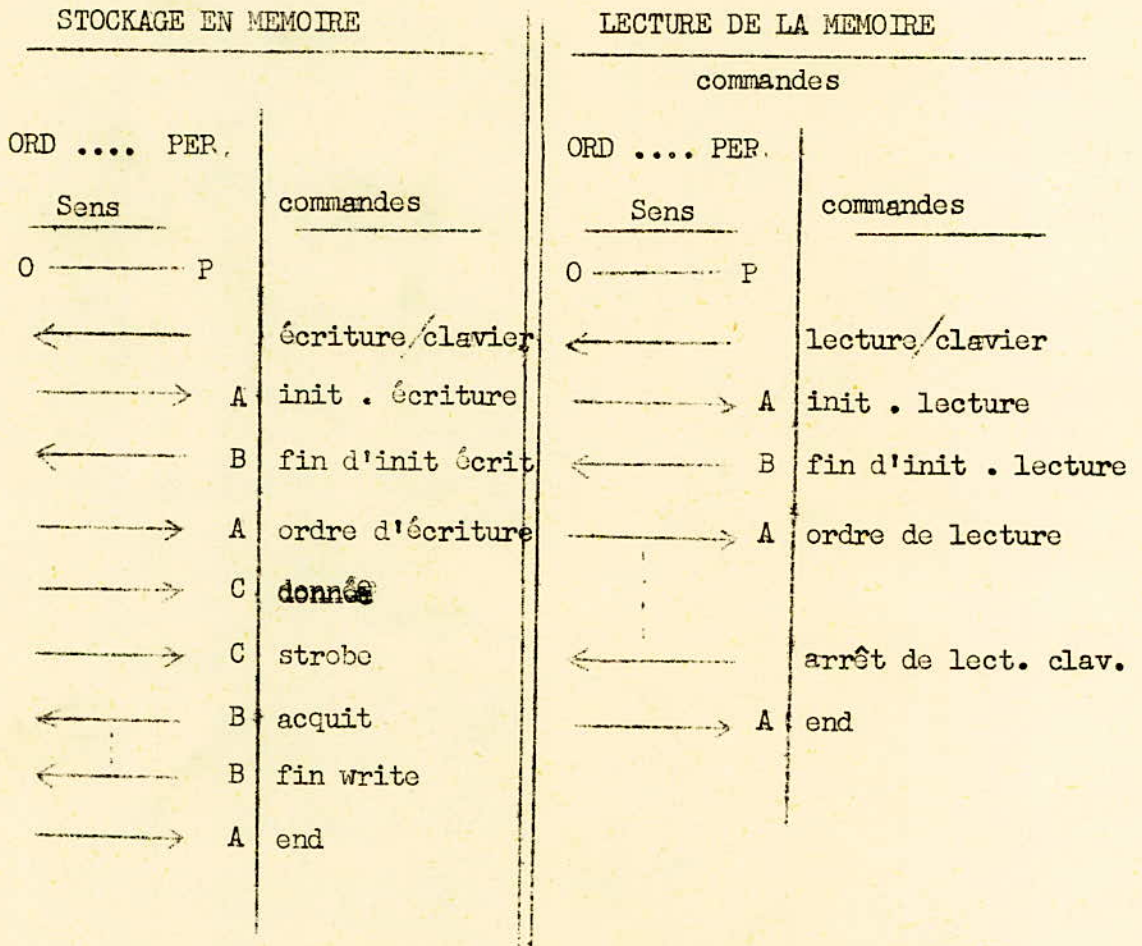


# SCHEMA SYNOPTIQUE





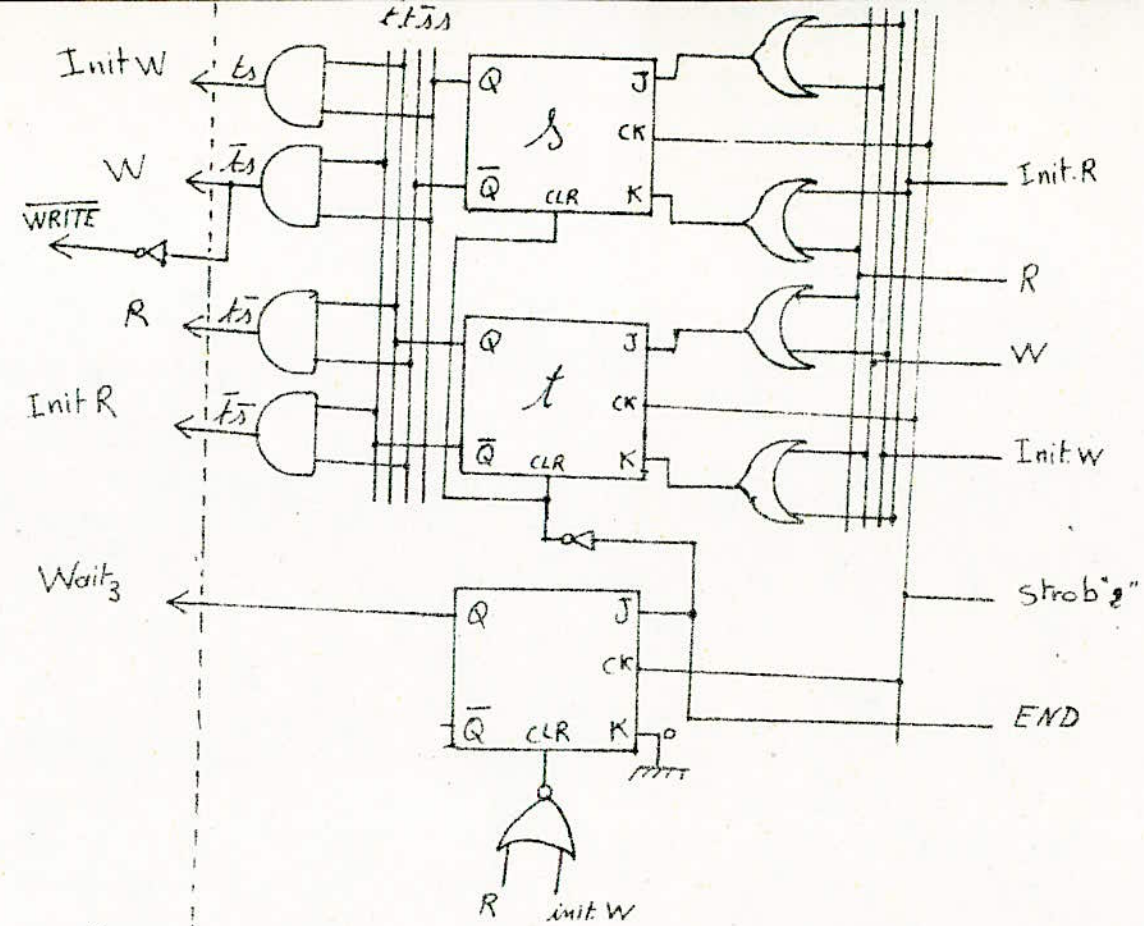
INTERFACE DE DIALOGUE ORDINATEUR - SYSTEME VISU



- A : Les commandes dirigées vers le périphérique seront verrouillées par le strobe " 2 " dans les bascules JK .
- B : Les commandes dirigées vers l'ordinateur seront validées par un strobe " 3 " ayant une configuration de 8 bits .
- C : Les données seront gardées dans le latch sous commande du strobe " 1 " .

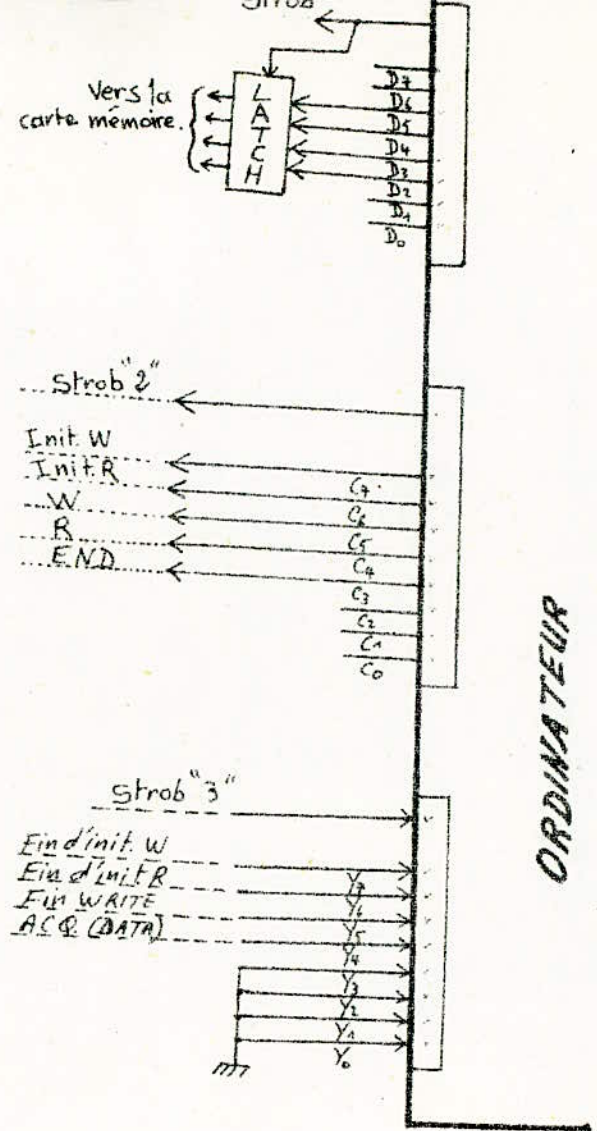
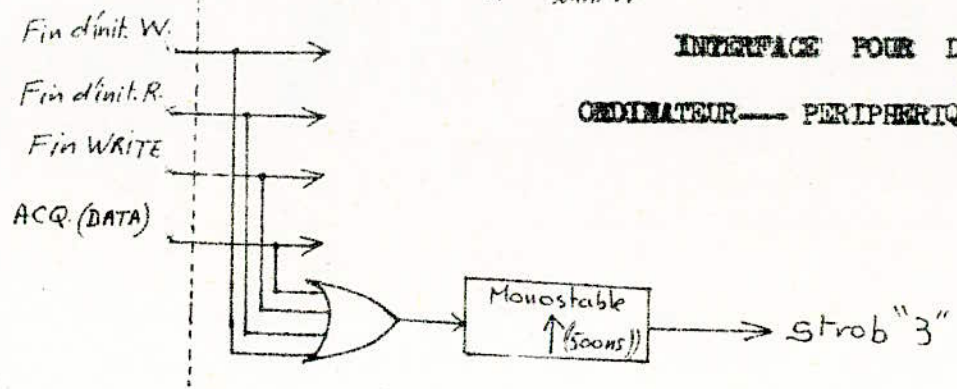
Elles ont une configuration de 4 bits .





INTERFACE POUR DIALOGUE

ORDINATEUR — PERIPHERIQUE: systeme visu.



ORDINATEUR



CONVERSION NUMERIQUE ANALOGIQUE

I-DEFINITION

Un convertisseur numérique analogique est un dispositif qui transforme une information numérique en un signal analogique. Dans le cas de la restitution d'une image, le CNA permettra de transformer en signal analogique une information préalablement convertie en binaire et mémorisée.

II

II-PRINCIPE DE LA CONVERSION

1)-Conversion numérique analogique (courant:LE DAC 08)

Le choix d'un tel convertisseur courant nous est imposé par la contrainte de temps de conversion. En effet, le DAC08 est rapide (temps de  $85\mu s$  pour 8 bits). Nous utiliserons que 4 bits et pour cela les bits de poids les plus forts sont mis à la masse. Le temps de conversion est donc encore plus petit (environ  $35\mu s$ ). Ce convertisseur est de type parallèle, les valeurs numériques arrivant à l'entrée sont converties au même moment.

a)-Présentation externe du DAC 08 (voir fig 1 et 2)

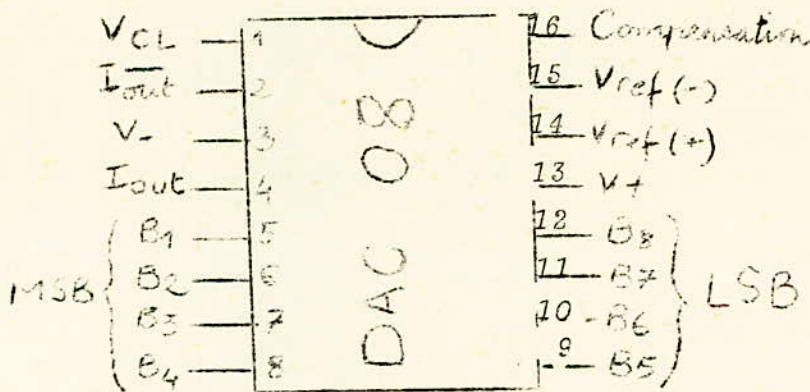


Fig 1:

b)-Utilisation du DAC 08 dans un montage

Les caractéristiques du DAC08 nous imposent un courant de  $I_{ref} = 2\text{ mA}$  qui attaquera la pin 14. L'alimentation pourra varier dans une plage de  $\pm 4,5\text{V}$  à  $18\text{V}$ ; Nous choisissons ainsi une tension d'alimentation  $V = \pm 12\text{V}$  (compatible EX 0) nous prendrons  $V_{ref (+)} = +12\text{V}$ ; par conséquent on choisira une résistance d'entrée  $R = 6\text{ K}\Omega$  (voir fig 3).

$V_{ref} (+) = R_{ifef}$ . La tension  $V_{ref} (-)$  (pin 15) mise à la masse par l'intermédiaire d'une résistance  $R = 6 \text{ K}\Omega$ .

En examinant la fig 2 (schema electronique) on constate que  $V_{ref} (+)$  attaque un ampli opérationnel.

Nous avons mis  $V_{ref} (-)$  à la masse pour que le point A (voir fig 2) représente une masse virtuelle. Donc l'A-0 est attaqué par un courant de référence (+) de 2 mA.

En sortie du DAC 08, l'information analogique est donnée en courant. Nous avons deux sorties  $I_{out}$  et  $\overline{I_{out}}$  à notre disposition. Nous utiliserons une tension négative. Cette tension négative sera compatible au fonctionnement du mélangeur.

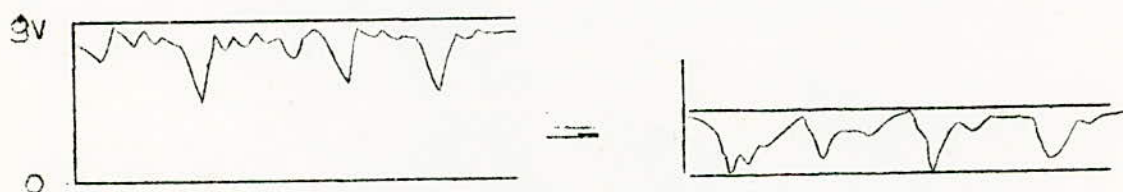
L'attaque de la vidéo se faisant obligatoirement en tension. Nous devons utiliser juste après, un convertisseur courant tension.

### C) - LE AD509 UTILISE EN CONVERTISSEUR COURANT TENSION

Le AD509 est un ampli opérationnel ayant un settling time de 200 ns répondant jusqu'à 20 MHz. Sa présentation externe est donnée en (fig 1)

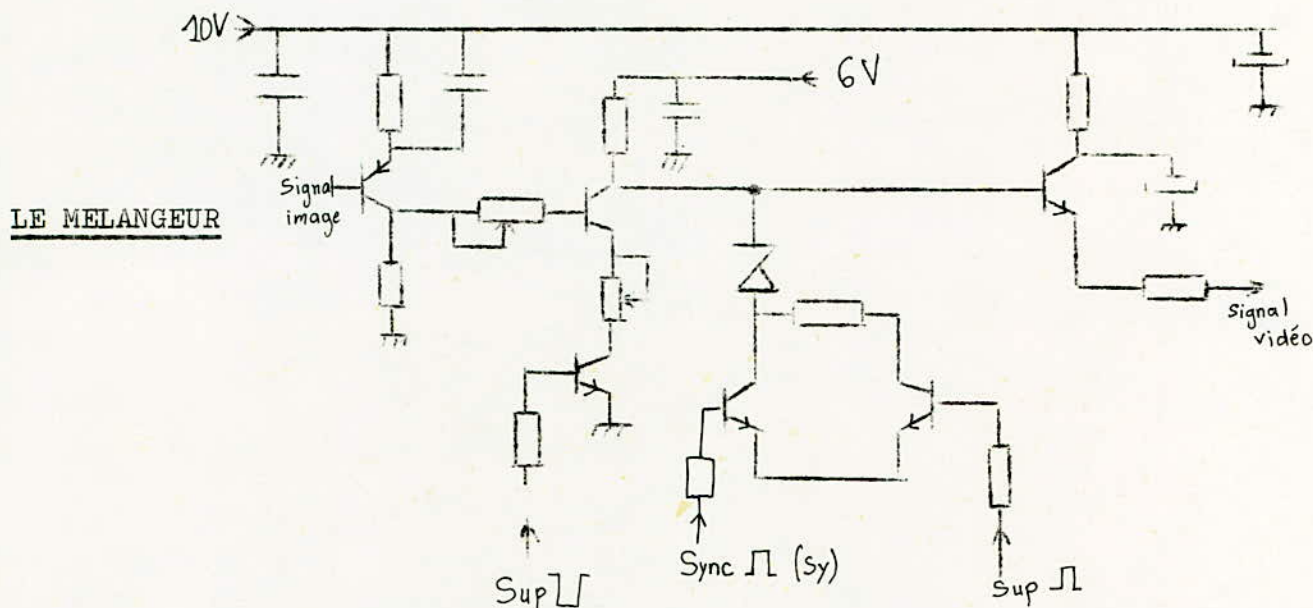
#### a) Mode de fonctionnement

Le courant que nous voulons convertir en tension attaque la pin N°2 du AD509. En effectuant une contre réaction de la sortie (pin 6) sur l'entrée (pin 2) par l'intermédiaire d'une résistance de  $5,2 \text{ K}\Omega$  (permettant de donner des valeurs convenables de la tension en sortie); nous obtenons la tension correspondante aux bornes de cette résistance. Le brochage entre le DAC 08 et le AD509 est schématisé en fig 4. Puisque nous travaillons à des fréquences élevées. Une compensation devra se faire par l'intermédiaire condensateurs représentés en fig 2. Remarquons qu'en sortie on obtient un niveau de tension avec une composante continue de 9 v; pour abaisser ce niveau; on utilise une serie de diode



Cette serie de diodes n'assurant pas une précision pour l'obtention de notre niveau, nous utiliserons un sommateur (AD509) qui raffiné par un potentiomètre nous donnera un niveau négatif qui pourra attaquer le mélangeur.





Le signal vidéo pure restitué puis traité sera appliqué sur la base de T 19. Pendant les périodes de suppression T21 est bloqué et T20 ne peut donc conduire, le signal vidéo interrompu n'atteindra pas T24. T23 polarisé par le pont diviseur  $1 K\Omega$ , BZx 75 (Zener), 220  $\Omega$ , T23.

La sortie Sv de T24, montre en collecteur commun, prend le niveau noir, lorsque reviennent les impulsions de synchro (donc toujours pendant la suppression) T22 devient en plus conducteur, il supprime la résistance de 220  $\Omega$ , Sv baisse en tension et donne le niveau des fonds de tops synchro. En dehors des périodes de suppression, T21 est conducteur et permet à T20 de fonctionner. Ce dernier amplifie la vidéo et la transmet à T24, donc à Sv - Par ailleurs T22 et T23 sont bloqués, ce qui élimine la BZx 75 - AJ14 et AJ 15 réglent la proportion entre la vidéo et la synchro la sortie Sv retourne à la masse par résistance de charge de 75  $\Omega$ , intérieure ou extérieure selon le cas d'utilisation.

### III ADAPTATION

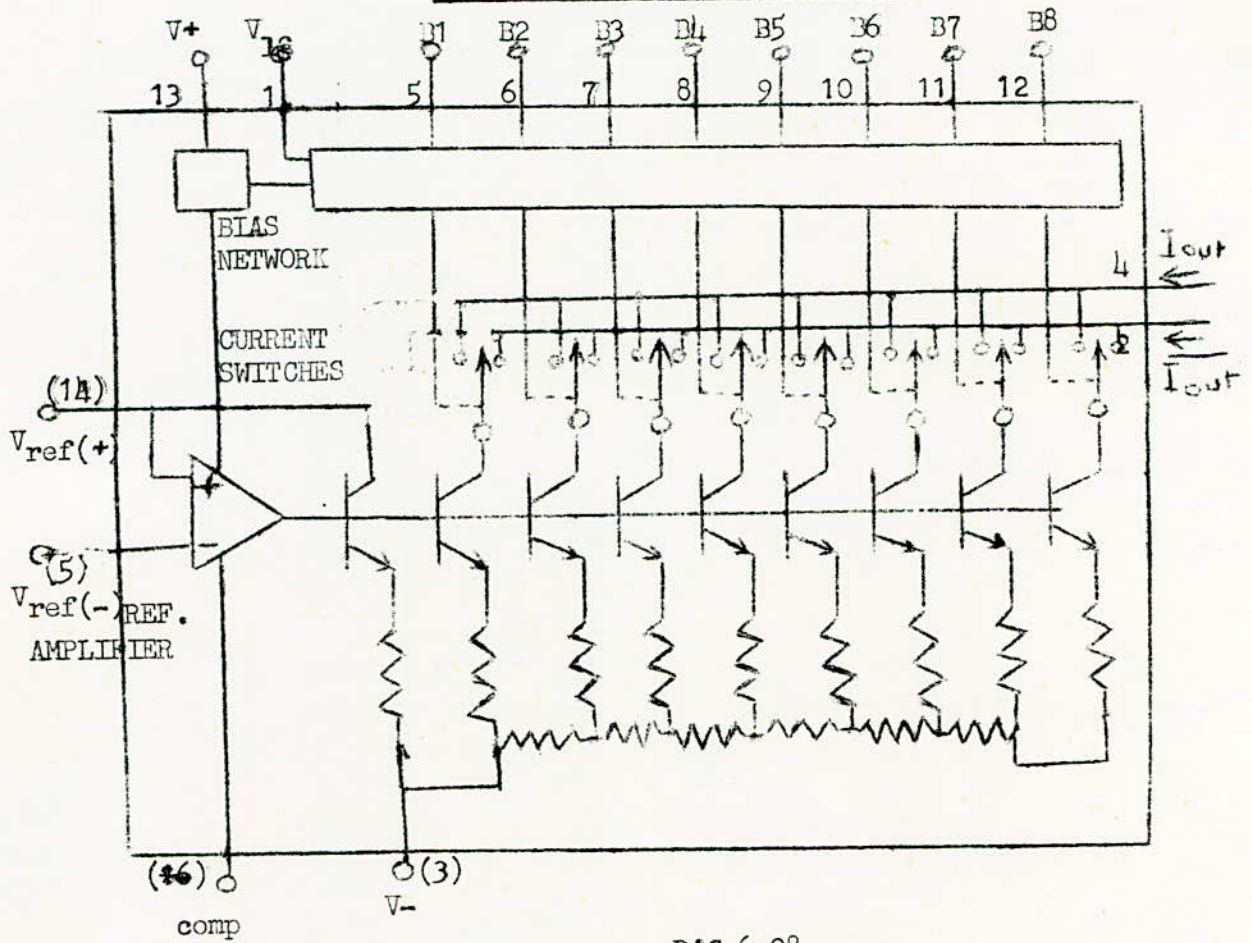
Le signal vidéo composite à la sortie du mélangeur ne peut pas attaquer directement le téléviseur, une adaptation s'impose de même qu'une correction du signal en ce qui concerne le bruit .

A la sortie du mélangeur, les tops de synchro sont déformés (des pics) et le niveau du signal est élevé de 3v par rapport au niveau 0. Cette déformation est due à l'effet capacitif non négligeable existant dans le mélangeur.

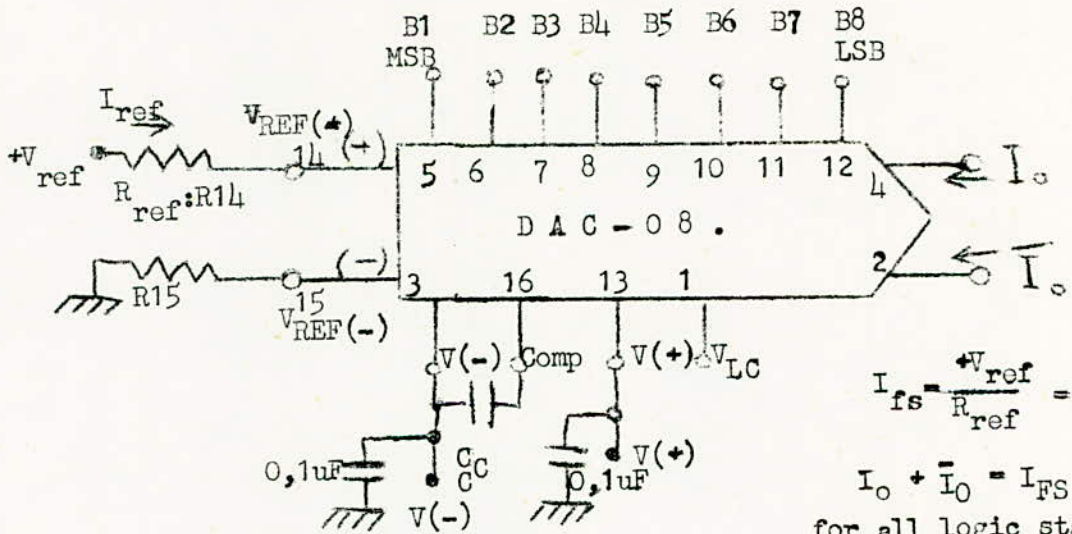
Le niveau de 3 volts est atténué par une série de diodes. Pour aboutir au signal vidéo composite conforme aux normes CCIR standard 625 I. Il nous faut avoir une amplitude de 0,7 v pour le signal vision et de (-0,3) v pour les tops de synchro. Pour cela on utilise un additionneur du type AD509 qui aura pour rôle d'amplifier le signal vision (0,5 volts à 0,7 v ) et de décaler le signal complet de (-0,3 v). Ainsi nous pourrons attaquer le monteur vidéo.



SCHEMA EQUIVALENT DU DAC-08.



DAC 6 08



$$I_{fs} = \frac{+V_{ref}}{R_{ref}} = \frac{255}{256}$$

$$I_o + \bar{I}_o = I_{fs}$$

for all logic states

- $V_{ref} = +10V$
- $R_{ref} = R_{15} = 5K$
- $C_c = 0,01\mu F$
- $V_{lc} = 0V(\text{masse})$

**BASIC POSITIVE REFERENCE OPERATION**

SYMMETRICAL OFFSET BINARY OPERATION

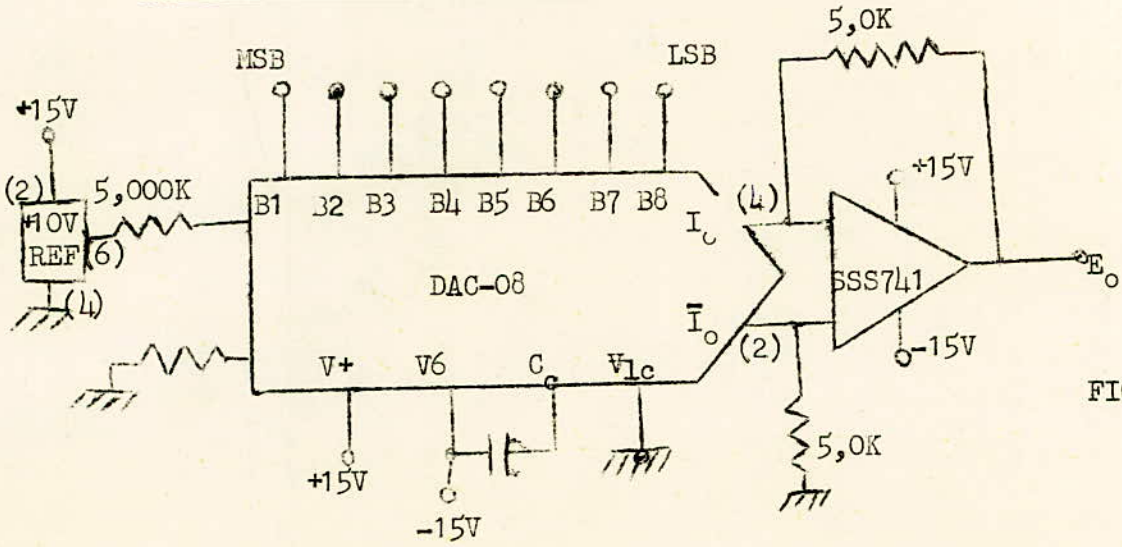


FIG. 4.

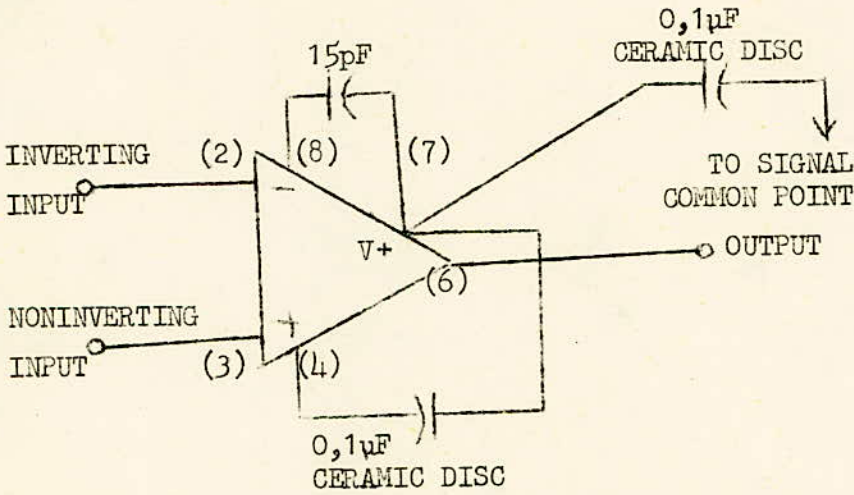


FIG. 2.

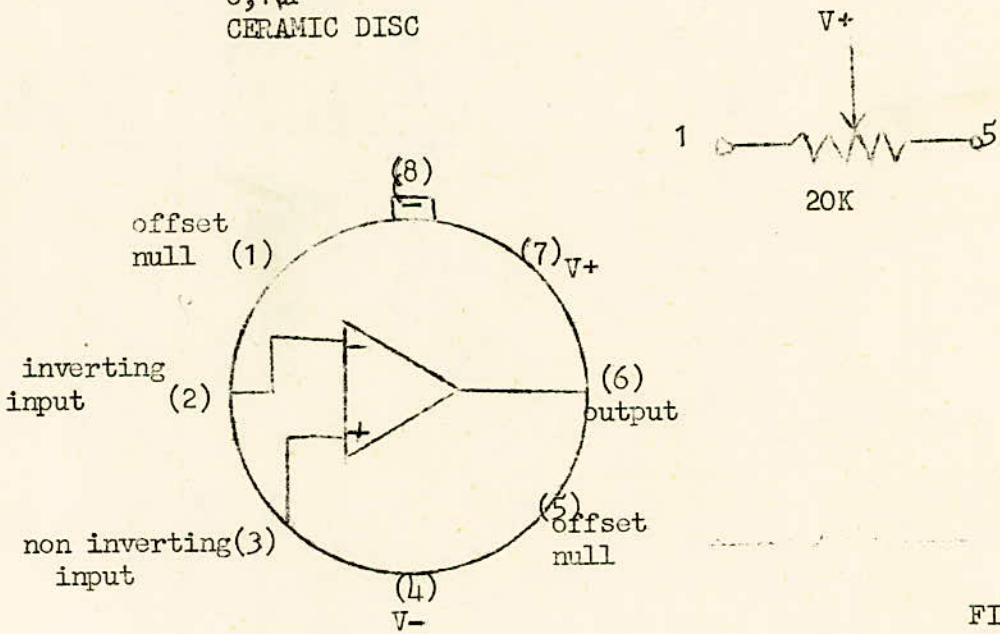


FIG. 1.



\*\*\*\*\*  
\* FONCTION AGRANDISSEMENT \*  
\*\*\*\*\*

La fonction "randissement" permet la mise en évidence des points d'un grand intérêt d'une image .

Une exécution satisfaisante de cette fonction , exige une image bien riche en informations .

Cette richesse s'obtient lors de l'analyse de l'image , en recueillant le maximum de pixels .

Ce qui revient à restituer un signal image avec une définition maximale possible ; et de l'échantillonner à une grande fréquence en vue de l'obtenir après sa numérisation avec une grande précision .

Voir une reproduction d'image ci-dessous :

Agrandissement de la portion d' image encadrée sur l' écran, pour les deux cas:- $F_{ech}$  = faible puis, -la fréquence d' échantillonnage très élevée.

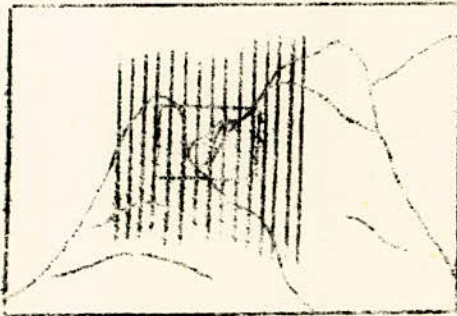


Image initiale en état d' échantillonnage.  
 $F_{éch}$  = très élevée

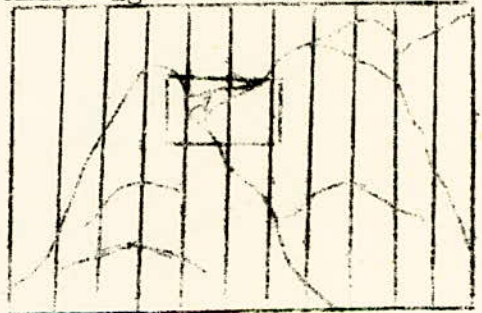
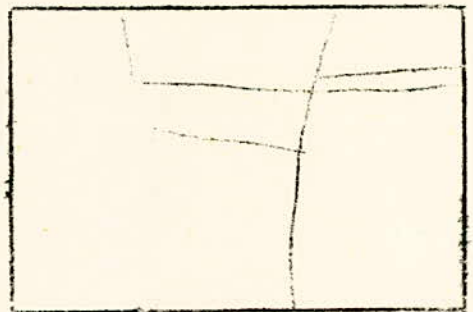


Image initiale en état d' échantillonnage.  
 $F_{éch}$  = faible.



Agrandissement appréciable.



Agrandissement dépourvu d' intérêt.

Ainsi comme on le constate sur la figure ci-dessus :

Un agrandissement avec une excellente définition réside dans la non négligence de toutes les nuances de gris possibles .

Cependant , après un fin échantillonnage , une conversion analogique - numérique , serait très appréciable si la précision de cette dernière tâche aura lieu .

Enfin , on peut illustrer les configurations optimales des pixels dans différents domaines :

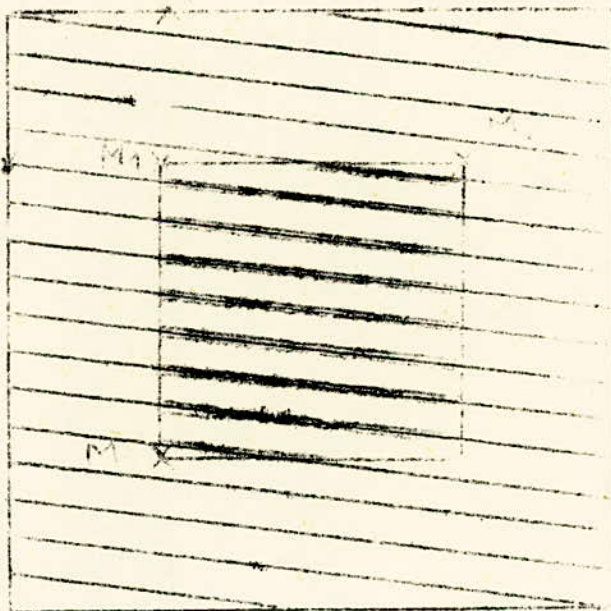
8 bits pour les applications moyennement importantes , jusqu'à 16 bits pour les applications où la précision et la clarté sont exigées . Pour les études astronomiques , la visualisation d'une photo d'une planète sur laquelle les différentes nuances ne sont pas très nettes .

Reproduction d'une image d'une coupe d'un organe humain qui n'est pas très riche en couleurs et où la précision et la netteté sont d'une première importance , etc ...

Exemple d'agrandissement classique d'une image .

- une image de 512 lignes .
- 512 pixels par ligne .
- Une configuration de 4 bits par pixel .

IMAGE STOCKEE DANS L'ORDINATEUR :





Après sa visualisation sur l'écran TV , nous désirons reproduire la partie la plus sombre sur tout l'écran .

Pour exécuter cette fonction , il faudrait :

1 ) repérer les points  $M_1$  ,  $M_2$  et  $M_3$  .

2 ) mesurer les distances  $O_1 M_1$  ,  $O_1 M_2$  ,  $O_1 M_3$  et  $O_2 M_1$

3 ) déterminer  $n_1$  ,  $n_2$  ,  $n_3$  et  $n_4$

$$n_1 = \frac{625 \times O_1 M_1}{H} \qquad n_2 = \frac{512 \times O_1 M_2}{L}$$

$$n_3 = \frac{625 \times O_1 M_3}{H} \qquad n_4 = \frac{512 \times O_2 M_1}{L}$$

4 ) soient  $N_1 = n_1 - n_2$   
et  $N_2 = n_3 - n_4$

et  $N = \text{Max} ( N_1 ; N_2 )$

L : longueur de l'écran .

H : hauteur de l'écran .

$$\text{Si } N = \frac{512}{2}$$

un agrandissement à l'échelle 2 est donc possible .

- Une réécriture devra se faire de la manière suivante :

- l'ordinateur devra nous dispenser des lignes  $n_1 < N$  et  $n_2 > n_1 + N$   
+ N et des points  $n_3 < N$  et  $n_4 > n_3 + N$  .

- Chaque point sera donné deux fois de suite et dans l'ordre successif des points de gauche à droite et de haut en bas .

Lorsque cette dernière est complètement stockée, on doit la réécrire à nouveau , mais dans le reste de la carte mémoire ( en vue de reproduire les deux trames ) , pour la première trame on inhibera pour  $n_1 = n_2$  la portion  $n_1 < ( n_1 + \frac{N}{2} )$  .

Avec cette méthode , un agrandissement supérieur à l'échelle 4 , représenterait , des déformations très marquées sur l'écran , néanmoins , il reste une autre solution un peu complexe .

Elle consiste à traiter une image très riche en pixels. Ceci résulte d'une analyse nettement supérieure à 512 lignes, et d'un échantillonnage de ces lignes à haute fréquence ( 1000 à 4000 points par ligne ) .

Lors de la restitution de l'image, 2 cas, s'imposent:

- reproduction de toute l'image
- ou
- agrandissement d'une portion d'image .

1 ) Reproduction de toute l'image :

- Repérer 512 lignes équidistantes, couvrant l'image du haut en bas .
- Choisir 512 colonnes de points réparties de la même manière que précédemment .
- Programmer l'ordinateur, pour nous servir les configurations des pixels choisis .
- Exécution normale de l'écriture, puis lecture .

2 ) Agrandissement d'une portion d'image :

- Choisir 512 lignes successives .
- Et 512 colonnes de points successives .
- Programmation de l'ordination pour nous servir ces données .
- Exécution normale de l'écriture puis lecture .

Mais avec cette méthode, le facteur d'agrandissement ne peut croître indéfiniment .

Il passera à la saturation à une certaine limite qui est imposée par :

- L'inertie du balayage au niveau de la caméra .
- La dimension des cibles photosensibles qui n'est pas négligeable pour certaines précisions .



Une autre solution paraissant plus efficace , consiste à coupler la caméra d'un objectif agrandisseur et d'analyser l'image en 512 lignes consécutives de 512 points chacune .

Puis l'échantillonner , la numériser et la conserver sur bande .

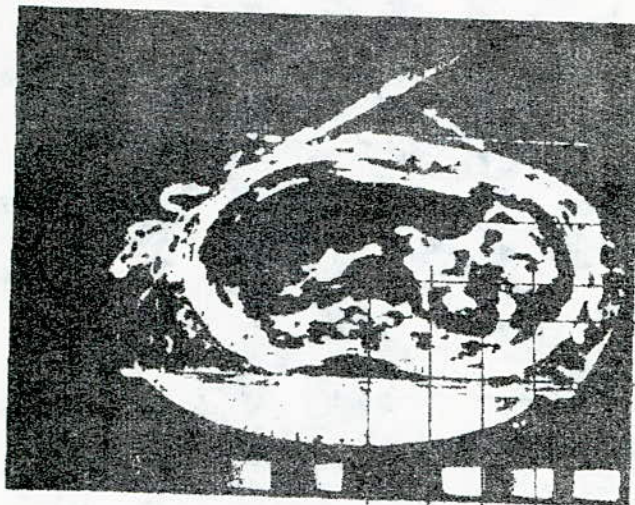
Cependant , il ne restera plus qu'à effectuer la fonction restitution de la manière citée antérieurement .

Enfin le résultat obtenu , sera hautement appréciable par suite de la finesse de la reproduction et de la fidélité .

\*\*\*\*\*

\*\*\*\*\*

ILLUSTRATION DE LA FONCTION  
AGRANDISSEMENT.



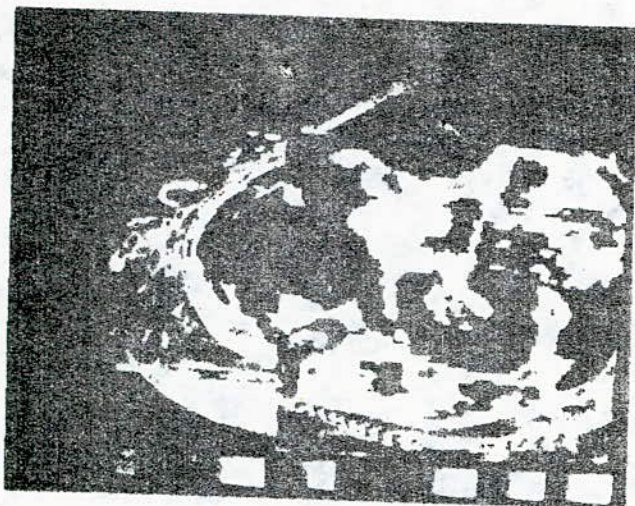
*Coupe de corps humain*

*Prise au scanner.*

*Image analysée par caméra*

*vidéo, puis numérisée*

*et stockée en mémoire.*

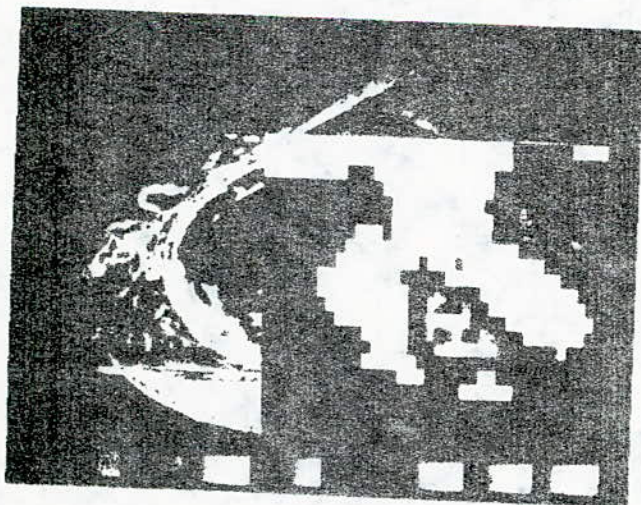


*Agrandissement à l'échelle .*

*2 de la portion repérée*

*sur l'écran vidéo, par les*

*quatre points :  $M_1, M_2, M_3, M_7$ .*



*Agrandissement à l'échelle*

*8 de la portion repérée par*

*les 4 points :  $M_4, M_5, M_6, M_8$*

*(Photos, MICRO - SYSTEME)*



CONCLUSION

La restitution d' images numérisées sur unité vidéo, représente une des fonctions maîtresses dans le traitement d' image.

Une étude a été minutieusement appliquée , en vue de réaliser des performances appréciables avec notre système .

Cependant , un dernier maillon de cette chaîne, reste l' utilisateur qui devra à travers sa vision d' images interpréter les résultats des traitements numériques, à partir d' une programmation relative à un traitement désiré.

\* Les domaines d' application de ce traitement sont illimités, et ceci justifie l' efficacité de leurs opérations:

- Agrandissement d' image .
- Visualisation de la même image sur quatre quarts de l' écran, ou plus.
- Fonction "soustraction" , elle permet de mettre en évidence les points ayant subi une modification , ou une métamorphose par comparaison de deux images d' un même objet , prises à des moments différents. Par exemple , en médecine: observation d' un rétablissement d' une infection , d' une aggravation ou encore d' un cas stationnaire.
- En chimie: étude des réactions , constatation d' une amélioration ou d' une dégradation d' un essais nucléaire ou autres...
- Industrie : detection des défauts sur des pièces à partir d' une comparaison avec une autre prise comme référence. Exemple: test des circuits intégrés , etc...

Nous concluons cette étude par deux remarques :

l'efficacité du système et les difficultés rencontrées.

\*\* Cette étude consiste en premier lieu, -en un choix judicieux de l'interconnexion des boîtiers de mémoires, qui nous permet un rafraîchissement global et simultané de toutes les mémoires.

-Un rafraîchisseur externe sera utilisé dans les situations critiques.

-Le temps de cycle - lecture des RAM utilisées est de 500ns ( et qui pourrait durer jusqu' à 3,2  $\mu$ s pour les moins rapides) n' aura aucune influence sur le bon déroulement et la rapidité du système.

-Une logique programmée s' est révélée impossible à cause de la lenteur du microprocesseur, qui devait exécuter certaines instructions à hautes fréquences. Pour cela on a préféré réaliser une logique câblée, pour sa rapidité son coût réduit et sa souplesse dans l'utilisation.

\*\* La synchronisation est obtenue à partir d' une horloge, constituée de trigger de schmitt, dont la variation de stabilité est de l' ordre de 15 à 20% . Il en résulte une ondulation de l'image sur l' écran.

Pour pallier cet inconvénient, une horloge à quartz s' avère indispensable .

- La visualisation de cette portion d' image est représentée sur l' écran par huit bandes verticales ( de douze pixels de largeur) équidistantes. Ceci résulte de trois facteurs:

-La capacité .

-Les interconnexions des boîtiers sur la carte mémoire .

-Séquencement de la gestion de la logique .



- L' amplificateur opérationnel utilisé pour la conversion courant-tension admet un temps de réponse de 200 ns , ( fréquence de coupure haute de 5MHz ) ce qui induit une déformation du signal converti( la fréquence du DAC étant de 10 MHz). Le bruit généré par l' ampli opérationnel n' a pu être éliminé ni par intégration , ni par filtrage. Sa gamme de fréquence croît au delà de 1MHz ? Par conséquent , notre signal se trouve diminué de sa richesse d' information et de finesse.

Nous proposons comme solution, l' utilisation d' un amplificateur opérationnel rapide d' un temps de réponse de 20 à 50 ns . Et de préférence, un autre DAC qui admet le même temps de réponse ( ce dernier augmentera la finesse de l' image .

de

\* - \* - \* - \* - \* - \* - \*  
\* - \* - \* - \* - \* - \* - \*  
\* - \* - \* - \* - \* - \* - \*

BIBLIOGRAPHIE  
\*\*\*\*\*

- L'emploi des microprocesseurs, AUMLAUX (MASSON)
- Structure et fonctionnement des ordinateurs, MEINADIER.
- Cours fondamental de télévision, CARRASCO & LAURET.
- Télévision, tomes: 1&2. J. PARADIES.
- Techniques de conversion analogique-digital et digital-analogique, D.F. HOESCHELE Jr. (masson)
- The TTL data book, TEXAS INSTRUMENTS 1973.
- Data book, TTL SCHOTTKY?
- Linear integrated circuit. (MOTOROLA SEMI-CONDUCTOR)
- Data book, transistor and diode, TEXAS INSTRUMENTS.
- Documentation MOTOROLA sur la RAM MCM6601J.
- Mini et micro.
- Micro-système.
- Spectrum.

\*\*\*\*\*  
\*\*\*\*\*  
\*\*\*\*\*





A - INTRODUCTION :

B - ETUDE DE LA VIDEO

B 1 Généralités sur la TV ( étude du standard CCIR 625 1 )

- a ) - Analyse d'une image
- b ) - Principe d'un balayage entrelacé
- c ) - Fréquences lignes et fréquences trames
- d ) - Etude du signal vidéo
- e ) - Les signaux de synchro
- f ) - Remarques générales ( contraintes imposées au système à réaliser par la vidéo )

B 2 Le générateur de signaux de synchronisation

- a ) - L'oscillateur pilote ( trigger de schmitt ) brochage et schéma interne .
- b ) - Réalisation du générateur ( le schéma général est donné sur une planche ) .
  - b ) 1 - Signaux d'effacement
    - BL chronogramme
    - BT chronogramme
  - b ) 2 - Signaux de synchro
    - sL , sT

B 3 Le mélangeur

- Schéma de principe
- Principe de fonctionnement et de l'obtention du mélange .

C - ETUDE DES MEMOIRES DYNAMIQUES :

- C1 - Constitution et principe de fonctionnement .
- C 2- Etude du MCM 6604 .
  - Conception technologique .
  - Mode d'adressage .

- Sortie des données .
- Cycle de lecture .
- Caractéristiques des entrées et sorties .
- Nécessité de rafraîchissement .

D - LA CARTE MEMOIRE :

- Schéma général .
- D 1 - Conception de la carte mémoire .
- D 2 - La lecture .
- D 3 - L'écriture .
- D 4 - Le rafraîchissement .
- D 5 - L'adressage .
- D 6 - Répartition des blocs .
- D 7 - Schéma global .

E - LOGIQUE :

- E 1 - Généralités .
- E 2 - Etude détaillée :
  - Exécution d'écriture
  - Exécution de lecture
  - Détection de trame impaire
  - La sélection de matrices
  - Arrêt de lecture .

F - REALISATION DE LA LOGIQUE :

- Arbitreur de commandes
- Rafraîchisseur externe
- Compteur synchrone modulo 3 .
- Commutateurs électroniques .
- Initialisation du système .
- Aiguilleur .
- Interface de dialogue : ordinateur - SystèmeVisu .



G - LA CONVERSION NUMERIQUE ANALOGIQUE :

- Généralités
- Conception d'une carte ( conversion )
- Le DAC 08
- Le AD 509
- Performances du système

H - ADAPTATION :

I - FONCTION AGRANDISSEMENT :

J - CONCLUSION :





# RAM MCM 6604L

AC OPERATING CONDITIONS AND CHARACTERISTICS  
(Read, Write, and Read-Modify-Write Cycles)

RECOMMENDED AC OPERATING CONDITIONS ( $V_{DD} = 12V \pm 5\%$ ,  $V_{CC} = 5.0V \pm 10\%$ ,  $V_{BB} = -6.0V \pm 10\%$ ,  $T_A = 0$  to  $70^\circ C$ )

Parameter	Symbol	MCM6604L P		Unit
		Min	Max	
Random Read or Write Cycle Time	$t_{cyc}$	500	-	ns
Read-Modify-Write Cycle Time	$t_{cyc(RMW)}$	700	-	ns
Row Address Strobe Precharge Time	$t_{RP}$	150	-	ns
Row to Column Strobe Lead Time (Note 1)	$t_{RCL}$	110	150	ns
Column Address Strobe Pulse Width	$t_{CPW}$	200	-	ns
Address Setup Time	$t_{AS}$	0	-	ns
Address Hold Time	$t_{AH}$	100	-	ns
RAS Address Release Time	$t_{AR}$	250	-	ns
Read Command Setup Time	$t_{RCS}$	0	-	ns
Read Command Hold Time	$t_{RCH}$	100	-	ns
Read Command Pulse Width	$t_{RPW}$	300	-	ns
Write Command Hold Time (Note 2)	$t_{WCH}$	150	-	ns
Write Command Pulse Width	$t_{WP}$	200	-	ns
Column to Row Strobe Lead Time	$t_{CRL}$	-60	+80	ns
Write Command to Column Strobe Lead Time	$t_{CWL}$	200	-	ns
Data In Setup Time	$t_{DS}$	0	-	ns
Data In Hold Time	$t_{DH}$	150	-	ns
Refresh Period	$t_{REP}$	-	2.0	ms
Modify Time	$t_{MOD}$	0	10	ns

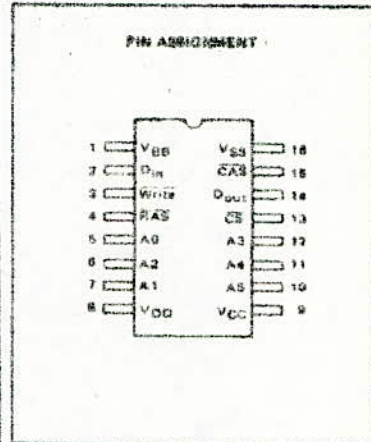
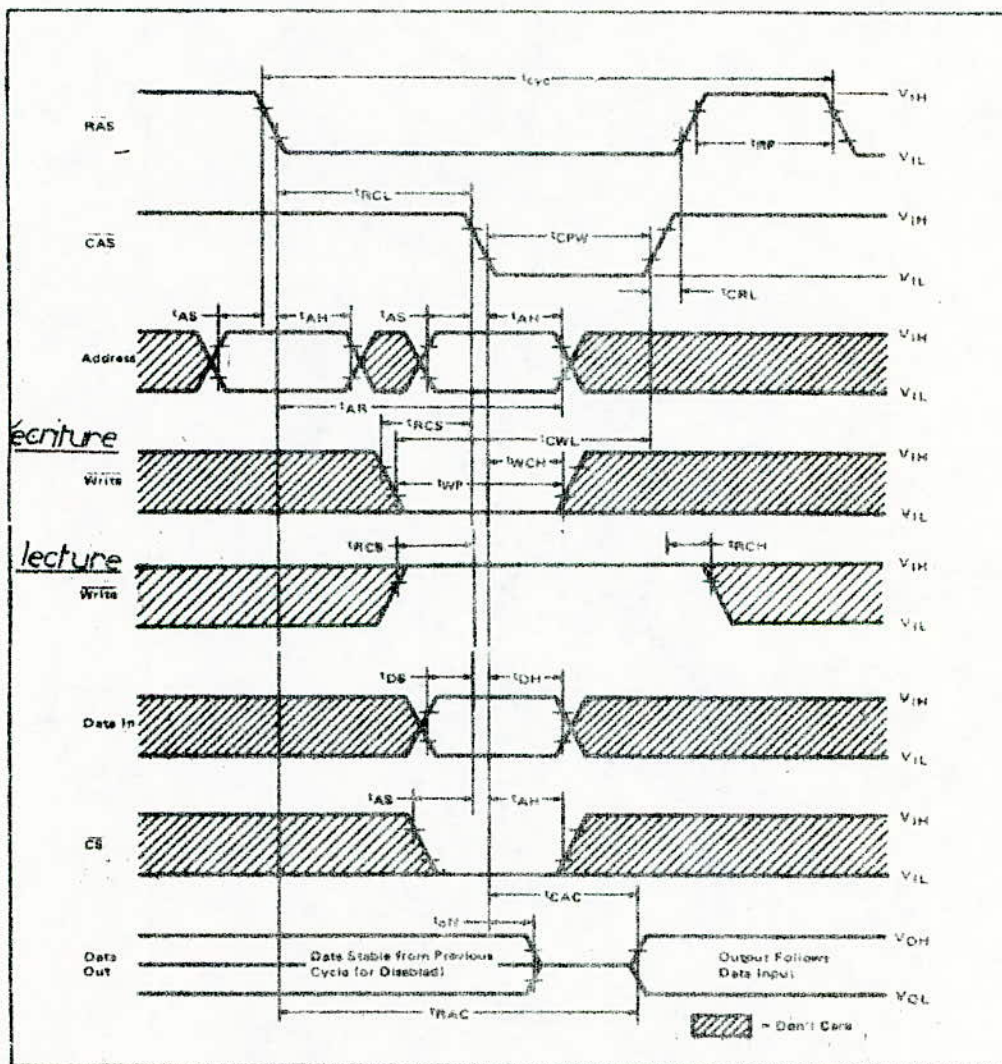


DIAGRAMME DU TEMPS D'ACCES POUR L'ADRESSAGE

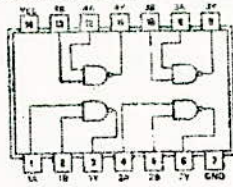


74 00

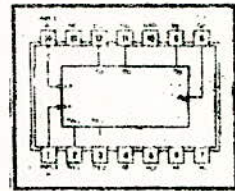
QUADRUPLE 2-INPUT  
POSITIVE-NAND GATES

positive logic:  
 $Y = \overline{AB}$

TTL



SN74 93

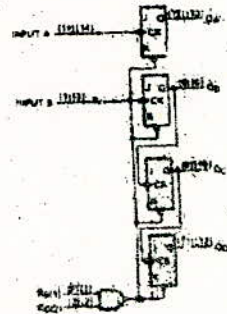
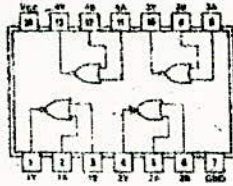


74 02

QUADRUPLE 2-INPUT  
POSITIVE-NOR GATES

positive logic:  
 $Y = \overline{A+B}$

TTL



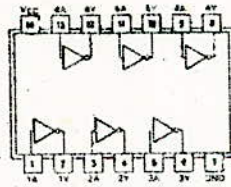
TTL

74 04

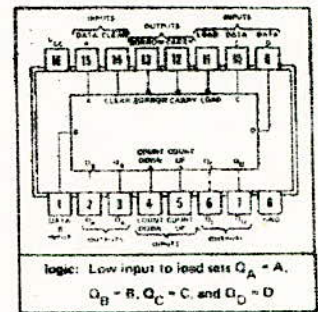
SIX INVERTERS

positive logic:  
 $Y = \overline{A}$

TTL



SN74LS193

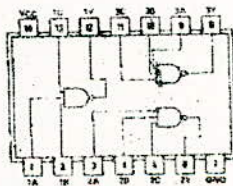


74 110

TRIPLE 3-INPUT  
POSITIVE-NAND GATES

positive logic:  
 $Y = \overline{ABC}$

TTL



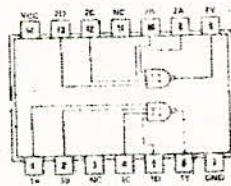
TTL

74 13

DUAL 4-INPUT  
POSITIVE-NAND  
SCHMITT TRIGGER

positive logic:  
 $Y = \overline{ABCD}$

TTL

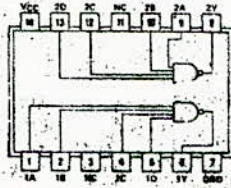




**7420**  
 DUAL 4-INPUT  
 POSITIVE-NAND GATES

positive logic:  
 $Y = ABCD$

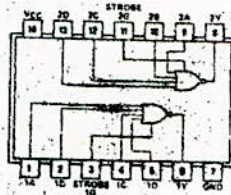
TTL



**7425**  
 DUAL 4-INPUT  
 POSITIVE-NOR GATES  
 WITH STROBE

positive logic:  
 $Y = \overline{A+B+C+D}$

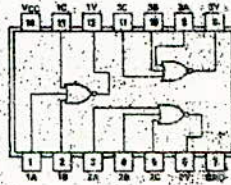
TTL



**7427**  
 TRIPLE 3-INPUT  
 POSITIVE-NOR GATES

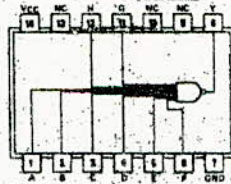
positive logic:  
 $Y = A+B+C$

TTL



**7430**  
 8-INPUT  
 POSITIVE-NAND GATES

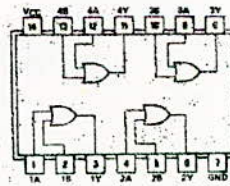
positive logic:  
 $Y = ABCDEFGH$



**7432**  
 QUADRUPLE 2-INPUT  
 POSITIVE-OR GATES

positive logic:  
 $Y = A+B$

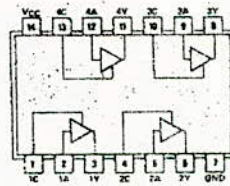
TTL



**74128**  
 QUADRUPLE BUS BUFFER GATE  
 WITH THREE-STATE OUTPUTS

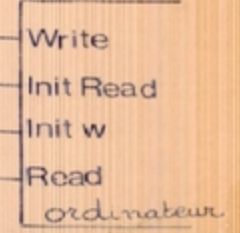
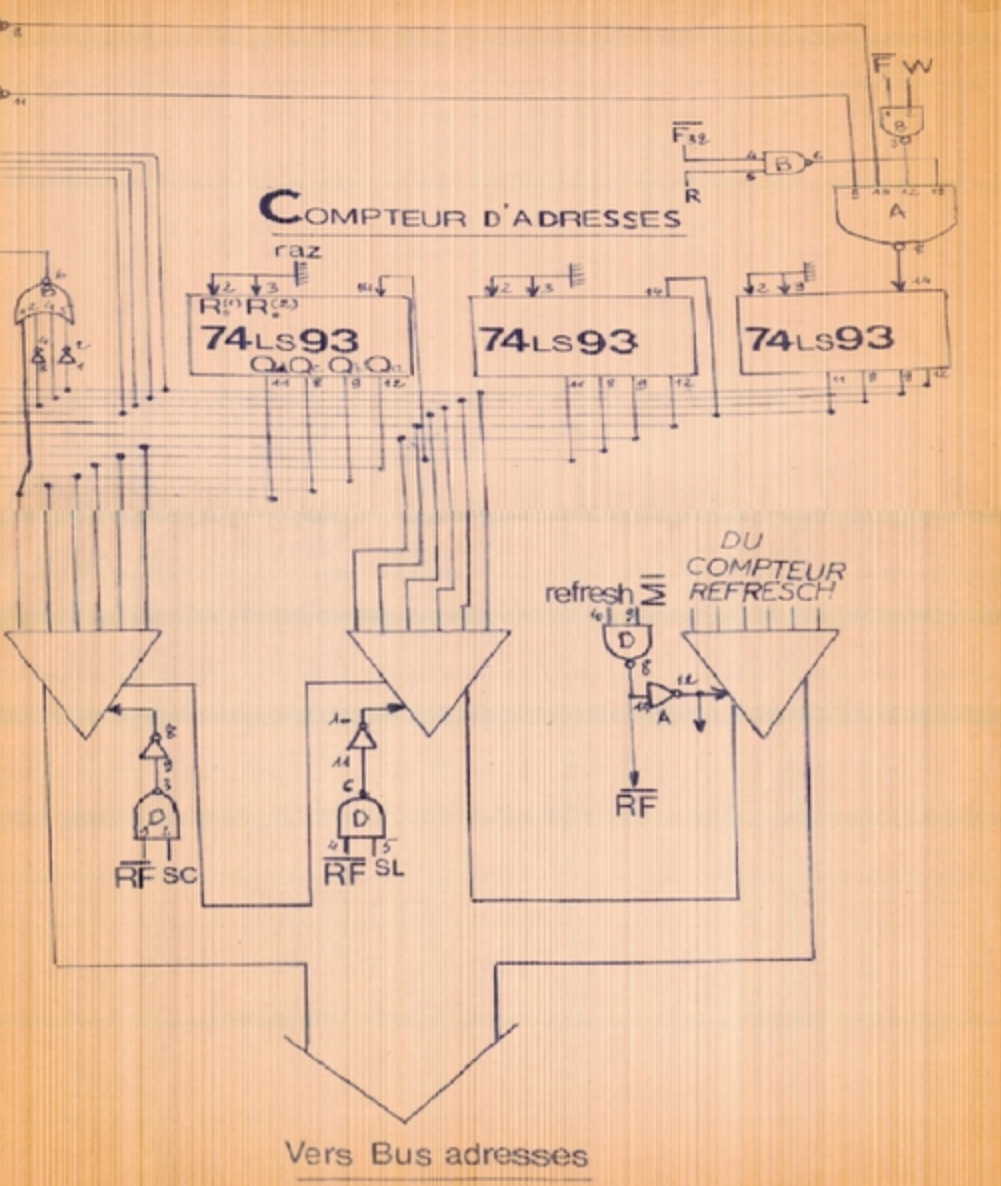
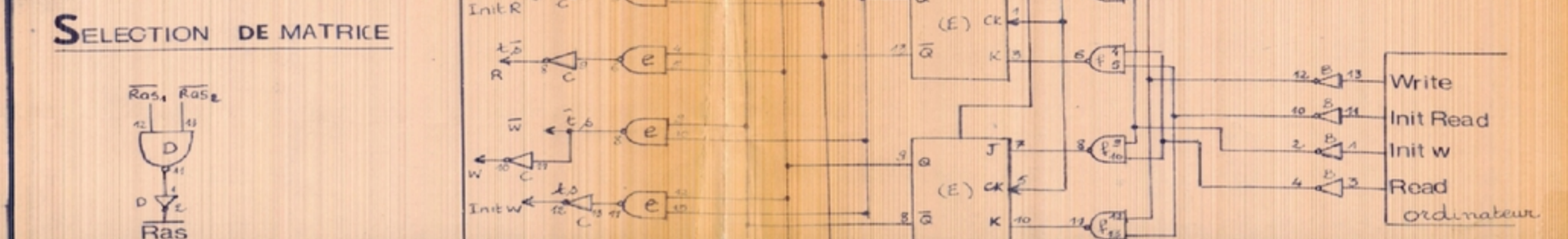
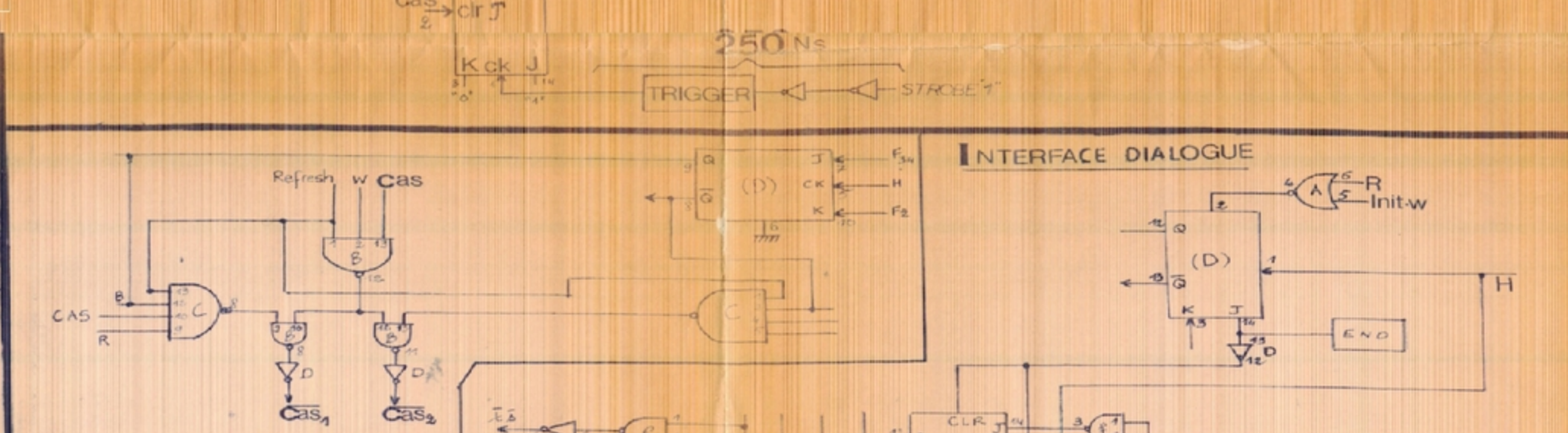
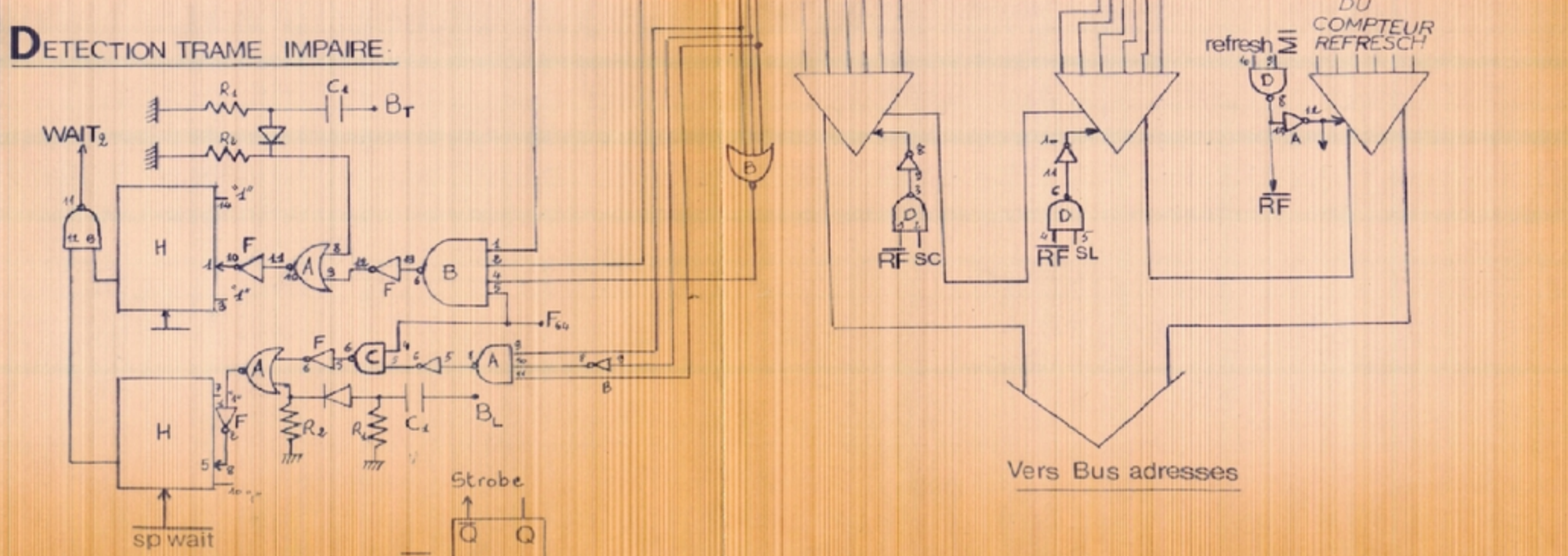
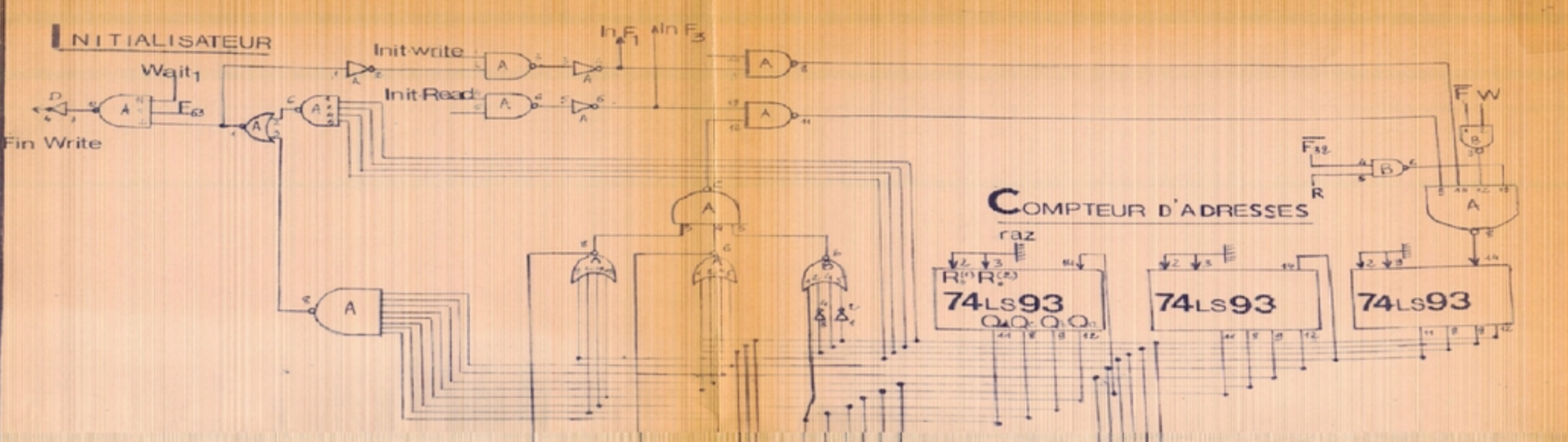
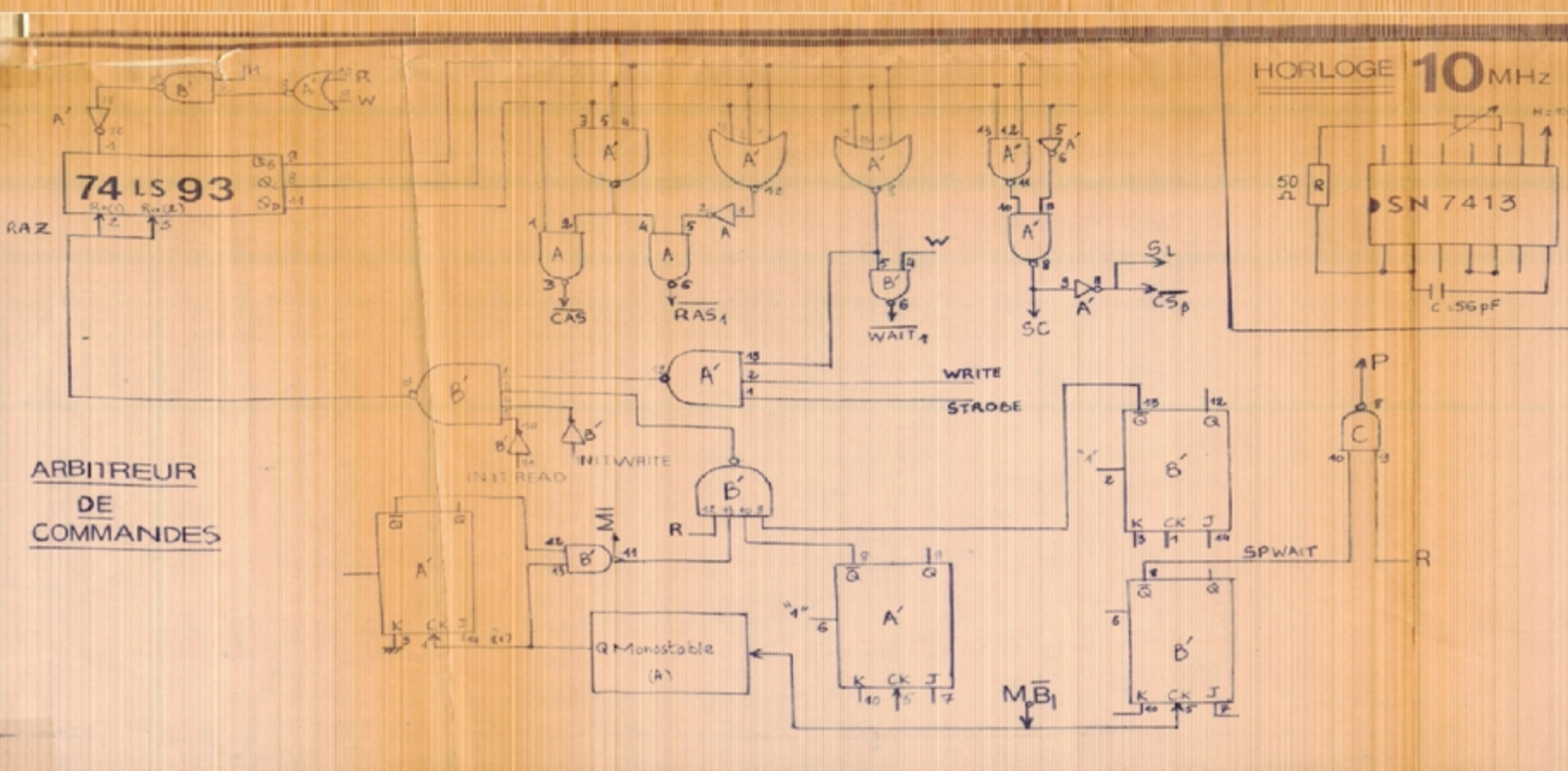
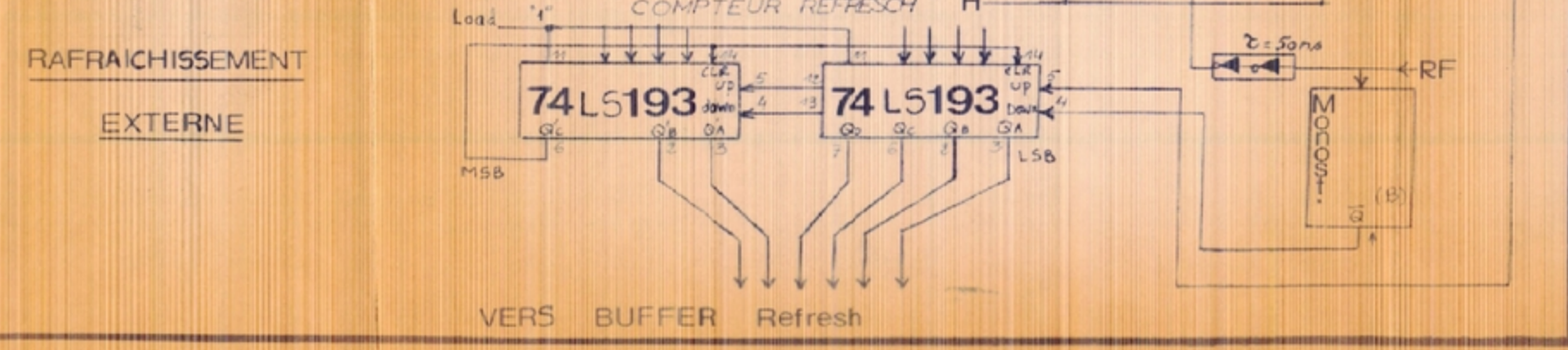
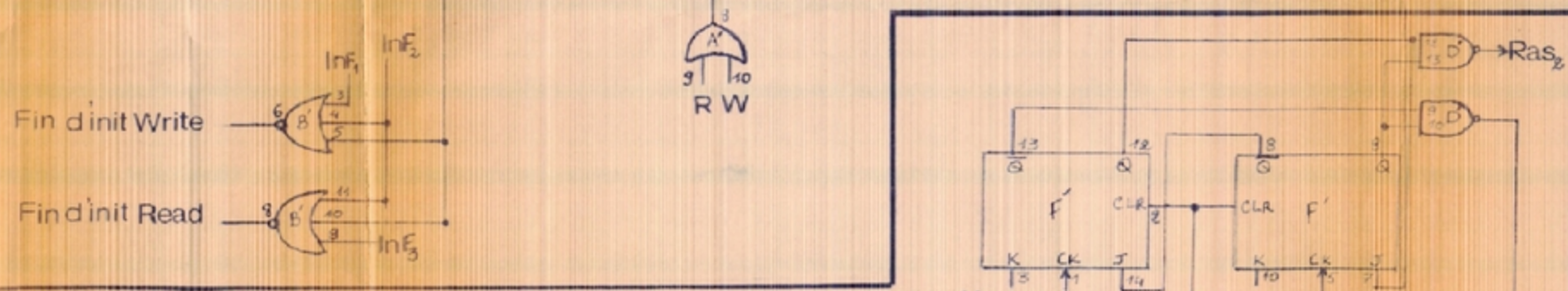
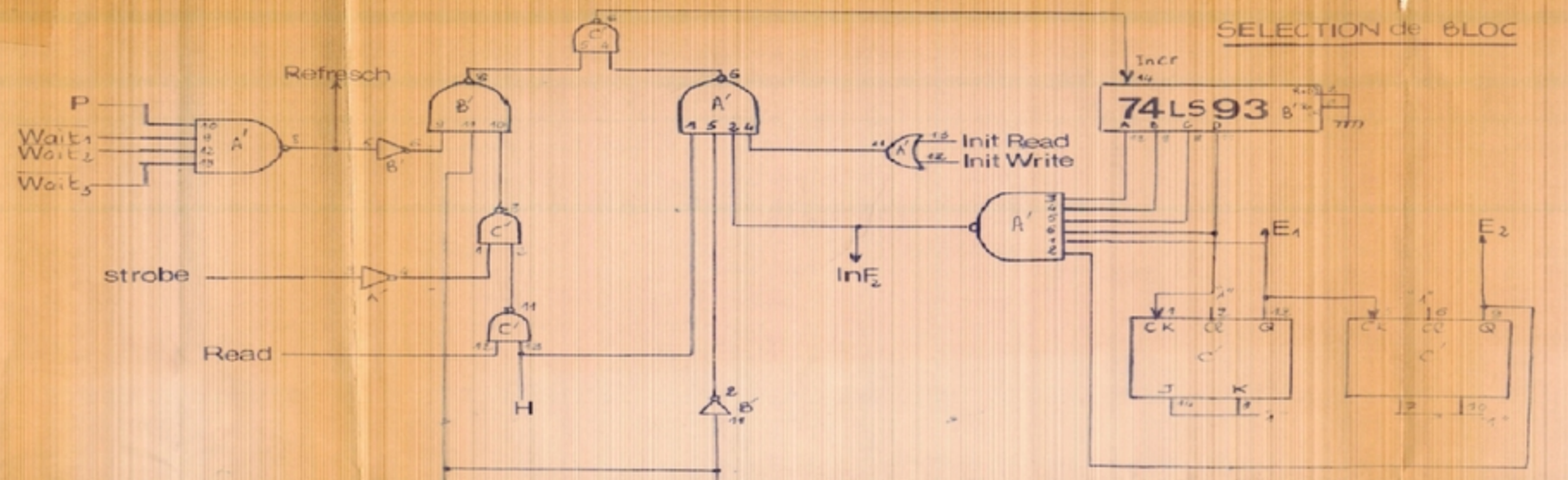
positive logic:  
 $Y = A$   
 Output is off (disabled) when C is low.

TTL



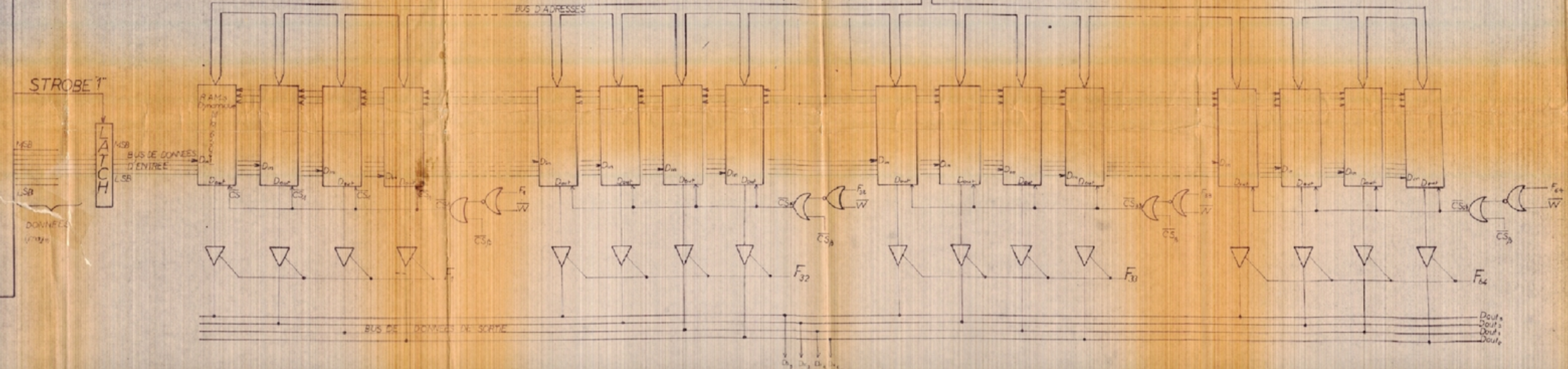
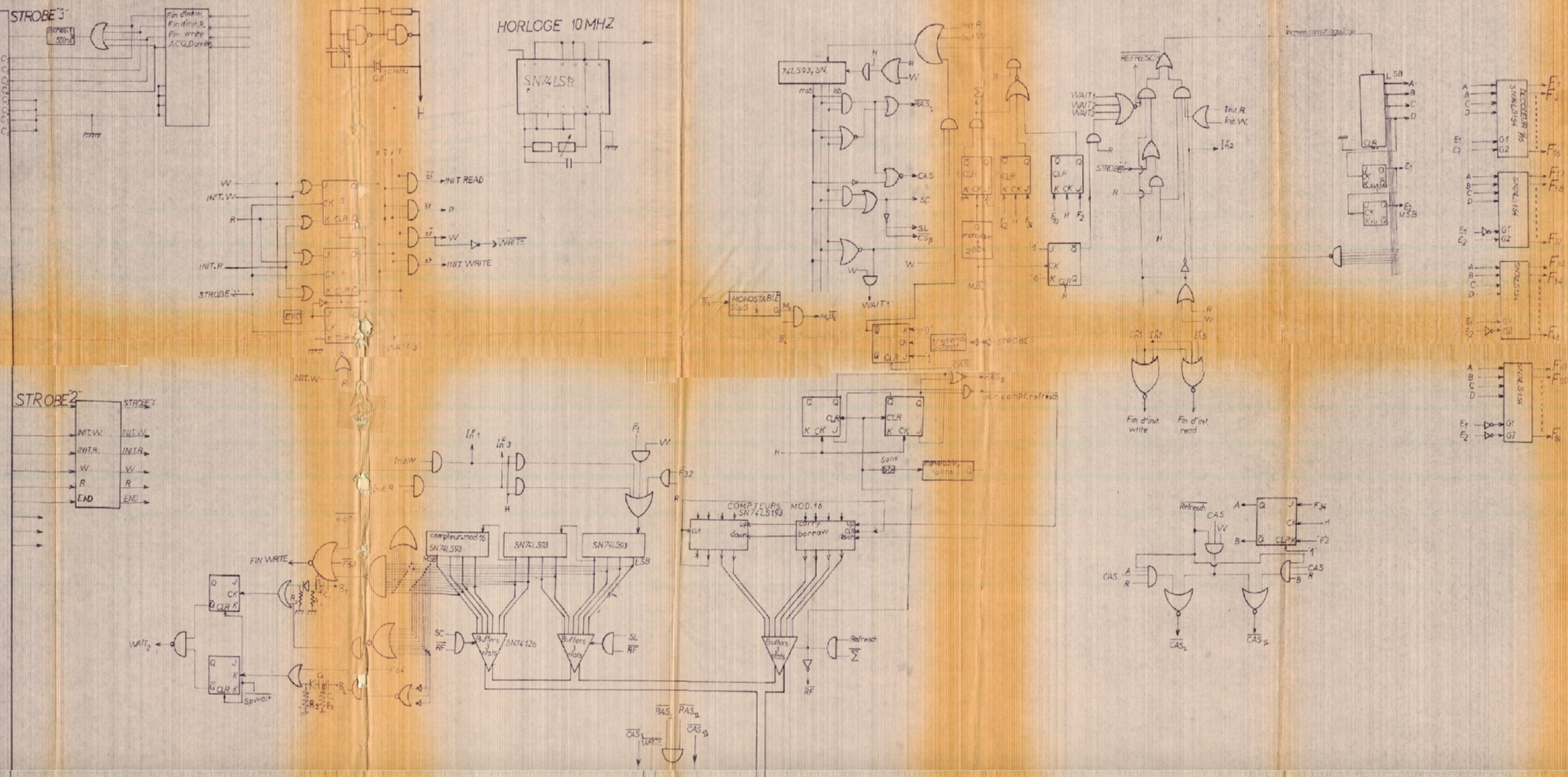




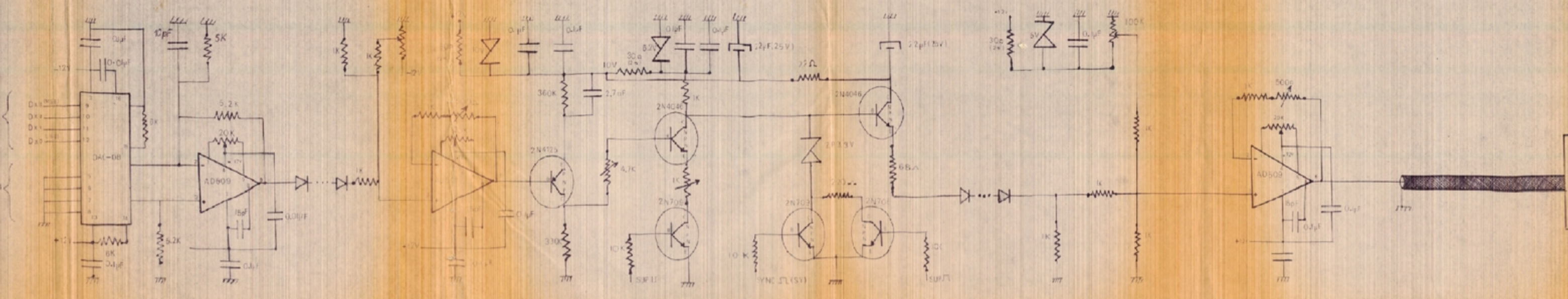




ORDINATEUR MULTI 20



"RESTITUTION  
D UNE IMAGE NUMERISEE  
SUR UNITE VIDEO"



Restitution  
d'une image  
numérisée  
sur unité vidéo

PROMOTEUR: TEDJINI  
ETUDE ET REALISATION FAITES  
AU CSTN PAR LES ETUDIANTS:  
SAYOUD LYES  
et OUSSEDIK AZEDJINE  
session: juin 1981