

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

Etude et réalisation
d'un dispositif de protection
microprogrammé pour un
réacteur nucléaire expérimental

Proposé par :

A. BOUZIDA

F. HAFID

Etudié par :

EL GOURI Abdelatif

FOUDIL-BÉY Kamal

Dirigé par :

A. BOUZIDA

F. HAFID



PROMOTION : JUIN 1984

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

ETUDE ET REALISATION
D'UN DISPOSITIF DE PROTECTION
MICROPROGRAMME POUR UN
REACTEUR NUCLEAIRE EXPERIMENTAL

Proposé par :

A. BOUZIDA
F. HAFID

Etudié par :

EL-GOURI Abdelatif
FOUDIL-BEY Kamal

Dirigé par :

A. BOUZIDA
F. HAFID



PROMOTION : JUIN 84

REMERCIEMENTS

Ce travail a été réalisé au Commissariat aux Energies Nouvelles d'Alger (C.E.N).

Nous tenons à exprimer toute notre gratitude à Melles A. BOUZIDA et F. HAFID qui n'ont ménagé ni leurs efforts, ni leur temps, et qui ont permis que ce travail soit réalisé dans de très bonnes conditions.

Nous adressons nos plus vifs remerciements à Monsieur A. SAIDJ et nous espérons qu'il trouvera ici l'expression de notre très respectueuse reconnaissance pour son aimable collaboration lors de la mise au point de la maquette.

Nous remercions Monsieur M. SELLAL pour l'attention qu'il nous a portée durant ce travail.

Nous avons bénéficié des conseils de Mr. M. REZIC à qui nous exprimons toute notre gratitude.

Que toutes les personnes du C.D.C.E et en particuliers Mr BETTAYEB et Mr TATAH pour nous avoir accueillis au CEN sachent combien nous avons appréciée leur aide désintéressée et amicale.

Que toutes les personnes des services reprographie soient remerciées pour le soin et l'attention qu'elles ont apportés à la réalisation du document.

S O M M A I R E

I. GENERALITES .

1. Description succincte d'un réacteur nucléaire
2. Les accidents probables pendant le fonctionnement des piles atomiques.
3. Philosophie de la sécurité de fonctionnement des piles atomiques.
4. Système de protection.

II. LE SYSTEME DE PROTECTION :

- A - Choix d'un système de protection
- B - Application au réacteur de recherche SILOE.

III. CARACTERISTIQUES DES PRINCIPAUX CIRCUITS UTILISES.

- A - Description du microprocesseur MC 6800
- B - Memoire Reprom MCM 2716.
- C - Circuit d'horloge programmable MCM 6840
- D - Description du P.I.A. MC 6820

IV. REALISATION :

- 4.1 Adressage des circuits ou décodage
- 4.2 Commande des buffers de données
- 4.3 Lignes de controles utilisées
- 4.4 Utilisation des circuits

V. PROGRAMMATION DU SYSTEME :

- 5.1 Boucle d'autorisation de montée des barres
- 5.2 Boucle de chute d'urgence
- 5.3 Programme auto-testant
- 5.4 Remarques concernant les différents sous-programmes.

INTRODUCTION

Afin de prévoir une énergie de remplacement à l'énergie d'origine fossile et pour des raisons économiques (voire politiques et stratégiques), les grands pays industrialisés ont été amenés à développer la production d'énergie électrique à partir des produits fissiles.

Cette forme d'énergie est plus communément appelée énergie nucléaire.

Les premières piles atomiques ont été construites pour produire du plutonium à des fins militaires. Ces installations ont été complétées par des ensembles destinés à récupérer la chaleur extraite des piles pour leur refroidissement et à utiliser cette énergie calorifique pour produire de l'électricité.

Le travail qui nous a été confié consiste en la réalisation d'un dispositif pour la protection d'un réacteur nucléaire expérimental basé sur l'utilisation d'un système de développement "EXORCISER" réalisé autour du microprocesseur MC 6800. Le document qui va suivre traite dans ses deux premiers chapitres, des différents aspects sur la sécurité et la protection des réacteurs nucléaires, la description du réacteur SILOE, du C.E.N.G de Grenoble et son système de protection. Quant au troisième chapitre, il donne un bref aperçu sur les principaux circuits utilisés suivi d'une description détaillée de la partie Hardware du travail contenu dans le chapitre quatre.

Dans le chapitre cinq sont développés les différents organigrammes et programmes permettant de contrôler le fonctionnement du réacteur.

La consultation des rapports de sûreté du C.E.A. (62 - 63) nous a permis de dégager les principaux critères sur lesquelles repose la conception du dispositif.

CHAPITRE I - GENERALITES

I - DESCRIPTION SUCCINCTE D'UN REACTEUR NUCLEAIRE

Un réacteur nucléaire comporte trois parties ; le coeur, comparable à une chaudière où est produite l'énergie ; un dispositif de réglage et de sécurité ; une enveloppe étanche pouvant supporter des pressions importantes.

Trois éléments importants caractérisent le coeur :

- Le combustible qui, en subissant le phénomène de fission sous l'action de neutrons incidents, est la source du dégagement de l'énergie sous forme de chaleur.

- Le modérateur, destiné à ralentir par choc les neutrons pour les rendre plus aptes à produire la fission, en général c'est un ~~corps~~ solide ou liquide constitué d'atomes de noyaux très légers sur lesquels les neutrons viennent rebondir, à chaque choc ils perdent une partie de leur énergie cinétique et ainsi ils atteignent le seuil d'énergie requis pour être capturés par le noyau du combustible.

- Le fluide caloporteur, chargé d'évacuer hors du réacteur la chaleur libérée par la fission.

Le dispositif de réglage et de sécurité qui contrôle la réactivité est essentiellement composé de barres fabriquées à l'aide de matériaux ayant des sections efficaces de captures très importantes pour les neutrons. Les barres sont de deux sortes, les barres de contrôle dont l'enfoncement plus ou moins important dans le coeur permet de contrôler la réaction en chaîne ; les barres de sécurité qui stoppent la réaction nucléaire en cas d'incident majeur. Ces dernières peuvent pénétrer à l'intérieur du coeur en un temps très court sous l'action de la force de gravitation. Leur nombre est suffisamment important pour valier à tout risque de non fonctionnement. (voir Fig I.1).

II LES ACCIDENTS PROBABLES PENDANT LE FONCTIONNEMENT DES BILES ATOMIQUES

Les accidents nucléaires sont multiples ; nous pouvons citer entre autres :

- Accidents dus à des ensembles critiques.

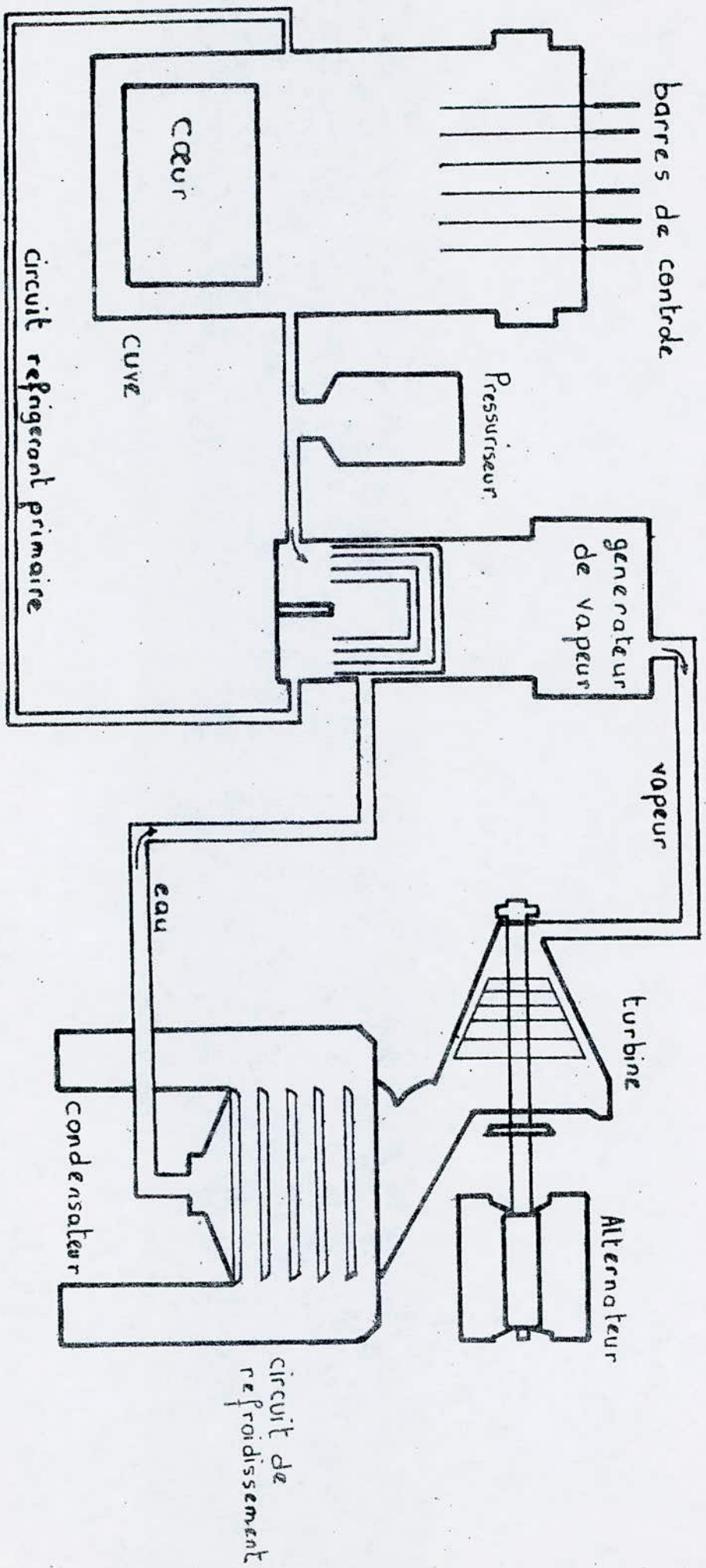


Fig 1.1

- Accidents dus à des fausses manoeuvres.
- Accidents dus à des pannes d'appareillages électriques, électroniques ou mécaniques.
- Accidents dus à la conception initiale de la pile ou de son contrôle.
- Accidents d'origine nucléaire.
- Accidents qui entraînent la surchauffe du modérateur ou du combustible.
- Accidents entraînés par le feu.

II.1 - Accident de démarrage :

C'est souvent pendant cette période de marche de la pile que les accidents les plus graves sont susceptibles de se produire. L'accident est souvent fonction à la fois des caractéristiques nucléaires et thermodynamiques de la pile ; et du taux d'insertion de réactivité ; aussi le démarrage d'une pile demeure certainement une des opérations les plus délicates dans sa conduite. Il est fondamental de pouvoir suivre à tout instant dans cette opération l'évolution de la puissance neutronique et de veiller à ce que cette évolution soit limitée par le taux des neutrons retardés. La phase de démarrage étant l'une des deux phases traitées dans cette étude, nous reviendrons plus loin, plus en détail sur cette partie.

II.2 - Accident de réfrigération :

Il est lié en général aux pannes intervenant sur le système d'évacuation des calories (rupture du circuit primaire). En effet, il est impossible d'annuler complètement la puissance neutronique d'une pile une fois qu'elle a fonctionné. Ceci est dû (par exemple, pour une pile à l'uranium naturel sans source, modérée au graphite) aux fissions spontanées qui engendrent une puissance de quelques milliwatts. En plus de cette puissance neutronique résiduelle que l'on ne peut jamais annuler, il existe une énergie calorifique non négligeable qui est fournie par la désintégration des produits de fission accumulés dans les barreaux combustibles. L'arrêt du système de réfrigération est donc désastreux puisque l'élévation de température peut entraîner la fusion du coeur. Pour palier à ce type d'accident on prévoit souvent plusieurs circuits d'évacuation de la puissance résiduelle.

III PHILOSOPHIE DE LA SECURITE DE FONCTIONNEMENT DES PILES ATOMIQUES

La philosophie de la sécurité de fonctionnement des piles atomiques s'oriente vers les critères suivants :

1. Arrêter le moins souvent la pile :

- d'abord pour amortir le cout de sa construction et de son installation,

- diminuer le nombre des opérations de démarrage

fois

2. Arrêter la pile chaque qu'il y a un doute sur la sécurité de fonctionnement (vitesse de l'arrêt = fonction de l'accident à éviter).

3. Eviter les interventions manuelles, ceci implique l'automatisation de toutes les manoeuvres et la mise en place de dispositifs complexes et couteux.

IV SYSTEME DE PROTECTION

Plusieurs systèmes concourent à contrôler les installations nucléaires ; nous distinguons principalement : - le système de contrôle
- le système de protection.

Le système de contrôle tend à maintenir le réacteur dans un domaine de fonctionnement sûr défini avec certaines marges de sécurité.

Le système de protection est l'ensemble des équipements électriques et mécaniques nécessaires pour maintenir le réacteur dans un état sûr en cas de transitoires anormaux ou d'accidents. En effet, dans ces cas là, il est nécessaire d'arrêter le réacteur (arrêt d'urgence) pour éviter de sortir des limites du domaine de fonctionnement. L'arrêt d'urgence est provoqué par coupure de l'alimentation des mécanismes de groupes de barres qui chutent par gravité dans le coeur.

Sur les installations actuelles, les fonctions de protections sont assurées par des automatismes cablés ; toutefois, pour avoir une fiabilité et une sûreté de fonctionnement accrues, une plus grande souplesse d'utilisation (modularité ; adaptabilité) et une amélioration des critères de déclenchement par un traitement de l'information la tendance est à l'utilisation des systèmes numériques et programmés. Les calculateurs sont déjà présents dans les systèmes de contrôle, cependant on note une certaine réticence des autorités de sûreté nucléaire vis-à-vis de leur introduction dans les systèmes de protection.

Divers projets sont en étude ou en cours de réalisation ; nous pouvons citer entre autres :

- Le système (TRTC), chargé de la surveillance des températures du coeur dans les réacteurs de type PHENIX et SUPER PHENIX. Il est composé de 2 systèmes séparés à base de minicalculateurs industriels.

- Le système de protection intégré numérique ; il possède une structure multiprocesseur à redondance quatre.

CHAPITRE II - LE SYSTEME DE PROTECTION

A - CHOIX D'UN SYSTEME DE PROTECTION

Un système de protection, depuis l'acquisition des paramètres jusqu'aux éléments élaborants les ordres de sécurité, comporte de nombreux éléments.

1.1 - Principales composantes d'un système de protection :

Il comprend essentiellement les équipements suivants :

- Les équipements de détection des paramètres à surveiller.
- Les équipements destinés à élaborer les ordres de démarrage (ou d'arrêt) des actionneurs du système de protection. Ces équipements réalisent un certain nombre de fonctions appelées "fonctions de protection" tels que :
 - . Fonctions d'arrêt d'urgence.
 - . Fonctions de sauvegarde qui peuvent être
 - injection de sécurité,
 - isolement et aspersion d'enceinte,
 - démarrage d'alimentation de secours.

A. II - Système numérique de protection

Pour être admis à faire fonctionnellement partie du système de protection d'un réacteur, un calculateur doit satisfaire à toutes les exigences constitutives qui s'appliquent au système de protection. Ceci entraîne l'utilisation de plusieurs calculateurs redondants dont l'ensemble constitue le système numérique chargé de provoquer à l'issue d'un vote une ou plusieurs actions de sécurité.

A. III - Redondance

Il existe plusieurs types de redondance dans un système de protection.

La redondance des capteurs fait qu'à chaque grandeur physique sont associées plusieurs mesures. Le logiciel de traitement effectue un vote entre les états de mesure ; et le programme peut déterminer le ou les calculateurs défaillants.

La redondance des voies de traitement fait qu'une grandeur peut être prise en compte plusieurs fois, ce qui améliore encore la probabilité de détection d'un incident. Enfin, il y a redondance sur les voteurs ; à chacun est associé un actionneur agissant sur un groupe de barres. La figure 2.1 représente un système de redondance 2/3 dont chaque voie de mesure est gérée par 3 calculateurs.

A.IV - Système de détection de défaillances

Pour détecter une anomalie dans un des calculateurs, il faut vérifier le bon fonctionnement pour un grand nombre de combinaisons de données entrant normalement dans ce dispositif. C'est une tâche assez complexe pour laquelle il existe plusieurs solutions. La figure 2.2 représente quelques possibilités de tests pour un ensemble de calculateurs.

- a) Dispositif de test pour chaque calculateur.
- b) Tests réciproques entre calculateurs.
- c) Auto-test calculateurs.

A.V - Choix d'une structure (Auto-test)

Le test de bon fonctionnement du système sera fait par auto-test des 3 calculateurs qui travailleront en autonomie sans aucune synchronisation. Il en résulte une grande netteté du système en cas de défaillance : ce qui facilite leurs détections et leurs réparations. L'organe de décision sera réduit à un minimum de matériel ce qui est favorable à la fiabilité du système.

Jusqu'à présent, une centralisation d'acquisition de données était normale pour les centrales nucléaires qui sont déjà partiellement protégées par calculateurs. Cependant il y a une forte tendance à la décentralisation de l'acquisition des données afin de réduire le volume des câbles nécessaires pour envoyer le grand nombre de données du coeur du réacteur jusqu'au centre de traitement.

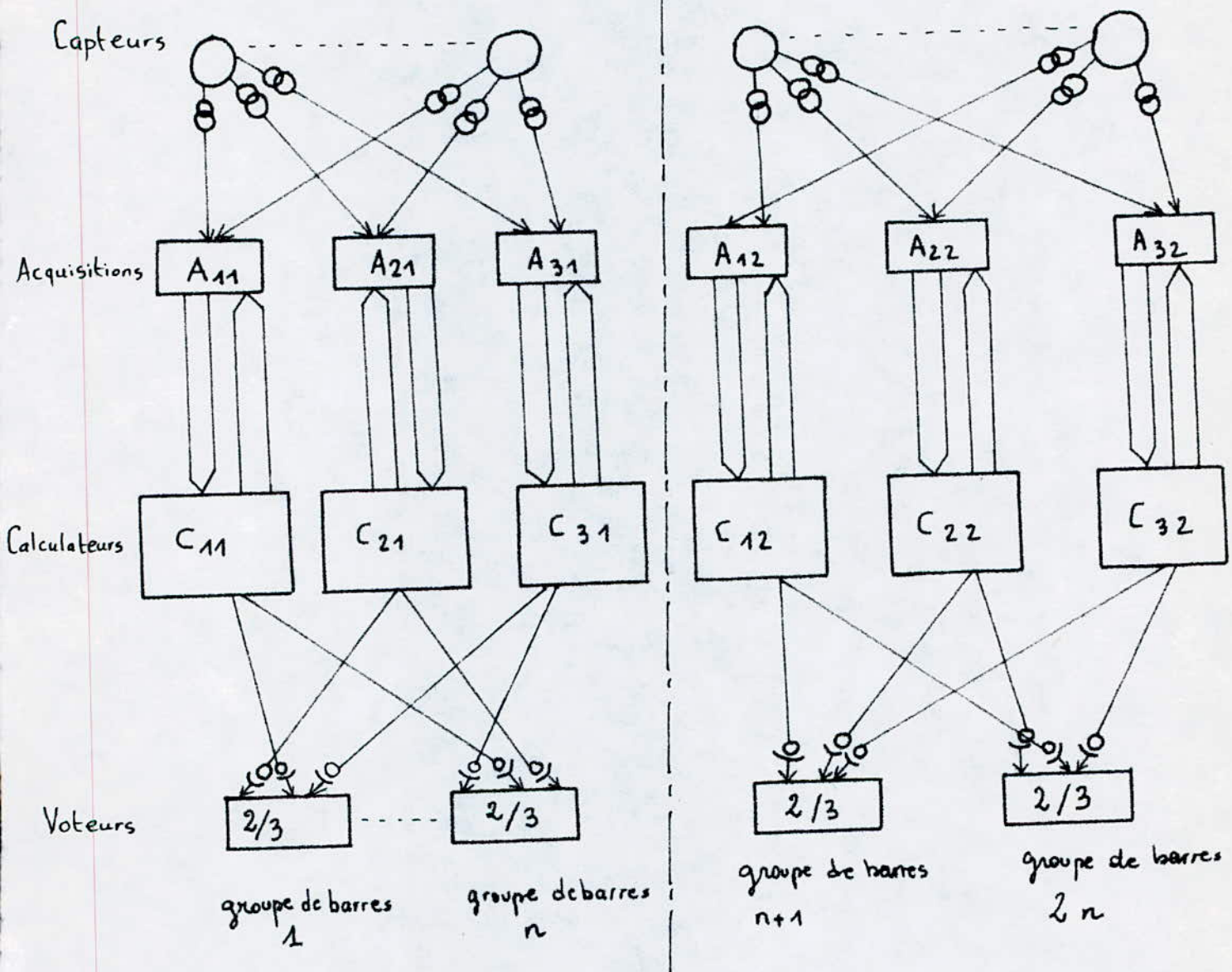
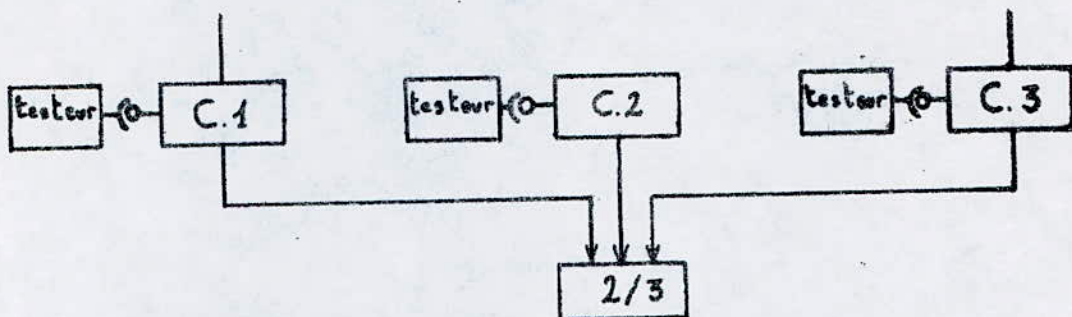
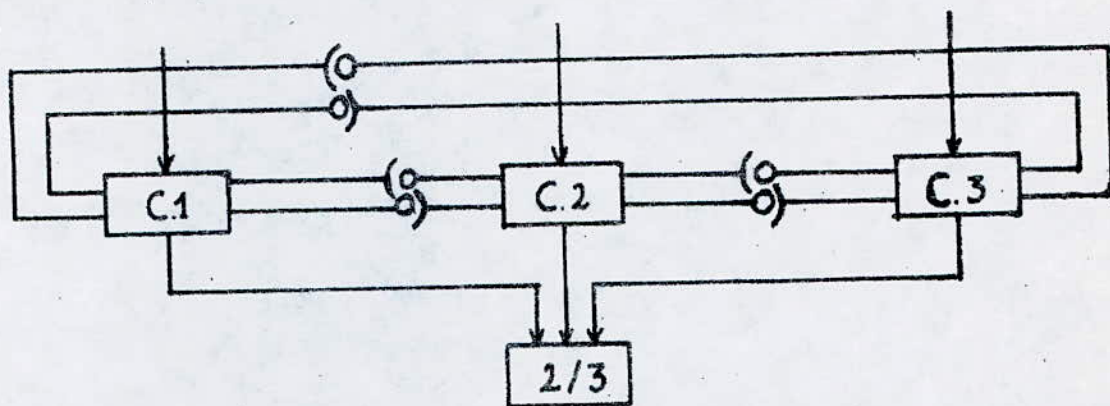


fig: 2.1

Dispositif de test pour chaque calculateur



Tests reciproques entre calculateurs



Auto-test calculateur

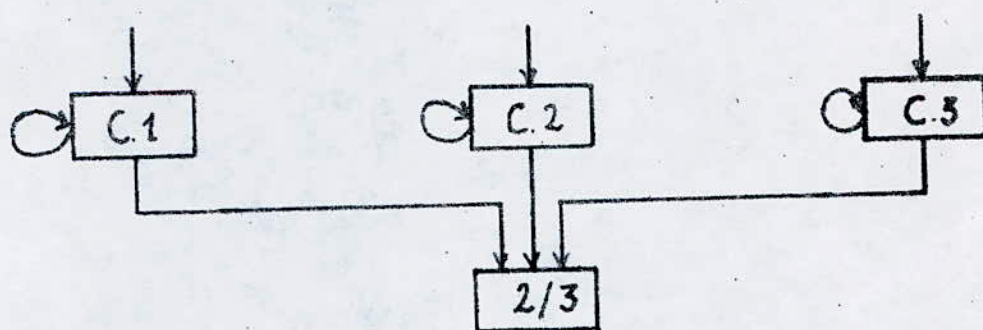


Fig: 2.2

B - APPLICATION AU REACTEUR DE RECHERCHE SILOE

Les paragraphes précédents nous ont permis de voir un système microprogrammé à redondance triple ; chaque calculateur étant autotestant. Comme application nous nous baserons sur un réacteur expérimental de type piscine, le réacteur SILOE du C.E.N.G. (Grenoble).

Dans ce chapitre nous définirons le système des barres de commandes, les chaînes de mesures nucléaires et le système de sécurité.

B.I - Système de barres de commande

Les critères à prendre en compte pour définir l'efficacité des barres de commande sont de deux types :

Sur le plan de la sécurité, il est nécessaire d'avoir en toutes circonstances, et notamment en début de cycle deux barres de sécurité en position haute : on assure ainsi l'arrêt du réacteur, même en cas de coincement d'une des barres.

Sur le plan de la compensation et du pilotage, il faut compenser les effets de température, d'empoisonnement Xenon et Samarium et conserver une antiréactivité suffisante pour que le cycle en pile ait la durée souhaitée (sur le plan expérimental et économique); et que la marge de pilotage assure un fonctionnement normal jusqu'en fin de cycle.

Compte tenu de l'expérience acquise sur SILOE, cinq éléments de commande suffisent pour contrôler un coeur de 30 à 35 éléments.

B.II - Chaînes de mesures nucléaires

La puissance nominale (P.N) du réacteur est de 10 MW, avec possibilité de fonctionner à des puissances supérieures. La gamme de mesure s'étend donc de 0,3 W à 2,5 P.N. Cette gamme est divisée en trois sous gammes :

- de 3.10^{-8} P.N à 3.10^{-4} P.N
- de 3.10^{-7} P.N à 2,5 P.N
- de 3.10^{-2} P.N à 2,5 P.N

Les mesures dans chaque sous gamme sont assurées par :

- Une chaîne de fission ou chaîne de démarrage de 3.10^{-8} à 3.10^{-4} P.N
- Deux chaînes logarithmiques ou chaîne en puissance de 3.10^{-7} à 2,5 P.N
- Trois chaînes linéaires dont une de pilotage et deux de sécurité de 3.10^{-2} à 2,5 P.N

B.II.1 - Chaînes de démarrage :

a) Détecteur : chambre à fission (CFU1 ; CFU2), enfermée dans une perche étanche en AG3.

b) Chaîne de mesure : Préamplificateur, amplificateur, discriminateur, mise en forme, intégrateur logarithmique et périodémètre.

c) Gamme de mesure :

Taux de comptage 1 à 10^5 C/S

Temps de doublement -30 S à + 3 S

d) Seuils :

Seuils puissance : 1 seuil mini I1 = 2 C/S

1 seuil maxi I2 = 50 000 C/S

Seuils période : 2 seuils positifs I1 = 5 sec

I2 = 3 sec

B.II.2 - Chaînes logarithmiques

a) Détecteur : chambre C.C.C enfermée dans une perche étanche en AG3.

b) Chaînes de mesure : Préamplificateur, amplificateur, périodémètre.

c) Gamme de mesure :

Amplificateur : 10^{-11} à 10^{-4} A

Périodémètre : -30 S à + 3 S

d) Seuils

Seuils puissance : 2 seuils. 1 seuil mini I1 = 10^{-10} A

1 seuil maxi I2 = $6 \cdot 10^{-5}$ A

Seuils période : 2 seuils positifs T1 = 5 sec

T2 = 3 sec

B.II.3 - Chaînes de sécurité :

a) Détecteur : chambre C.C.C enfermée dans une perche étanche en AG3

b) Chaîne de mesure : Amplificateur

c) Gamme de mesure : 5.10^{-7} à 5.10^{-5} A

d) Seuils :

Un seuil chute normale à 1,5 P.N

Un seuil chute urgente à 2 P.N

Un seuil minimum à 5.10^{-2} P.N

B.II.4 - Chaînes linéaires de pilotage

a) Détecteur : chambre C.C.C 2 enfermée dans une perche étanche en AG5.

b) Chaîne de mesure : Amplificateur, calculateur d'écart entre la puissance lue par l'électronique 'P' et la puissance 'Po'.

c) Gammes de fonctionnement

Gamme A : 0 - 250 KW

B : 0 - 1 MW

C : 0 - 2,5 MW

D : 0 - 5 MW

E : 0 - 25 MW

Commutateur de gamme à cinq positions correspondantes aux gammes A,B,C,D,E placé au pupitre.

Si le commutateur de gamme n'est pas sur la gamme A ou B, il n'est pas possible de démarrer le réacteur. Ceci est destiné à éviter que l'opérateur ne démarre le réacteur sur l'une des autres gammes.

B.III - Système de sécurité

Les systèmes de sécurité sont de deux types :

- Les alertes qui ne comportent qu'une signalisation optique et acoustique.
- Les alarmes qui comportent une action de sécurité doublée d'une signalisation optique et acoustique.

Dans notre étude nous nous intéressons particulièrement aux boucles de démarrage et de chute d'urgence.

B.III.1 - Les alarmes :

Les alarmes sont destinées à prévenir l'opérateur d'une situation anormale en traînant une action automatique urgente. L'attention de l'opérateur doit être attirée sur la manoeuvre automatique en cours, pour lui permet-

tre soit de l'interrompre (cas de réduction de puissance), soit au contraire de l'exécuter correctement en cas de mauvaise exécution automatique.

B.III.2 - Boucle Autorisation de démarrage :

Il s'agit d'une boucle à émission de courant, interdisant l'alimentation des électroaimants des barres au démarrage de la pile, et le passage du pilotage manuel au pilotage automatique, si certaines conditions ne sont pas remplies. (voir Fig 2.3).

Les conditions à remplir sont les suivantes :

- Indication suffisante sur la chaîne à fission (seuil mini de puissance)
- Indication au dessous du seuil maximum sur la chaîne à fission (seuil maxi puissance). Cette interdiction est inhibée automatiquement dès qu'il y a une indication de puissance suffisante sur la chaîne logarithmique 1 et de la chaîne logarithmique 2 (seuils mini puissance).
- Commutateur de gamme sur gamme A ou B. Cette interdiction est inhibée automatiquement dès que BS2 est en butée haute.
- Clapet de convection naturel fermé.
- Bouchon canal 1 en place
- Bouchon canal 2 en place
- Porte à camion fermée
- Clé de ronde mécanicien en place
- Clé de ronde électricien en place
- Fermeture du circuit d'alimentation des électroaimants par la clé d'autorisation de démarrage.

B.III.3 - Boucle chute d'urgence

C'est une boucle à manque de courant provoquant :

- La chute de toutes les barres par coupure de l'alimentation des électroaimants. (voir Fig 2.4).
- Le passage de pilotage automatique au pilotage manuel.
- La descente des électroaimants des barres.

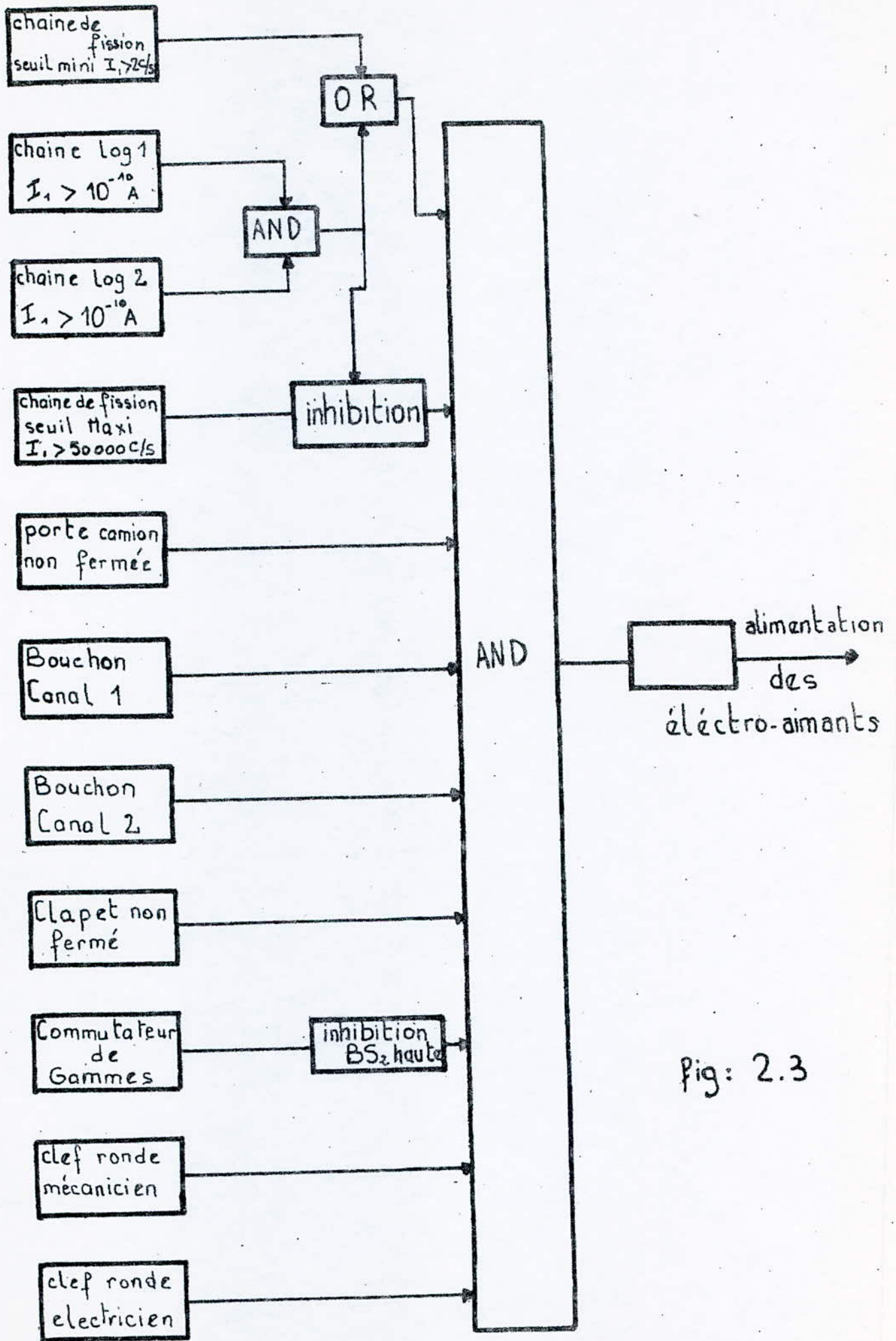


Fig: 2.3

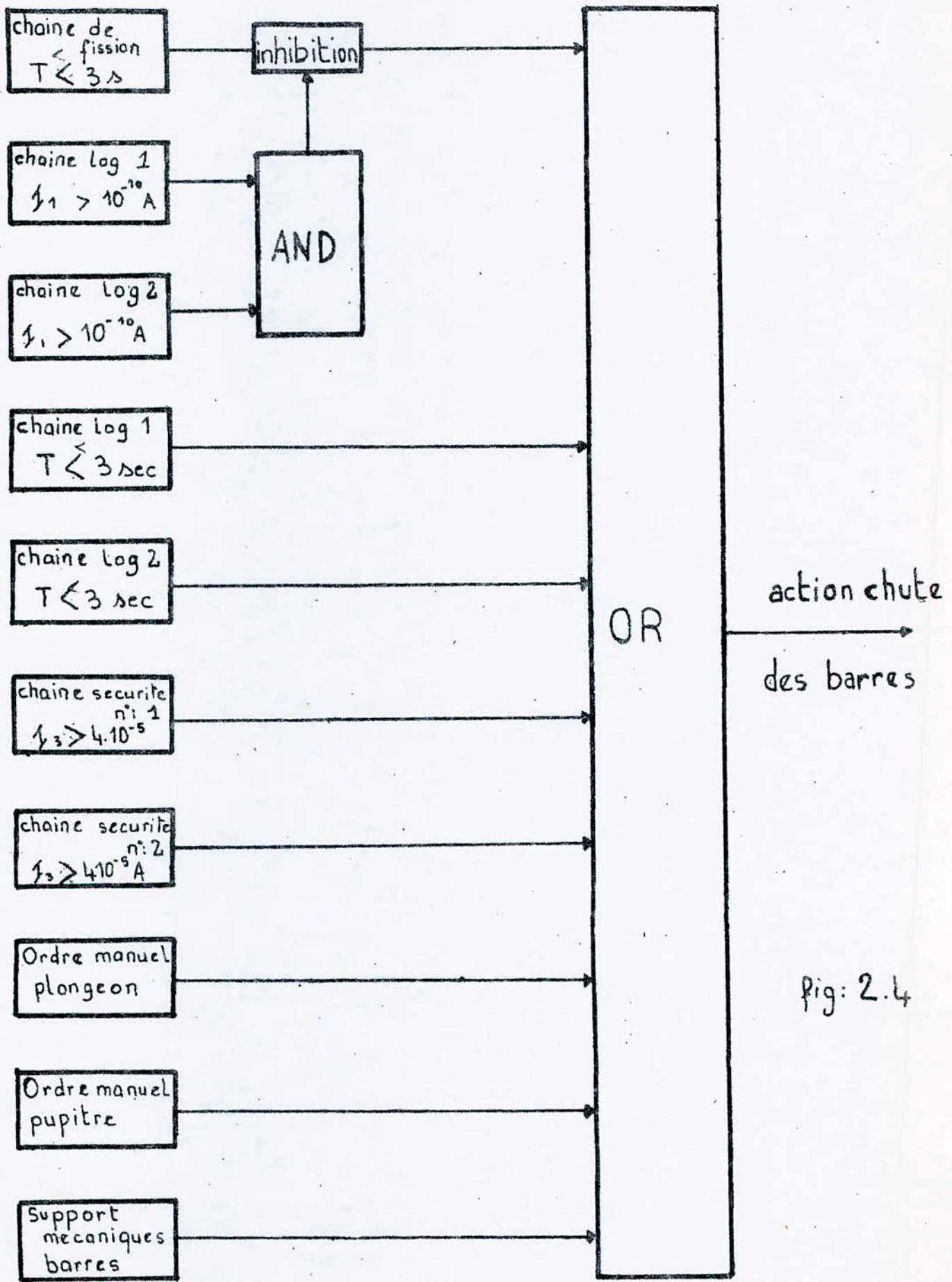


Fig: 2.4

Les ordres entraînant la chute urgente proviennent :

- de la chaîne à fission de démarrage : période inférieure à T2 (2ème seuil période). Cette sécurité est inhibée automatiquement lorsque les deux chaînes logarithmiques donnent une indication de puissance (seuil minimum puissance).
- Des chaînes logarithmiques 1 et 2 : période inférieure à T2 (2ème seuil période).
- Des chaînes de sécurité : dépassement de puissance supérieure à une valeur donnée (2ème seuil maxi).

CHAPITRE III - CARACTERISTIQUES DES PRINCIPAUX CIRCUITS UTILISES

A - DESCRIPTION DU MICROPROCESSEUR MC 6800

A.1 - Généralités

C'est un microprocesseur 8 bits possédant 72 instructions, un bus de données bidirectionnel de 8 bits et un bus d'adresse de 16 bits, ce qui lui donne un espace d'adressage de 64 K.octets.

Le MC 6800 comprend les registres suivants :

- . 2 accumulateurs A et B de 8 bits
- . 1 registre d'index de 16 bits
- . 1 compteur programme de 16 bits
- . 1 pointeur de pile de 16 bits
- . 1 registre d'état ou code condition de 8 bits dont cinq d'entre eux indiquent les résultats d'une opération sur l'UAL :
- . N : négatif
- . Z : zéro
- . C : retenue
- . H : demie retenu
- . I : masque d'interruption
- . V : dépassement en complément à deux.

Les 2 bits de poids fort restants sont toujours à 1.

A.2 - Modes d'adressage :

Le MC 6800 possède 7 modes d'adressage.

- Adressage immédiat :

Dans ce mode d'adressage l'opérande dispose de un à deux octets (suivant le type d'instruction) placés après le code opération. Seuls les instructions concernant le registre d'index et la pile utilisent des opérandes immédiats à 2 octets.

- Adressage direct :

L'instruction a une longueur de 2 octets. Ce mode d'adressage ne permet l'adressage que d'une seule page (adresse 00 à FF).

- Adressage étendu :

L'instruction a une longueur de 3 octets. Les 2 derniers contiennent l'adresse absolue (16 bits) de l'opérande.

- Adressage indexé :

L'instruction a une longueur de 2 octets. pour obtenir l'adresse de l'opérande, l'unité centrale ajoute au contenu de l'index, la valeur du deuxième octet de l'instruction. Ceci permet d'accéder une zone mémoire de 256 octets à partir de l'adresse définie par le registre d'index.

- Adressage implicite :

L'instruction a une longueur de 1 octet. Il y a 25 instructions de ce type portant sur 1 ou 2 registres.

- Adressage relatif :

L'instruction a une longueur de 2 octets. Le second octet sert de déplacement relatif par rapport à la valeur courante du compteur programme + 2. Ce déplacement est codé en complément à 2.

$$AE = PC + 2 + \text{offset}$$

AE = adresse effective

PC = compteur programme.

Avec ce mode d'adressage on peut accéder à un octet placé dans l'espace PC - 126 ; PC + 129.

- Adressage d'accumulateurs :

Dans ce mode on spécifie l'un des 2 accumulateurs A ou B, les instructions ont une longueur de 1 octet.

Types d'instructions :

Le MC 6800 comprend 72 instructions qui peuvent être classées en

- . instructions de transfert de données
- . instructions de modification de données
- . instructions arithmétiques
- . instructions logiques
- . instructions de branchements
- . instructions de test et de manipulation du registre d'état
- . instructions sur le registre d'index et le pointeur de pile
- . instructions liées aux interruptions.

A.3 - Description externe du MC 6800

Signaux de contrôle :

- ϕ_1 et ϕ_2 : ce sont 2 entrées donnant les 2 phases d'horloge dont la machine a besoin. Ces signaux doivent satisfaire à certaines conditions de niveau et de non recouvrement ; voir figure 3.2.

- HALT : cette entrée commande le fonctionnement de l'unité centrale. Si elle est au niveau haut, la machine travaille, si elle passe au niveau bas, celle-ci s'arrête à la fin de l'exécution de l'instruction en cours. Elle met en 3ième état ses sorties bus de données, bus adresses, VMA passe au niveau bas et BA au niveau haut.

- TSC (Three state control) : cette entrée contrôle l'état du bus d'adresse et de la ligne R/ \bar{w} . Elle demande à la machine de les mettre en mode troisième état, cet état apparaît 500 ns après que TSC = 2,25 volts. Les lignes VMA et BA sont au niveau bas.

- R/ \bar{w} : cette sortie compatible TTL indique au milieu extérieur, mémoires et périphériques, le type d'accès que fait l'unité centrale. Il y a accès en lecture si R/ \bar{w} est à l'état haut et accès en écriture si R/ \bar{w} est à l'état bas.

Si une requête TSC ou HALT est faite, la ligne R/ \bar{w} est mise en troisième état.

- VMA (valid memory address) : cette sortie est utilisée pour mentionner aux organes extérieurs qu'une adresse est validée sur le bus d'adresse. En général on utilise cette sortie pour sélectionner les décodeurs d'adresses.

- DBE (Data bus enable) : cette entrée contrôle l'état du bus de données de la machine. C'est une entrée compatible TTL et qui met le bus en troisième état, si elle est au niveau bas. Dans un mode normal d'utilisation du 6800 cette entrée est pilotée par la phase ϕ_2 de l'horloge.

- BA (bus available) : en fonctionnement normal cette sortie est au niveau bas. Si le MC 6800 met cette ligne au niveau haut, ceci implique que la machine est arrêtée et que le bus d'adresses est en troisième état donc disponible pour un autre partenaire. Cette situation apparaît après que la ligne $\overline{\text{HALT}}$ ait été mise à 0 ou que la machine ait exécuté l'instruction "Wait". Dans ce cas toutes les sorties qui peuvent être mises en troisième état le sont ; les autres sont mises à un niveau inactif.

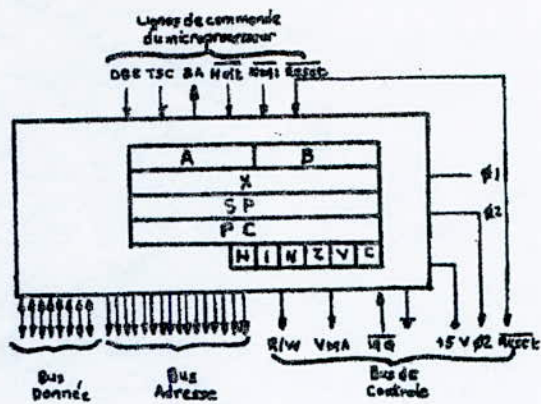


Fig:

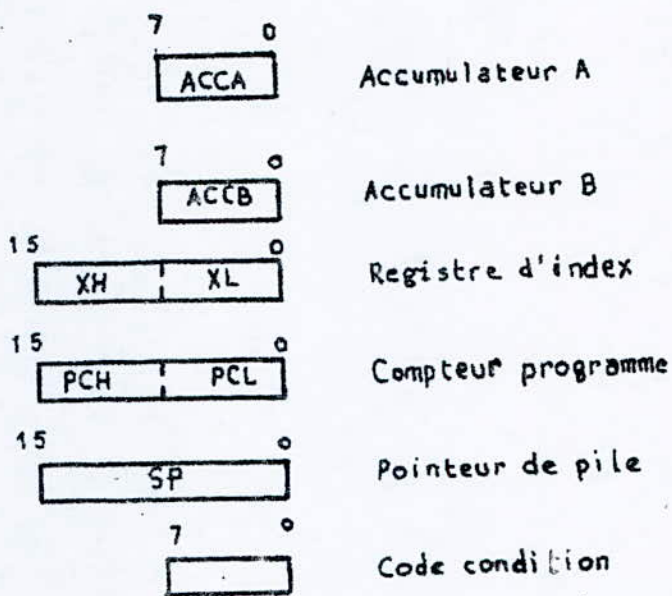


Fig:

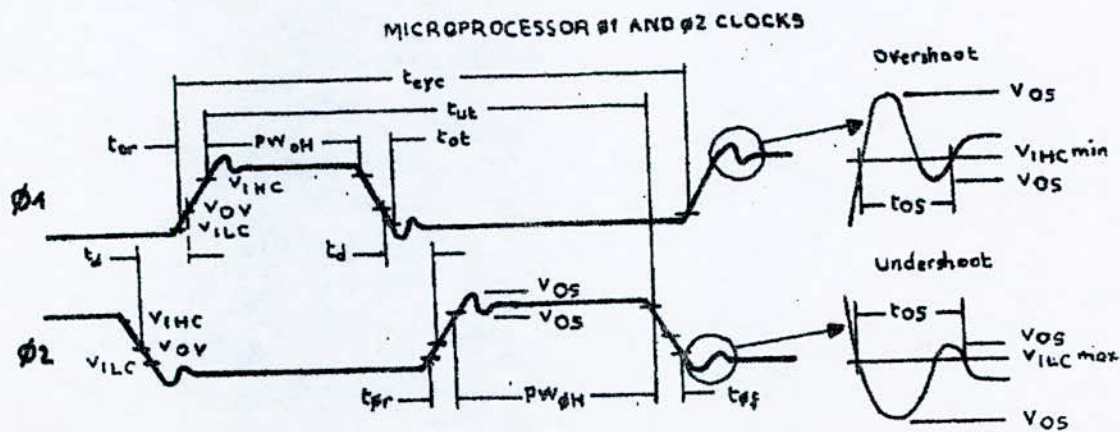


Fig3.2

La machine reste dans cet état tant que l'entrée HALT n'est pas remise à l'état haut ou si une interruption NMI ou IRO n'est pas détectée.

- Bus d'adresse : $A_0 \div A_{15}$

16 sorties sont utilisées par le MC 6800 pour indiquer l'adresse de l'octet mémoire référencé. Ces sorties sont munies d'amplificateurs trois états. Ainsi la machine peut mettre ses 16 sorties en troisième état. En général le bus d'adresses est utilisé en association avec la ligne VMA qui est une ligne de contrôle pour ce bus. Si VMA est portée au niveau haut une adresse est véhiculée par le bus et est validée, sinon, elle n'est pas significative.

- Bus de données : $D_0 \div D_7$

Ces 8 lignes bidirectionnelles sont utilisées par l'unité centrale pour échanger des informations (octets). Elles ont la possibilité d'être mises en troisième état. Le bus de données est utilisé avec la ligne R/W qui indique au milieu extérieur le sens dans lequel l'échange a lieu.

Si R/W est à l'état haut : le MC 6800 accède l'octet en lecture ; l'échange a lieu dans le sens : milieu extérieur \rightarrow unité centrale.

Si R/W est à l'état bas : le MC 6800 accède l'octet en écriture ; l'échange a lieu dans le sens : unité centrale \rightarrow milieu extérieur.

A.4 - Sélection des éléments extérieurs :

Le MC 6800 possède un espace d'adressage de 64 K. Les mémoires ainsi que les appareils périphériques sont connectés sur le même bus. La sélection d'une mémoire ou d'un périphérique se fait par décodage des adresses. En général la manière la plus simple de sélectionner un élément est d'utiliser les bits de poids fort des adresses combinés à des dispositifs logiques.

A.5 - Mécanismes d'interruptions :

Le MC 6800 possède : 2 mécanismes d'interruptions Hardware
1 mécanisme d'interruption Software
1 mécanisme d'initialisation.

Dans tous les cas l'unité centrale effectue un branchement indirect à une adresse dépendant du type de l'interruption mise en jeu et du nombre de lignes d'adresses utilisées. Les octets mémoires d'adresses FFF8 à FFFF contiennent les adresses de ces différentes routines.

La table suivante donne l'affectation de ces octets :

Vecteur		mécanisme
MSB	LSB	
FFFE	FFFF	RESTART
FFFC	FFED	NMI
FFFA	FFFB	SWI
FFF8	FFF9	IRQ

Détaillons à présent les deux mécanismes d'interruption hardware ; cependant, il faut noter le rôle joué par l'entrée RESET. Elle est à front montant sensitive, c'est à dire qu'elle est active après que le MC 6800 ait constaté le passage de celle-ci de l'état bas à l'état haut. Le MC 6800 accède alors aux deux octets d'adresses FFFF et FFFE et stocke leur contenu dans le compteur programme. Il positionne le bit I des interruptions IRQ. Le programme d'initialisation prévu par l'utilisateur est alors activé. Cette entrée doit être maintenue au niveau haut pour que la machine fonctionne.

IRQ (interrupt Request)

Cette entrée est active quand elle est au niveau bas. Elle signifie alors qu'il y a une demande d'interruption venant de l'extérieur. Si le bit I de masquage des interruptions est à zéro, l'interruption peut avoir lieu; sinon le MC 6800 continue le programme en cours tant que le bit I est à un. Si l'interruption est possible, le MC 6800 termine l'instruction en cours, puis il y a une sauvegarde de l'état processeur dans la pile comme il est indiqué sur la figure 3.3.

Le bit de masque des interruptions est positionné à un et le MC 6800 accède aux octets d'adresses FFF8 et FFF9 pour prendre l'adresse de la routine des interruptions de type IRQ.

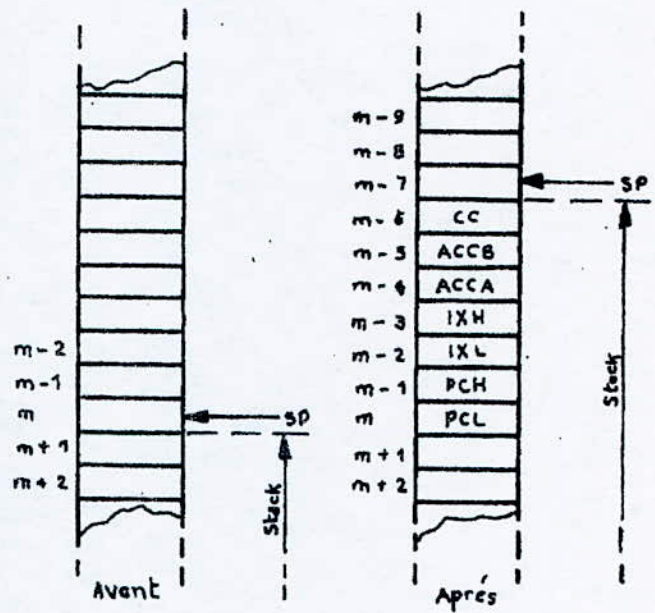
NMI (non masquable interrupt)

Cette entrée est à front descendant, c'est à dire sensible au passage du niveau haut au niveau bas. Les mécanismes que pour l'IRQ sont mis en jeu avec les différences suivantes :

- l'interruption a toujours lieu, le bit I n'est pas significatif.
- Le MC 6800 accède aux adresses FFFC et FFED pour connaître l'adresse d'implantation de la routine.

fig: 3.3 Sauvegarde lors d'une interruption

SP = Stack Pointer
 CC = Condition Codes
 ACCB = Accumulator B
 ACCA = Accumulator A
 IXH = Index Register, Higher Order 8 Bits
 IXL = Index Register, Lower Order 8 Bits
 PCH = Program Counter, Higher Order 8 Bits
 PCL = Program Counter, Lower Order 8 Bits



Il est à noter l'existence d'un mécanisme d'interruption programmable, celui-ci est activé par l'instruction SWI. Le microprocesseur procède alors à une sauvegarde de l'état des différents registres et accède aux octets d'adresses FFEA et FFFB pour connaître l'adresse de l'implantation de la routine du type SWI.

B - MEMOIRE REPRM MCM 2716.

La MCM 2716 est une mémoire morte reprogrammable. Pour des applications pour lesquelles un automatisme est exigé, ce type de mémoire permet de stocker les programmes. A la mise en marche du système, les programmes implantés peuvent être immédiatement exécutés.

Elle possède une capacité de 16 384 bits organisés en 2 048 mots de 8 bits. Le brochage est donné en annexe.

C. CIRCUIT D'HORLOGE PROGRAMMABLE : MC 6840

Le MC 6840 est un PTM (Programmable Timer Module) constitué de 3 compteurs binaires indépendants, commandés et contrôlés par l'unité centrale grâce à leurs registres de commande, d'état et de données. (Fig 3.4).

C.1 - Description interne

Chacun des 3 timers se compose d'un compteur 16 bits et d'un registre de chargement "Latch" où est stockée la valeur d'initialisation du compteur. L'arrivée d'un ordre d'initialisation provoque le positionnement du compteur à la valeur préchargée dans le registre.

Lorsque le compteur est validé, celui-ci se met ensuite à décompter jusqu'à zéro. La fin du décomptage est indiquée par le positionnement d'un bit (drapeau) dans le registre d'état.

C.1.1 - Registre de contrôle : CR.X (X = 1,2 ou 3)

Ils sont au nombre de 3. Ces registres sont accessibles par le microprocesseur en écriture seulement et leurs contenus imposent le mode de fonctionnement (Fig 3.5). Il est à noter que les bits CRX3, CRX4 et CRX5 permettent le choix du mode de fonctionnement des différents Timers (Fig 3.6) Nous reviendrons plus loin sur les différents modes de fonctionnement.

N.B : La notation CRX2 s'interprète de la façon suivante :

Le bit 2 du registre de contrôle X (X = 1,2 ou 3).

C.1.2 - Registre d'état :

C'est un registre de 8 bits qui collecte des informations sur les 3 compteurs. Ce registre est accessible uniquement en lecture par l'unité centrale (Fig 3.7).

I_1, I_2, I_3 , sont les drapeaux de "time out" (fin de décomptage du registre $i = 1, 2$ ou 3). Ils sont positionnés à 1 lors de l'arrivée à 0 du compteur. Le bit de poids fort correspond aux demandes d'interruptions du type IRQ.

si $INT = 1 \implies$ IRQ est à l'état bas (donc active).

La formule booléenne de INT est : $INT = I3.CR_{3,6} + I2.CR_{2,6} + I1.CR_{1,6}$

Les drapeaux I_1, I_2, I_3 sont remis à zéro, soit par un reset (externe ou interne), soit par une initialisation du compteur ou encore par sa lecture quand elle suit immédiatement la lecture du registre d'état.

Structure et brochage du 6840

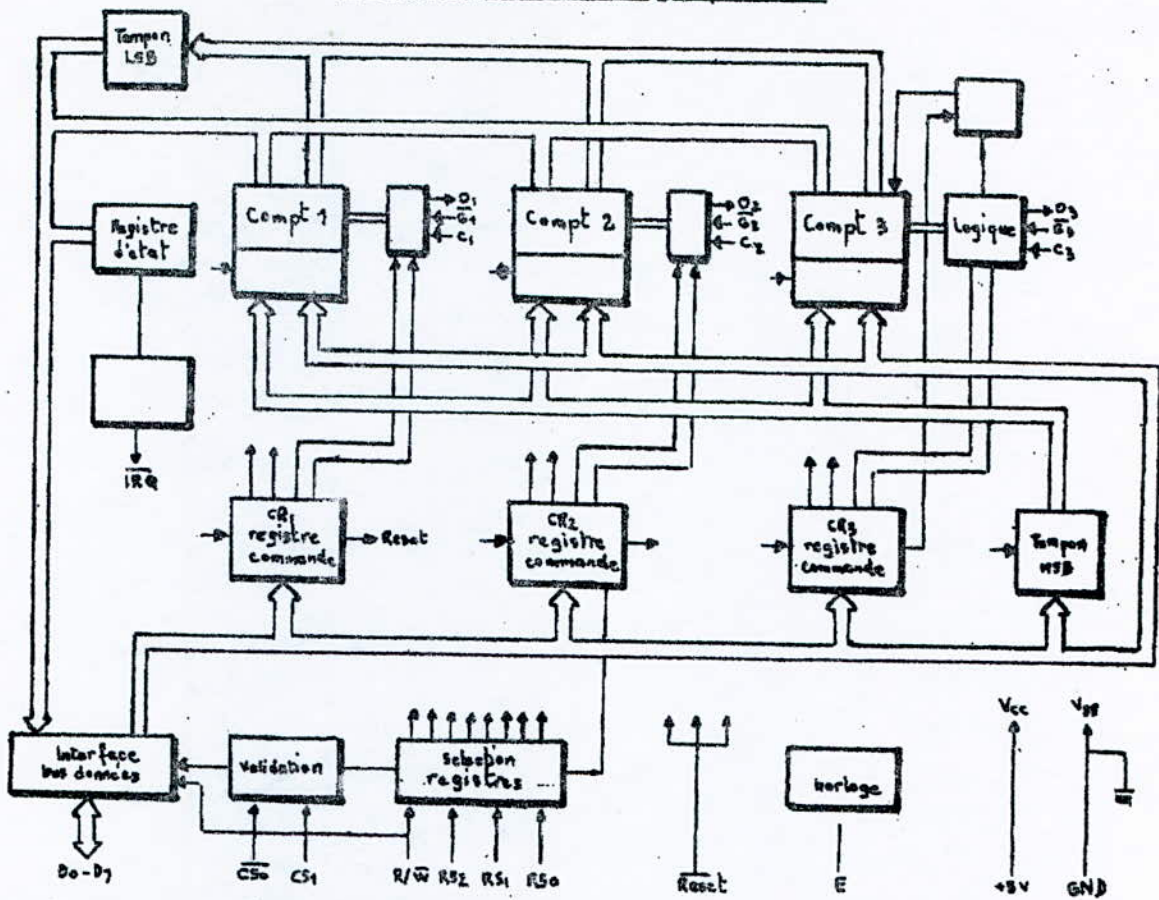


Fig. 34 Synoptique du 6840: un module «Timer» programmable contenant 3 compteurs commandés par l'unité centrale.

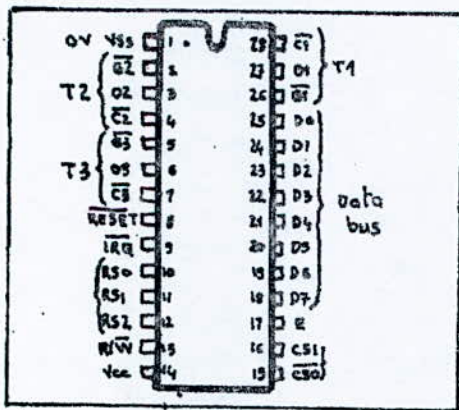


Fig : Brochage du 6840

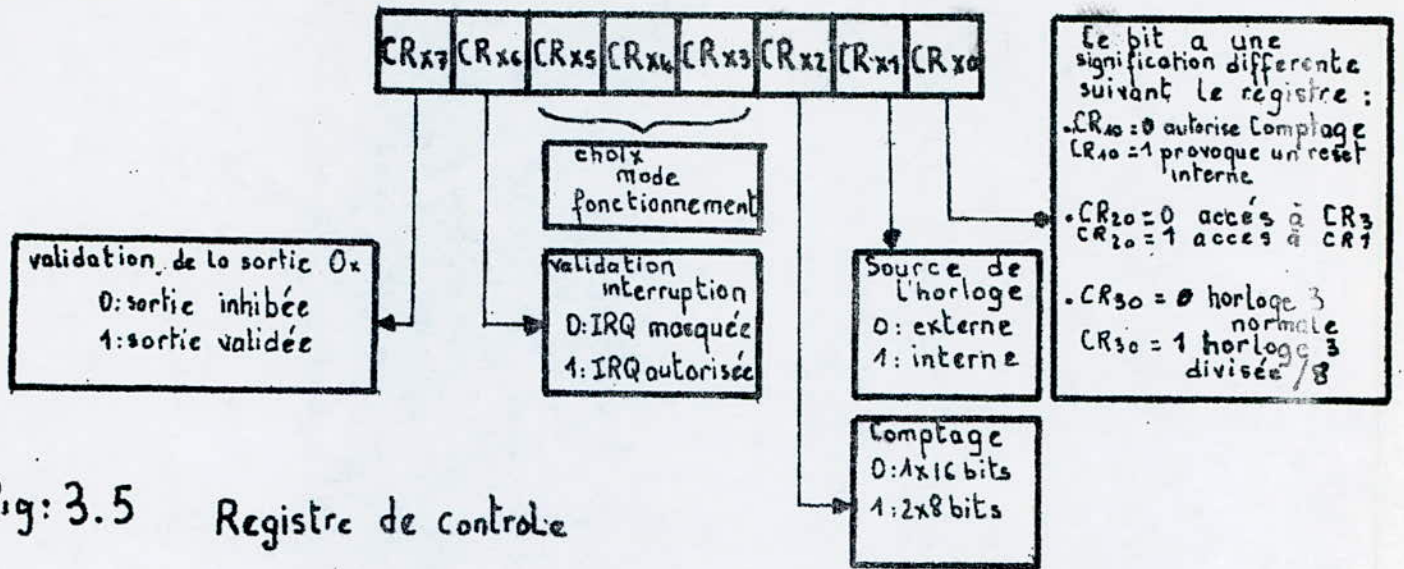


fig: 3.5 Registre de controle



fig: 3.7 Registre d'état

fig: 3.6

CR _{x5}	CR _{x4}	CR _{x0}	Mode
0	0	0	Multivibrateur (a)
0	0	1	fréquence metre (>)
0	1	0	Multivibrateur (b)
0	1	1	Intervale metre (<)
1	0	0	Monostable (a)
1	0	1	fréquence metre (<)
1	1	0	Monostable (b)
1	1	1	Intervale metre (>)

- Legende :
- (a) reinitialisation du compteur sur Reset ou \bar{G}
 - (b) reinitialisation du compteur sur Reset, \bar{G} ou écriture registre
 - (>) interruption si période compteur > période \bar{G}
 - (<) interruption si période compteur < période \bar{G}

Les échanges de données s'effectuent par l'intermédiaire de six registres de 16 bits. L'unité centrale accède en écriture au registre de chargement (counter Latch) et peut aussi lire la sortie du compteur. Le bus de données ne possédant que 8 bits, donc une opération de lecture ou d'écriture s'effectue en 2 temps.

C.1.3 - Accès aux registres internes :

Les registres à adresser sont au nombre de 10, parmi eux on trouve 4 registres de 8 bits et 6 registres de 16 bits ; étant donné que nous travaillons sur des mots de 8 bits, ceci revient à considérer que nous sommes en présence de 16 registres de 8 bits. Leur adressage se fait par l'intermédiaire des 3 entrées de sélections RS_0 , RS_1 , RS_2 , du signal R/\bar{W} , ainsi que par le bit $CR_{2.0}$ (Fig 3.8).

D'après le tableau de la figure 3.8 nous constatons que l'accès à CR_1 et CR_3 se fait par la même adresse, et selon la valeur de $CR_{2.0}$ (0 ou 1) on accède à l'un ou l'autre (respectivement CR_3 ou CR_1). On voit donc qu'une écriture dans CR_1 ou CR_3 est toujours précédée par une écriture dans CR_2 . L'utilisation de R/\bar{W} en complément d'adressage interdit l'usage d'instructions qui opèrent directement en mémoire pour modifier les valeurs contenues dans les registres (DEC, COM, ROL, etc...), en effet à une adresse donnée l'utilisateur n'accède pas au même registre selon qu'il opère en lecture ou en écriture.

C.2 - Présentation externe

Le MC 6840 se présente sous la forme d'un circuit intégré de 28 pins fabriqué selon la technologie C.MOS. Explicitons le rôle de chaque broche.

C.2.1 - Signaux vers l'unité centrale

- $D_0 \div D_7$: 8 lignes de données bidirectionnelles à 3 états.
- R/\bar{W} : Signal de lecture écriture (1 = lecture ; 0 = écriture)
- E : Signal d'activation (en général lié à l'horloge).
- \overline{IRQ} : Signal de demande d'interruption.
- CS_1 ; CS_0 : Servent à la sélection du boîtier.
- RS_0 , RS_1 , RS_2 : servent à la sélection des registres internes.
- RESET : Un niveau bas sur cette entrée initialise le circuit.

R/ \bar{w}	RS ₂	RS ₁	RS ₀	Operations
0	0	0	0	écriture de CR ₃ si bit "0" de CR ₂ = 0 CR ₁ CR ₂ = 1
0	0	0	1	écriture de CR ₂
0	0	1	0 1	écriture des poids forts } registre faibles } Timer 1
0	1	0	0 1	écriture des poids forts } registre faibles } Timer 2
0	1	1	0 1	écriture des poids forts } registre faibles } Timer 3
1	0	0	0	Lecture du registre d'état
1	0	0	1	pas d'opération
1	0	1	0 1	lecture des poids forts } sortie faibles } Compteur 1
1	1	0	0 1	lecture des poids forts } sortie faibles } Compteur 2
1	1	1	0 1	lecture des poids forts } sortie faibles } Compteur 3

fig:3.8 : adressage des registres internes du Timer

C.2.2 - Signaux vers la périphérie

Chaque Timer X est en liaison avec la périphérie grâce à 3 broches :

- G_X : signal de déclenchement (gate) du compteur X
- O_X : signal de sortie (out-put) du compteur X
- C_X : horloge du compteur X.

C.2.3 - Alimentation

- $V_{SS} = 0 \text{ V}$
- $V_{CC} = + 5 \text{ V}$

La consommation moyenne est de 350 mW.

C.3 - Modes de fonctionnement

Plusieurs modes de fonctionnement sont possibles permettant, sous le contrôle du logiciel de réaliser facilement des appareils tels que fréquencesmètre, chronomètre, générateur d'impulsions, monostable, etc...

Toutes les durées, périodes ou intervalles de temps engendrés par ce circuit sont définis par le comptage d'un nombre entier de périodes d'horloge ; ce nombre varie de 0 à 65535. En outre le timer offre la possibilité de travailler sur 16 bits ou 2 fois 8 bits, d'autoriser ou non des demandes d'interruptions en fin de cycle de chaque compteur, de valider ou non les sorties O.X.

Les différents modes de fonctionnement sont résumés par le tableau de la figure 3.6. On peut distinguer 3 modes principaux :

- Le mode continu : c'est le multivibrateur ou oscillateur.
- Le mode impulsionnel : c'est le monostable ou temporisateur.
- Le mode mesure de temps qui se divise en deux sous-modes :
 - . mesure de périodes ou fréquencesmètre
 - . mesure de durée ou chronomètre.

C.4 - EXEMPLE D'UTILISATION DU TIMER

Nous allons présenter un mode de fonctionnement du Timer nous permettant de générer une demande d'interruption IRQ toutes les 5 secondes. Il existe plusieurs manières de procéder, entre autre nous avons opté pour la solution suivante :

- Timer 1 en multivibrateur
- Timer 3 en monostable.

La sortie du Timer 1 sera reliée à l'entrée d'horloge du Timer 3 ce qui constituera la nouvelle entrée d'activation du compteur 3. Le monostable sera programmé pour se déclencher toutes les cinq secondes. Le fonctionnement correct revient essentiellement à la programmation appropriée des registres de contrôle CR1 et CR3.

Le Timer 1 est programmé pour fonctionner en multivibrateur de période 1 milliseconde. Le registre de contrôle CR1 est chargé par la valeur 82 ; en nous référant à la figure 3.5 nous décodons aisément cette information :

- Sortie O.1 validée
- IRO masquée
- Mode multivibrateur
- Comptage 1 x 16 bits
- Horloge interne (1MHz)
- Début de comptage autorisé.

Le mode 1 fois 16 bits a été choisi pour disposer d'un signal rectangulaire de période $2(N + 1)T$ avec :

- N = contenu du registre de chargement
- T = 1 microseconde (période de l'horloge interne).

Un petit calcul donne $N = 499$ d'où l'équivalent en notation hexadécimale est $N = 01F3$.

Le chargement du registre de contrôle CR3 par la valeur "E 0" impose au Timer 3 un fonctionnement en mode monostable. La valeur "E 0" s'interprète de la manière suivante :

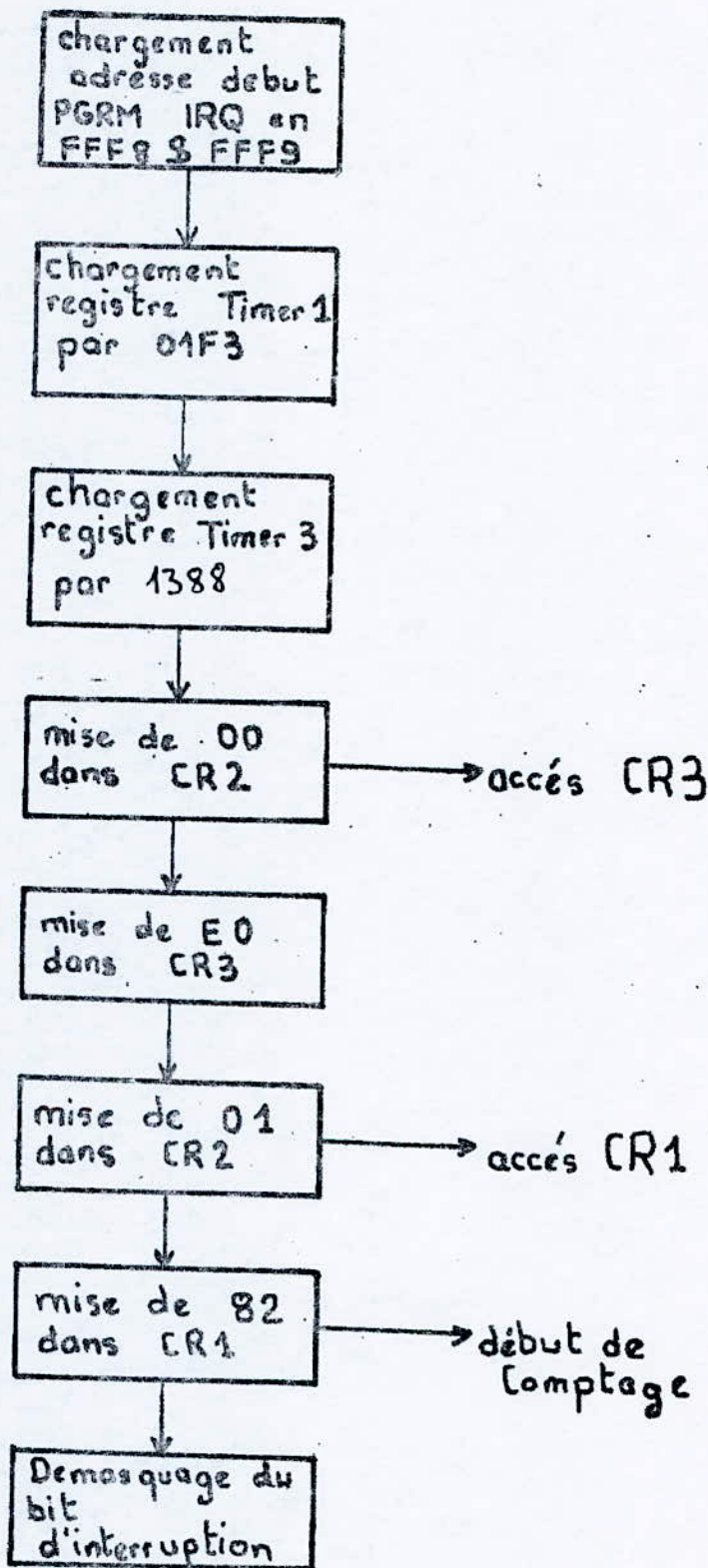
- Sortie O 3 validée
- IRO autorisée
- Mode monostable
- Comptage 1 fois 16 bits
- Horloge externe (sortie O1 du Timer 1).

Il est à noter que contrairement au Timer 1, la sortie IRO a été validée et ceci afin de permettre le déroulement d'un programme d'interruption toutes les cinq secondes. L'initialisation du registre de chargement se fait par la valeur 1388 (hexadécimale) ce qui confère au dispositif une période de 5 secondes. L'organigramme détaillé de l'initialisation du Timer est donné en figure 3.9.

INITIALISATION

TIMER

fig 3.9



D - DESCRIPTION DU P.I.A (Peripheral Interface Adapter)

C'est une unité d'échange ou adaptateur d'interface, elle permet, sous le contrôle du programme (ou plus exactement du microprocesseur) le transfert des données entre l'unité centrale de traitement et une (ou deux) unité (s) périphérique (s).

Les échanges de données avec chaque unité périphérique se font en parallèle par l'intermédiaire de ports.

Le PIA utilisé pour notre réalisation est le MC 6820 de Motorola.

D.1 - Signaux échangés (Fig. 3.10)

D.1.1/ Avec le système

- CS0, CS1, $\overline{\text{CS2}}$: lorsque CS0, CS1, $\overline{\text{CS2}} = 110$, le PIA est sélectionné.
- RS1, RS0 : le PIA étant sélectionné, les 4 combinaisons de ces deux bits permettent d'adresser les registres internes. En conséquence, le PIA occupe 4 adresses mémoires.
- E : signal d'activation des échanges, généralement cette entrée est reliée à $\phi 2$ (signal du bus de contrôle).
- R/ $\overline{\text{W}}$: signal de lecture-écriture (Fig 3.11) : 1 = lecture
0 = écriture.
- D0 à D7 : bus bidirectionnel de données. Il aboutit, dans le PIA, à un amplificateur qui peut être activé ou mis à l'état haute impédance par le signal R/ $\overline{\text{W}}$, si le PIA est sélectionné. Par ces 8 fils arrivent les données à transmettre en sortie (vers les périphériques) ou à lire.
- $\overline{\text{RESET}}$: mis à zéro, ce signal met tous les registres internes du PIA à zéro.
- IRQA, IROB : deux lignes de demande d'interruption destinées à interrompre l'exécution d'un programme par le M.P.U. Ces lignes sont généralement reliées aux entrées IRO et NMI du M.P.U. ou sont placées sur les entrées du contrôleur prioritaire d'interruption (P.I.C 6828).

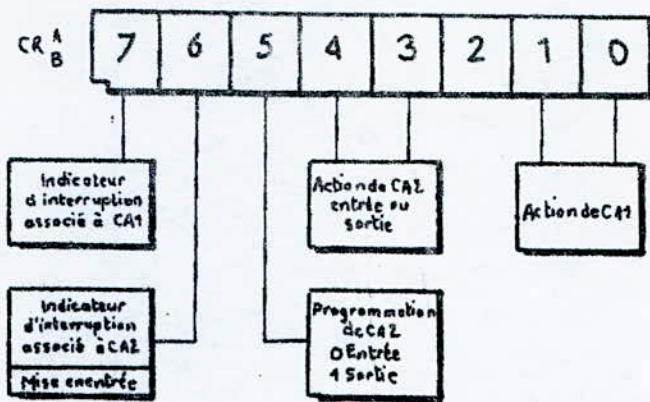


fig: 3.13

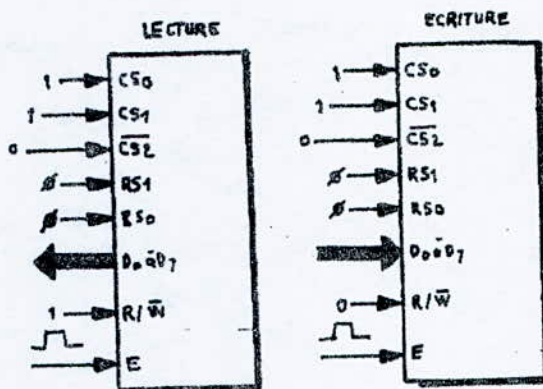


fig: 3.11

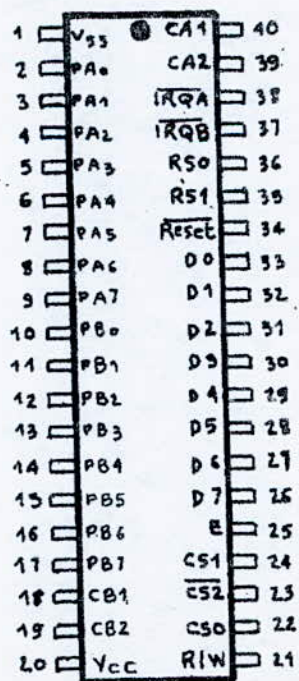


fig: 3.10

D.1.2/Avec la périphérie :

- PA0 à PA7 et PB0 à PB7 : 16 lignes de données programmables individuellement en entrées ou sorties. Ces 2 ports d'entrée-sortie reflètent, en sortie le contenu de 2 registres internes de 8 bits dont l'état binaire apparaît sous forme de tensions de sortie (+ 5V : 1 logique et 0V : 0 logique) maintenues tant qu'il n'y a pas de modification dans les registres.

- CA1, CB1 : deux lignes d'entrées d'interruption.

- CA2, CB2 : deux lignes programmables en entrées d'interruption ou en sorties de commande. Dans ce dernier cas, ils reflètent directement l'état d'un bit d'un registre interne (de contrôle).

- Vss, Vcc : deux bornes d'alimentation : Vcc = + 5V

Vss = 0V

La consommation est d'environ 110 mA et la puissance dissipée 550 mW.

D.2 - Organisation interne

Le schéma de la figure 3.1.2 représente le synoptique du MC 6820. Nous remarquons que le MPU peut adresser 6 registres en écriture et en lecture. Ces registres sont répartis en deux groupes de 3 registres relatifs à chacun des bords :

- CRA, CRB : (Fig 3.1.3) contiennent les paramètres de fonctionnement.

- DDRA, DDRB : contiennent le mot fixant le sens de transfert

(entrée ou sortie) pour chacune des lignes de donnée. Un état

1 définit une broche de sortie et un état 0 une broche d'entrée.

- ORA, ORB : mémorisent les données en sortie lors d'une écriture.

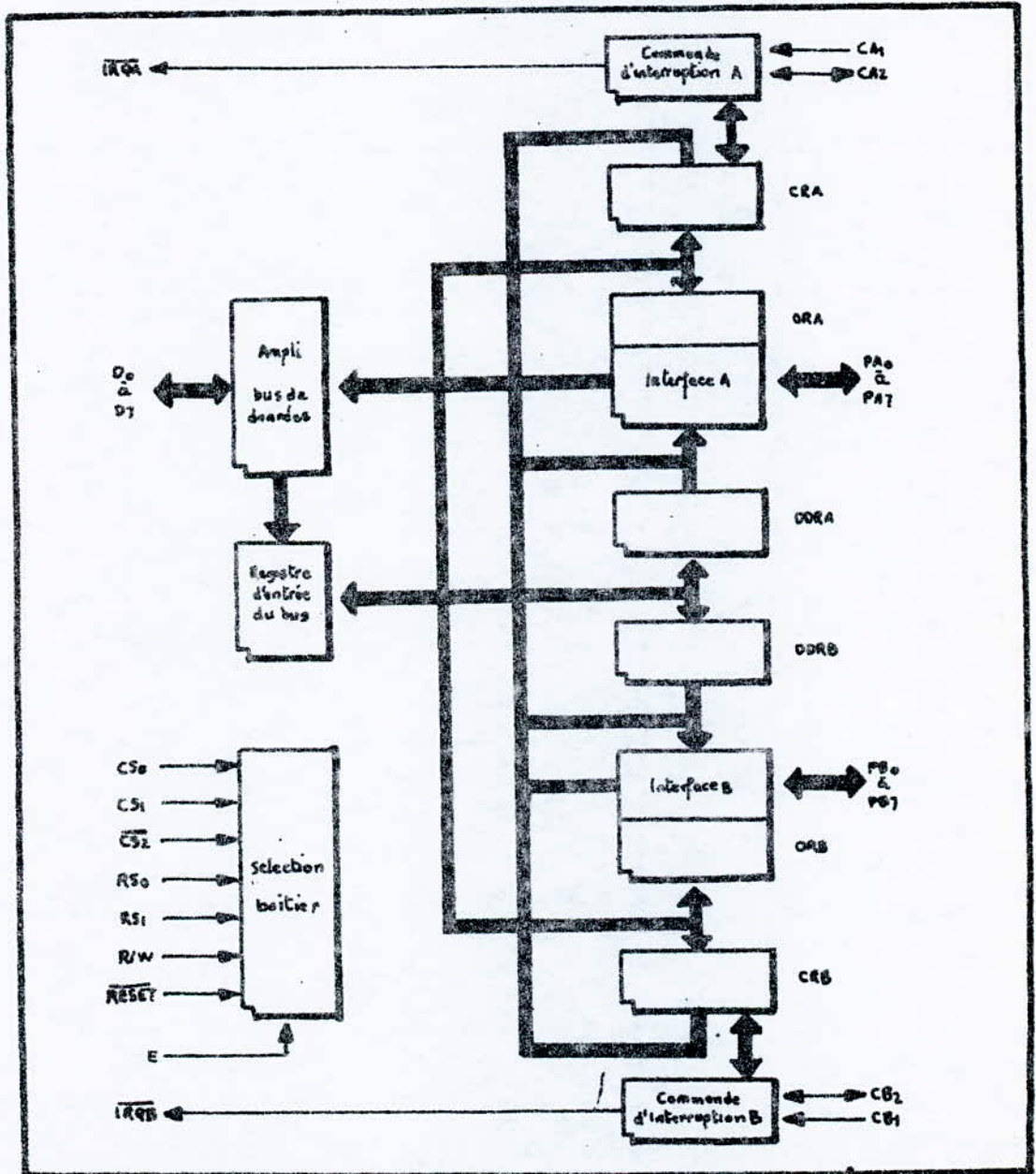
A la même adresse on peut lire les données présentées en entrées, mais elles devront être mémorisées à l'extérieur.

D.3 - Sélection et adressage des registres

L'accès aux 6 registres du PIA se fait par 2 lignes d'adresses RSO, RSI et le signal R/W.

fig: 3.12

Schéma synoptique du MC 6820



Chaque registre peut être lu ou écrit, compte tenu des 2 bits d'adressage, l'accès aux 6 registres ne peut être fait que par le biais d'un bit supplémentaire provenant du registre de contrôle (bit 2) Voir figure 3.14.

D.4 - Fonctionnement du PIA.

Divers modes de fonctionnement sont définis par la programmation des registres de contrôle. Voir figure 3.15.

Les lignes CA1 et CB1 sont contrôlées par les bits 0 et 1 du registre de contrôle.

- Le bit 0 masque ou permet les interruptions.

bit 0 = 0 : masque les interruptions

bit 0 = 1 : interruption permise.

- Le bit 1 détermine le front actif pour le signal entrant :

bit 1 = 0 : le front descendant est reconnu comme signal activant une requête d'interruption.

bit 1 = 1 : le front montant est reconnu comme signal activant une requête d'interruption.

Toute requête d'interruption venant de CA1 ou CB1 met à l'état haut le bit 7 du registre de contrôle du côté A ou B respectivement.

Ces bits sont remis à 0 par un Reset du PIA, ou une lecture du registre de sortie du PIA.

Les bits 3, 4, 5 servent à la programmation des lignes CA2 et CB2.

Le bit 5 indique la direction entrée ou sortie de la ligne CA2 ou CB2 suivant le registre de contrôle utilisé.

bit 5 = 1 : CA2 (CB2) établie en sortie

bit 5 = 0 : CA2 (CB2) établie en entrée.

La programmation du mode de fonctionnement de la ligne d'interruption CA2 mise en entrée est identique à CA1 si le bit 5 de CRA est à 0. Dans ce cas, les bits CRA3, CRA4 et CRA6 jouent le même rôle que les bits CRA0, CRA1 et CRA7.

La programmation de CA2 en sortie de commande s'obtient en écrivant un 1 dans CRA5, CRA4 et CRA3 permettant de définir les modes d'actions de CA2, selon la programmation de ces bits, on distingue les modes de fonctionnement suivant :

Fig : 3.14

RS1	RS0	CRA2	CRB2	Registre adressé
0	1	-	-	CRA
0	0	0	-	DDRA
0	0	1	-	ORA
1	1	-	-	CRB
1	0	-	0	DDRB
1	0	-	1	ORB

Fig : 3.15

7	6	5 4 3	2	1	0
IRO x 1	IRO x 2	Cx2 Control	DDR	Cx1 Control	

x désigne le côté A ou B.

Fig : 3.16

CRA4	CRA3	Modes
0	0	Dialogue
0	1	Impulsionnel
1	0	Programmé
1	1	

Associé à une lecture

Fig : 3.17

CRB4	CRB3	Modes
0	0	Dialogue
0	1	Impulsionnel
1	0	Programmé
1	1	

Associé à une écriture

Le mode programmé : la sortie CA2 suit la programmation du CRA3.

Les modes impulsif et dialogue : CA2 est associé à une lecture. Voir figure 3.16.

Pour le fonctionnement de CB2, il est identique à celui de CA2, sauf dans les modes impulsif et dialogue, CB2 est associé à une écriture. Voir figure 3.17.

Pour notre réalisation, nous avons utilisé 2 P.I.A., le premier prévu pour la lecture des données et le deuxième pour la signalisation.

P.I.A. 1 : Nous disposons de 10 microswitchs (8 interrupteurs intégrés) associés à 10 latches et d'un décodeur 1 parmi 16. A l'aide de ce P.I.A on peut sélectionner et lire une des 10 configurations figurant sur les latches. Le port B est programmé en sortie pour permettre le choix du microswitch (les 4 lignes PBO à PB3 sont reliées aux 4 entrées du décodeur), tandis que le port A est programmé en entrée pour acquérir les données. Un organigramme détaillé pour la programmation de ce P.I.A est donné en figure 3.18.

P.I.A. 2 : 3 leds servent à indiquer les différentes situations du réacteur, dans ce but le port B du P.I.A 2 est utilisé pour les commandes.

L'organigramme présenté en figure 3.19 n'est qu'une initialisation, en effet, pour agir sur une des 3 leds, il suffit d'appeler le sous programme 10 puis de charger la configuration correspondante dans ORB ; ces configurations sont les suivantes :

01 (PBO) : Led verte allumée, elle indique le bon fonctionnement du réacteur.

02 (PB1) : Led rouge allumée, elle indique la chute d'urgence des barres.

04 (PB2) : Led jaune allumée, elle indique l'autorisation de montée des barres, ainsi que l'attente de la clef de démarrage du réacteur.

Le contrôle d'un réacteur nucléaire par microprocesseur néces-

site :

-- l'acquisition des paramètres,

-- leurs traitements.

Les paramètres à contrôler sont des grandeurs analogiques tel-

les que puissances, périodes, flux neutroniques, etc....., d'où la nécessi-

té de pouvoir à une conversion de ces grandeurs en des valeurs numériques

(octets de 8 bits).

Cette fonction peut être réalisée par un convertisseur analogique-

que - numérique.

Vu la non disponibilité d'un cas réel, les paramètres en ques-

tion seront simulés par des états logiques. Le traitement se faisant par

microprocesseur, il est nécessaire pour pouvoir converser avec ce dernier

de réaliser un dispositif lui permettant d'acquérir les informations et

d'assurer à l'aide d'un logiciel approprié la gestion du système. Le sché-

ma synoptique du système est donné par la figure 4.1.

Une première carte a été réalisée et comporte le système d'acqui-

sition des données ou plus exactement la simulation des paramètres nucléaires,

elle comprend essentiellement :

- 10 circuits MC 14508 jouant le rôle de latches ; chacun de ces

circuits simulera un paramètre et la valeur de celui-ci sera

variable en fonction de l'état du microswitch (8 interrupteurs

intégrés en boîtier dual in line) qui lui est associé.

Le MC 14 508 valide ses 8 sorties lorsque les entrées disables

(3 et 15), MR (1 et 13) sont à 0 et strobe (2 et 14) à l'état 1. Le calcula-

teur traitant les paramètres successivement, nous avons été conduits à utiliser

un décodeur 1 parmi 16 à sorties basses (MC 14 515) dont les 10 premières sor-

ties attaquent respectivement les 10 entrées disables des latches. Pour une con-

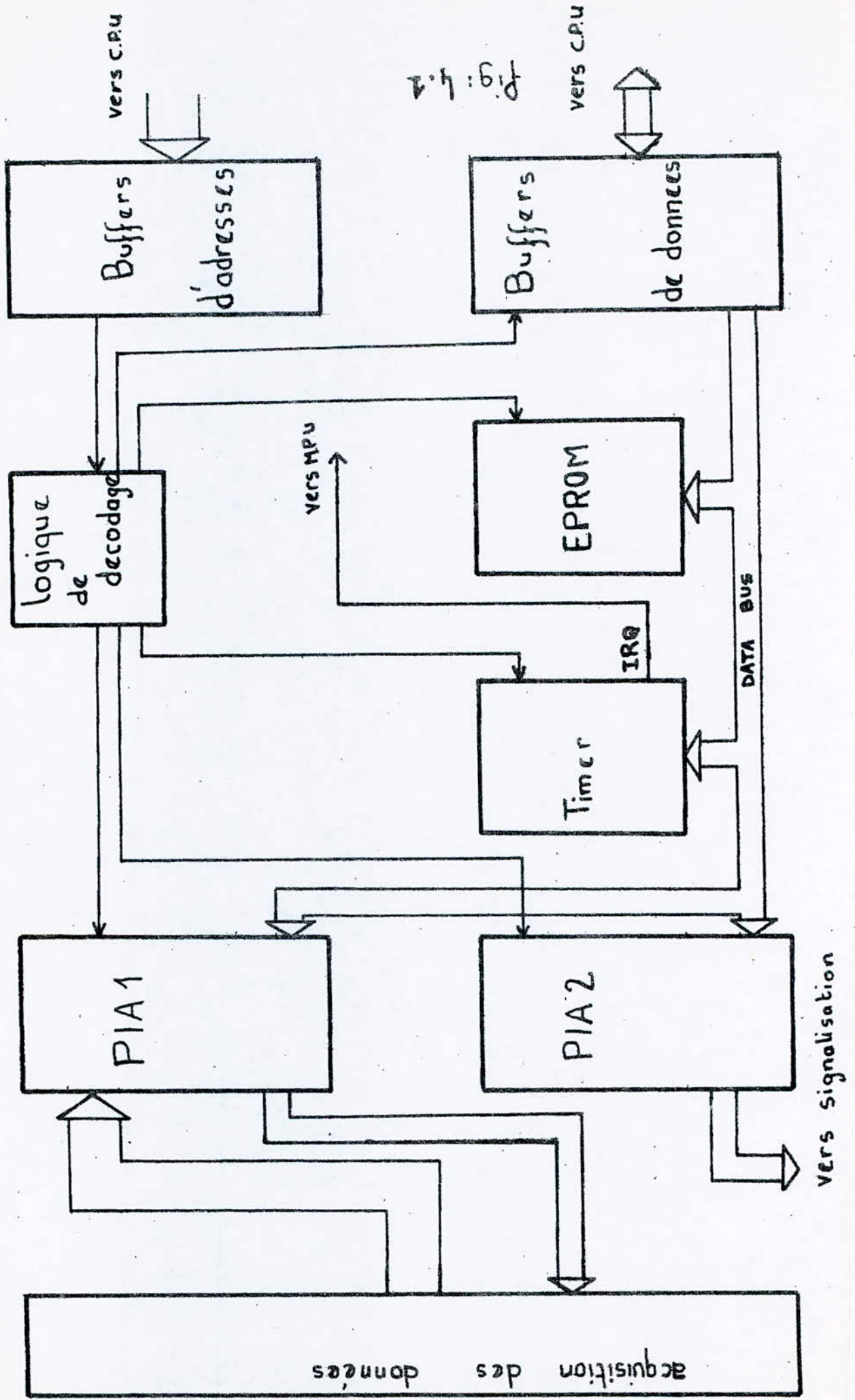
figuration de 4 bits à l'entrée du 14 515 celui-ci ne met à l'état bas qu'une seule

de ses sorties (Voir Fig A.4) Le choix d'un paramètre (Latch) se faisant

par programme, les entrées du décodeur sont liées à 4 lignes du Port B du

PIA 1.

Schema synoptique de la réalisation



La deuxième carte comprend :

- 2 PIA
- 1 Timer
- 1 EPROM
- Des buffers d'adresses et de données
- Une logique de décodage.

En premier lieu nous trouvons les buffers d'adresses et de données. Les buffers d'adresses sont des 8T 95, ce sont des amplificateurs 6 bits, unidirectionnels.

L'existence de 16 lignes d'adresses sur le MC 6800, impose l'utilisation de 3 circuits 8T 95, ainsi nous disposons de 18 lignes amplificatrices, les 2 lignes restantes seront utilisées pour l'amplification des signaux R/\bar{W} et $\emptyset 2$ vu qu'ils attaquent plusieurs circuits.

4.1 - Adressage des circuits ou décodage

Il nous a fallu concevoir un décodage d'adresse nous permettant d'adresser deux PIA, un Timer et une EPROM.

Sur le schéma général on peut remarquer l'existence du comparateur SN 74 H 85 (son brochage et sa table de vérité sont donnés en annexe), il est utilisé pour permettre une translation libre de l'espace mémoire contenant notre carte. Ce procédé offre l'avantage d'avoir 14 possibilités d'adressage c'est à dire qu'on peut fixer le poids fort de l'adresse entre 0 et D donc sur tout l'espace utilisateur de l'exerciser.

Le comparateur fonctionne suivant le mode suivant :

Il réalise la comparaison entre les configurations présentes sur ses entrées 15, 13, 12, 10 et 1, 9, 11, 14. Suivant qu'il y a égalité ou non, les sorties prennent des états particuliers. L'utilisation par le comparateur des 4 lignes d'adresses de poids forts permet la translation de l'espace mémoire utilisé de 1000 en 1000.

EXEMPLE : A15, A14, A13, A12 sont liées aux entrées 10, 12, 13, 15 du comparateur. Si on fixe les entrées 1, 9, 11, 14 à 0, 0, 0, 0 on peut adresser donc une zone mémoire comprise entre 0000 et 0FFF (la sortie out put A = B est à 1), au delà il n'y aura plus de validation des adresses.

Remarque : Si du point de vue hardware cette modification de zone mémoire ne pose aucun problème, par contre dans le software, il y aura quelques modifications concernant l'adressage direct ou étendu (on change le poids fort de l'adresse).

Comptabilisons le nombre d'octets mémoire utilisés :

- 2 PIA occupant chacun 4 octets
- 1 Timer occupant 8 octets
- 1 EPROM MC 2716 de 2 K.O = 2048 octets.

Cela donne au total 2064 octets, ce qui correspond à 80F positions mémoires en hexadécimal.

La zone allouée à chaque circuit est donnée par le tableau suivant. Le premier caractère X est utilisé comme variable comprise entre 0 et D inclus.

X000 à X7FF	X800 à X803	X804 à X80B	X80C à X80F
EPROM	P.I.A.1	TIMER	P.I.A 2

Explicitons à présent la logique de décodage de chaque circuit.

EPROM : elle occupe la zone X000 à X7FF. On remarque que dans cet espace mémoire on a toujours $A_{11} = 0$, en l'associant à \bar{I} (sortie 6, $A = B$, du comparateur, inversée) par une porte OR, on peut attaquer le chip select de l'éprom \bar{G} actif à l'état bas. Ainsi, on a

$$\bar{G} = \bar{I} + A_{11}$$

Les entrées d'adresses de l'eprom seront reliées à A_0, A_1, \dots, A_{10} du microprocesseur. Voir figure 4.2.

P.I.A.1 : zone mémoire X800 à X803.

Le PIA possède 3 chips selects CS_0, CS_1 et $\overline{CS_2}$. On remarque que pour les 2 PIA et le Timer $A_{11} = 1$ et A_4 à A_{10} sont à 0. Donc pour attaquer les \overline{CS} des 2 PIA et du Timer, on a utilisé une porte OR à 8 entrées (\bar{I} et A_4, A_5, \dots, A_{10}).

Pour le PIA1 on a $A_2 = A_3 = 0$ pour CS_1 et A_0 et A_1 variables.

Ainsi :

$$RS_0 = A_0$$

$$RS_1 = A_1$$

$$CS_0 = A_{11}$$

$$CS_1 = A_2 + A_3$$

$$\overline{CS_2} = \bar{I} + A_4 + \dots + A_{10}. \text{ voir figure 4.3}$$

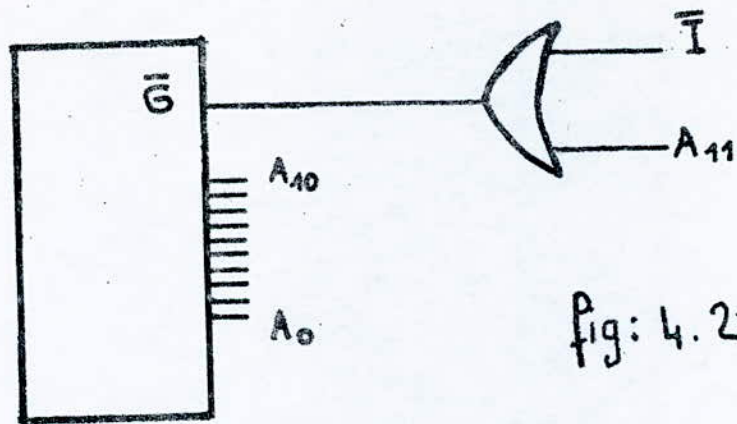


fig:4.3

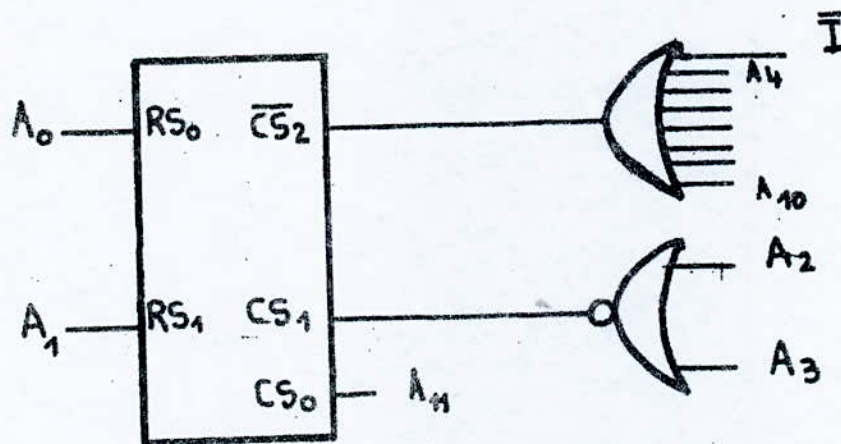
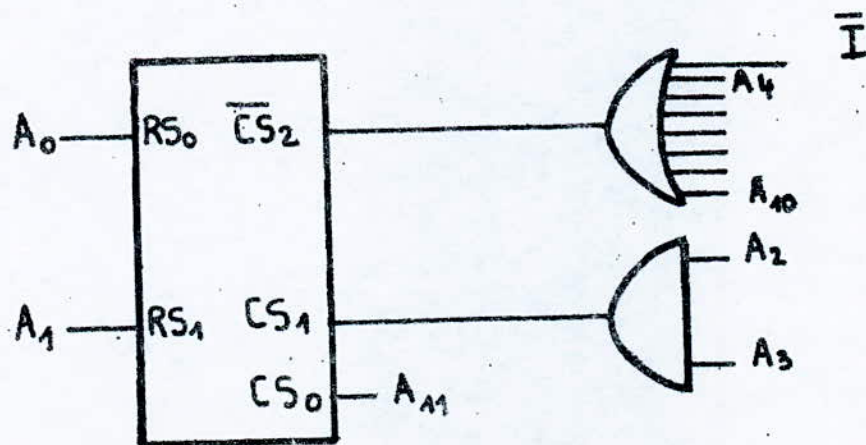


fig 4.4



PIA2 : il occupe la zone mémoire X80C à X80F, la différence par rapport qu PIA1 réside dans $A2 = A3 = 1$, donc on aura pour CS1 :

$$CS1 = A2 \cdot A3$$

Le reste est inchagé. Voir figure 4.4.

TIMER : Il occupe la zone X804 à X80B, et possède 2 chips select $\overline{CS0}$ et CS1, ainsi que 3 entrées RSO, RS1 et RS2 pour le choix des registres internes. La différence par rapport aux 2 PIA est le fait qu'on a toujours A2 différent de A3, d'où l'utilisation d'une porte XOR pour la sélection du Timer. Voir figure 4.5.

On aura :

$$\overline{CS0} = \overline{1} + A4 + A5 + \dots + A10$$

$$CS1 = (A2 \oplus A3) \cdot A11$$

$$RS2 = A2$$

$$RS1 = A1$$

$$RS0 = A0$$

Remarque : L'utilisation d'un adressage translatable de 1000 en 1000 a été réalisé du fait que l'exorciser est utilisé par plusieurs cartes, occupant différents espaces mémoires. En ce qui nous concerne on aura le choix d'un espace mémoire compris entre 0000 et D000, c'est à dire dans tout l'espace qu'offre l'exorciser à l'utilisateur.

4.2 - Commande des Buffers de données :

Ce sont des 8T26, buffers bidirectionnelles inverseurs à 4 bits l'association en parallèle de 2 circuits 8T26 est nécessaire, vu qu'on dispose d'un bus de données de 8 lignes.

Le 8T26 possède des entrées de validation :

(1) : \overline{RE} : Read enable

(15) : WE : write enable

Suivant ces entrées, on peut avoir soit une lecture, soit une écriture :

$$\overline{RE} = WE = 1 = \text{écriture}$$

$$\overline{RE} = WE = 0 = \text{lecture}$$

Pour assurer un décodage strict de notre carte, nous avons généré un signal Y permettant l'ouverture des buffers uniquement si un des circuits de la carte est adressé ; donc il y a un échange de données entre le

fig: 4.5

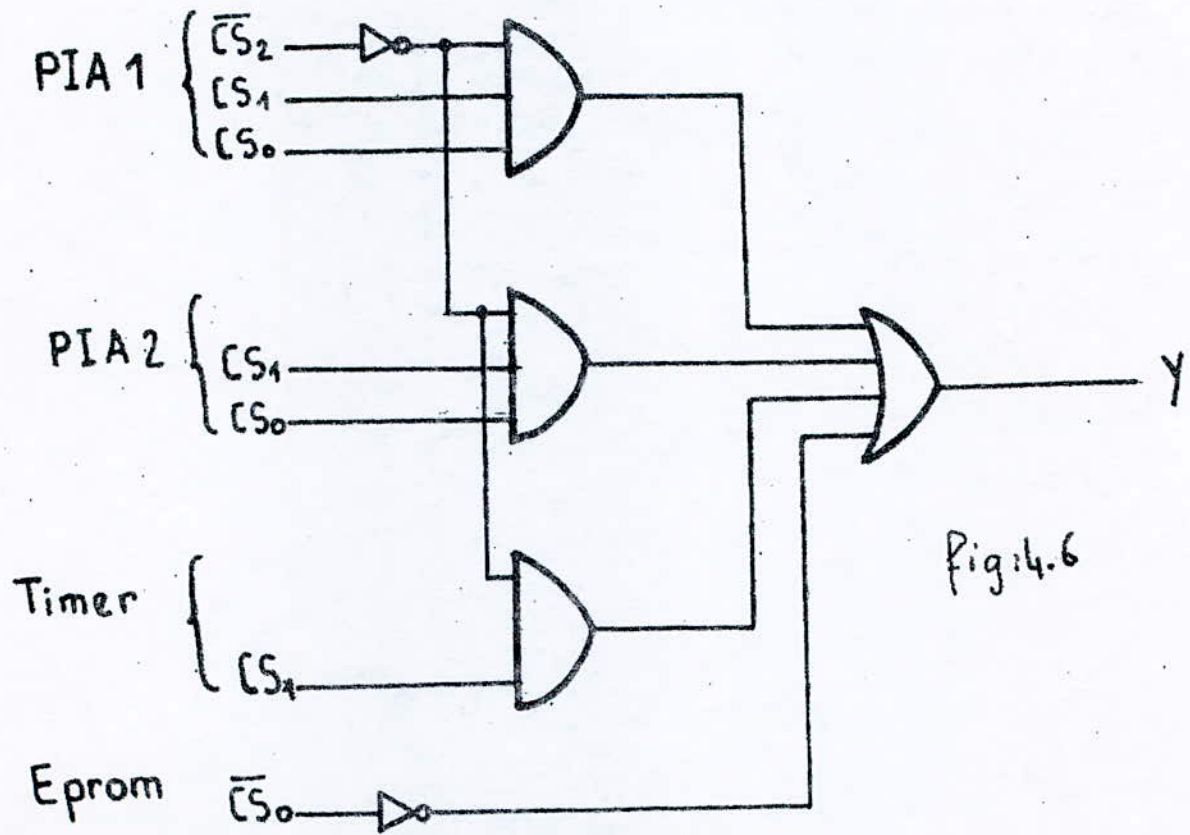
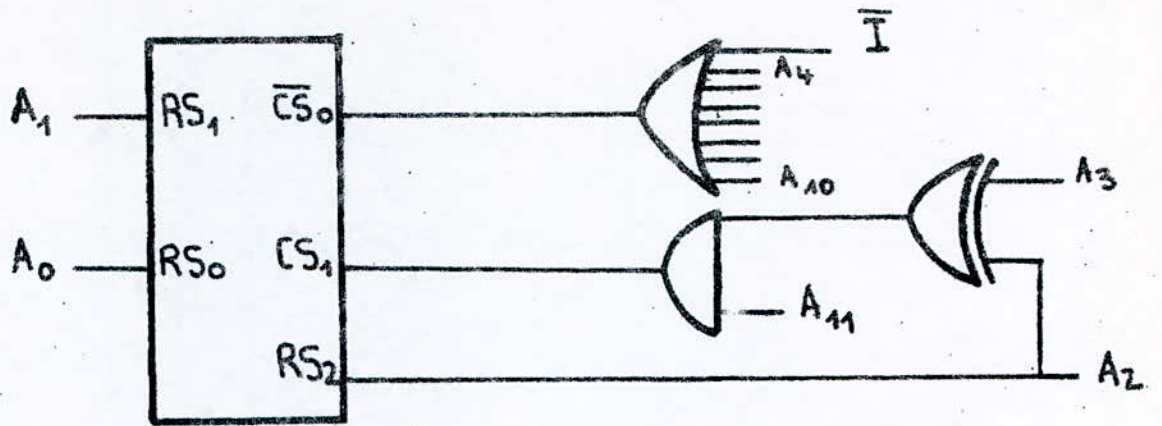
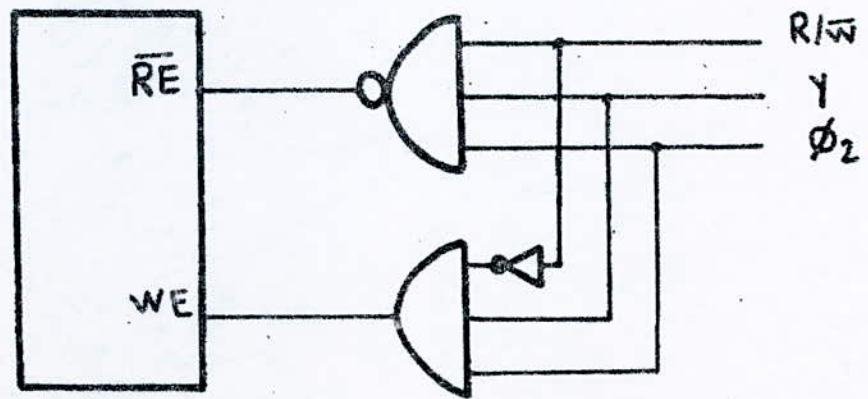


fig:4.7



dispositif et l'extérieur si et seulement si nous adressons l'espace mémoire X000 à X80F.

La figure 4.6 montre l'obtention du signal Y. On voit donc que Y ne se met à l'état haut que si un des circuits est adressé, en ajoutant à cela les signaux R/\bar{W} et $\phi 2$, on commande les 8T26. Voir figure 4.7

$$\bar{RE} = R/\bar{W} \cdot Y \cdot \phi 2$$

$$WE = R/\bar{W} \cdot Y \cdot \phi 2$$

EXEMPLE : Pour lire un octet de l'eprom, Y se met à 1 car il y a adressage de cette dernière, $R/\bar{W} = 1$ puisqu'il y a lecture par le microprocesseur et au front montant de $\phi 2$ on aura $\bar{RE} = WE = 0$

Donc quand $R/\bar{W} = 1$ et $\bar{RE} = WE = 0$, une lecture a lieu.

4.3 - Lignes de contrôles utilisées

Le comparateur est validé par la ligne V.U.A ('Valid user's address'). Cette ligne est mise à 1 lorsque l'on adresse la zone mémoire disponible pour l'utilisateur (0000 à E800).

\overline{RESET} : Cette ligne attaque les 2 PIA (entrées 34) et le Timer (entrée 8), elle sert à la réinitialisation des circuits, elle est active sur une transition négative.

$\phi 2$: Signal d'horloge issu du microprocesseur, de fréquence 1 MHz, il attaque les PIA (entrée de validation 25) et le Timer (entrée 17).

4.4 - Utilisation des circuits

Le PIA1 sert de liaison parallèle entre la première carte (ou carte d'acquisition de données) et le microprocesseur. Le port A est programmé en entrée (pour les données des paramètres), le port B l'est en sortie ; il adresse un décodeur (1 parmi 16) afin d'assurer le multiplexage des paramètres à l'entrée.

Le Timer est utilisé pour générer une interruption IRO toutes les 5 secondes, ce qui permet de faire l'auto-test. Le programme d'interruption teste alors tous les sous-programmes utilisés pour le traitement des paramètres.

L'eprom contient le logiciel établi.

Quant au PIA2 seul le port B est utilisé pour contrôler les leds.

LISTE DES PRINCIPALES ABREVIATIONS

- Ch1 : chaîne de fission : seuil puissance
Ch2 : chaîne logarithmique 1 : seuil puissance
Ch3 : chaîne logarithmique 2 : seuil puissance
Ch4 : 7 états logiques tout ou rien
Ch5 : chaîne de fission : seuil période
Ch6 : chaîne logarithmique 1 : seuil période
Ch7 : chaîne logarithmique 2 : seuil période
Ch8 : chaîne de sécurité 1
Ch9 : chaîne de sécurité 2
Ch10 : 3 états logiques tout ou rien.

Dans les organigrammes de traitement des chaînes 1, 2, 3, 8, 9, la configuration xX correspond à l'écriture "mantisse-exposant".

CHAPITRE V - PROGRAMMATION DU SYSTEME

L'élaboration du logiciel permettant de gérer le système se devait de répondre à 3 impératifs :

- traitement de la séquence de montée des barres.
- traitement de la séquence de chute d'urgence des barres.
- permettre un auto-test périodique.

Le programme a été scindé en plusieurs sous-routines plus ou moins indépendantes ce qui permet un contrôle auto-testant plus aisé et plus fiable. Presque tous les sous-programmes reposent sur la séquence suivante :

- lecture de la valeur du paramètre
- comparaison aux valeurs seuils
- décision.

Notons que la plage de variation des paramètres est très large ($10^{\text{puissance} - 10}$ à plus de $5 \cdot 10^{\text{puissance} + 4}$) ; à l'aide d'un microprocesseur 8 bits il est impossible de pouvoir toutes les représenter, d'où il a été convenu alors d'utiliser une représentation sous la forme "mantissexposant" de 4 bits pour chaque partie. Pour ce qui est du signe de l'exposant, nous supposons qu'un pré-traitement antérieur a lieu. Avec cette convention d'écriture nous pouvons traiter des valeurs évoluant dans la plage $15 \cdot 10^{\text{puissance} \pm 15}$.

5.1 - Boucle d'autorisation de montée des barres.

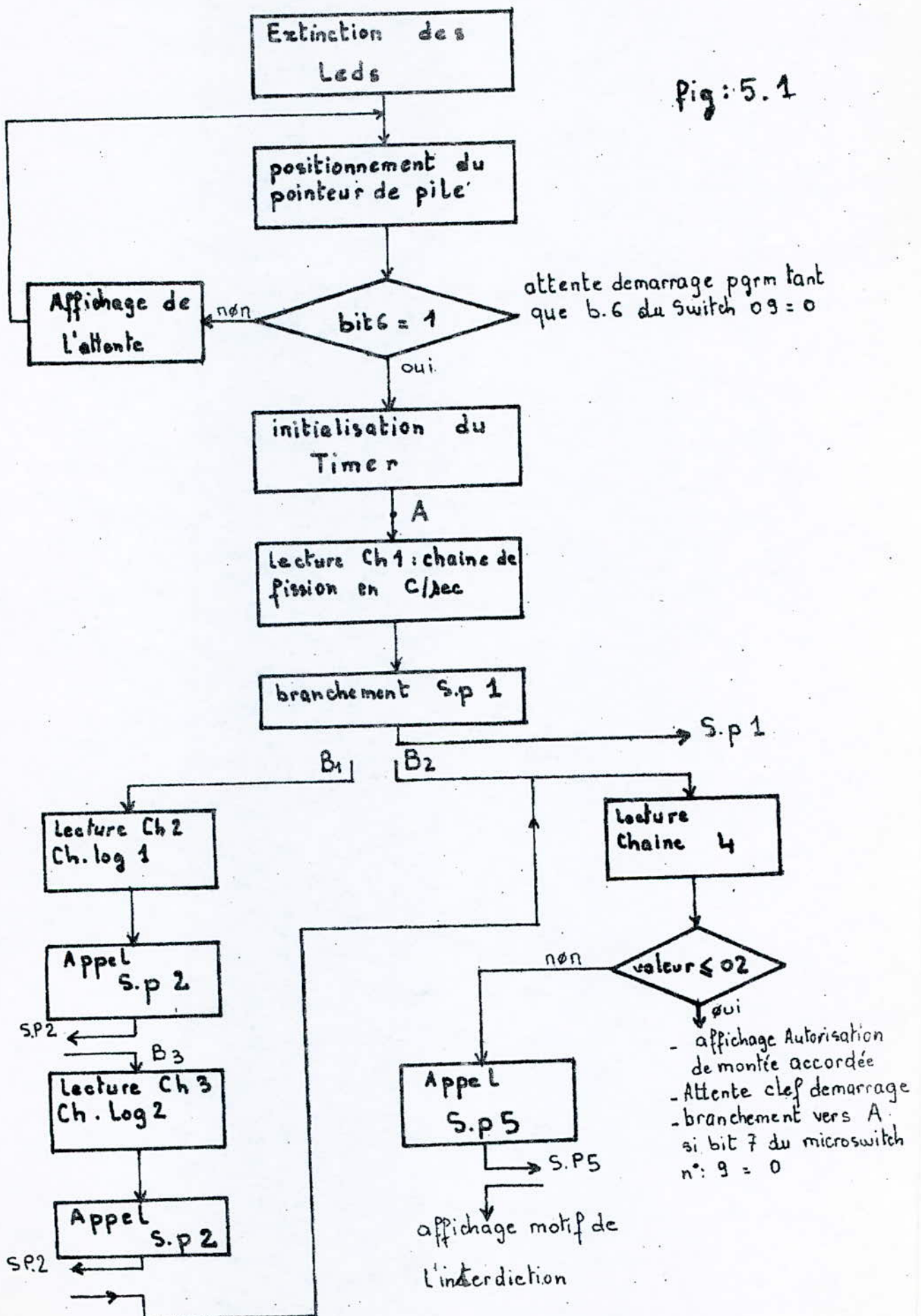
Le synoptique général est donné en figure 5.1. Dans un premier temps nous trouvons un programme d'initialisation qui consiste en l'extinction des différents leds et la mise en attente du processeur ; un message apparaît sur l'écran de visualisation ; celui-ci persiste tant qu'une action de l'opérateur n'a pas lieu pour lui permettre de commencer le traitement. Celui-ci débute lorsque le bit 6 du microswitch n° 9 est mis à 1 ; une initialisation du Timer est alors effectuée (voir Fig 3.9)

Le point A indique le début de la phase de contrôle proprement dite, il y a alors :

- lecture du 1er paramètre
- comparaison aux valeurs seuils
- décision.

Organigramme Pour Autorisation de Montée des Barres

Fig: 5.1



La lecture des paramètres se fait par l'intermédiaire du PIA 1 ; un organigramme détaillé est donné en page figure 3.18

La comparaison se fait par un test vis-à-vis des valeurs seuils conservées en mémoire.

Au niveau de la décision 2 cas peuvent se présenter :

1er cas : le paramètre est correct, il y a alors passage vers la chaîne suivante.

2ème cas : le paramètre est incorrect, le processeur procède alors à une confirmation de la valeur car il y a souvent des écarts aléatoires (ou valeurs pics) qui peuvent fausser le contrôle, si la confirmation a lieu il y a alors affichage de cet état et interdiction de lever les barres. Le message persiste tant qu'une réparation n'a pas lieu, dès que la valeur du paramètre redevient correcte, il y a poursuite du traitement.

Les organigrammes des différentes subroutines sont données en figure 52, 53, 54.

Si tous les paramètres de la séquence de démarrage sont corrects, il y a affichage d'un message décrivant la situation, attente de la mise de la clé de démarrage et signalisation par la led jaune.

5.2 - Boucle de chute d'urgence :

Une fois que l'autorisation de montée des barres est accordée, il y a passage vers la séquence de traitement de chute d'urgence par l'intermédiaire du bit 7 du microswitch n° 9 (mise à l'état 1) qui simule la mise de la clé de démarrage. L'organigramme détaillé est donné par la figure 5.6. La structure des tests des différentes chaînes est identique à celle du premier programme ; il y a une modification au niveau de la décision puisque dans ce cas :

1er : Si le paramètre est correct, il y a passage à la chaîne de mesure suivante

2ème : Si le paramètre est incorrect, il y a chute d'urgence des barres avec affichage du motif et signalisation par la led rouge. Le processeur se met alors en attente de la réparation et d'une action de l'opérateur sur le clavier pour

Organigramme Sp1: Chaîne de Fission Ch 1

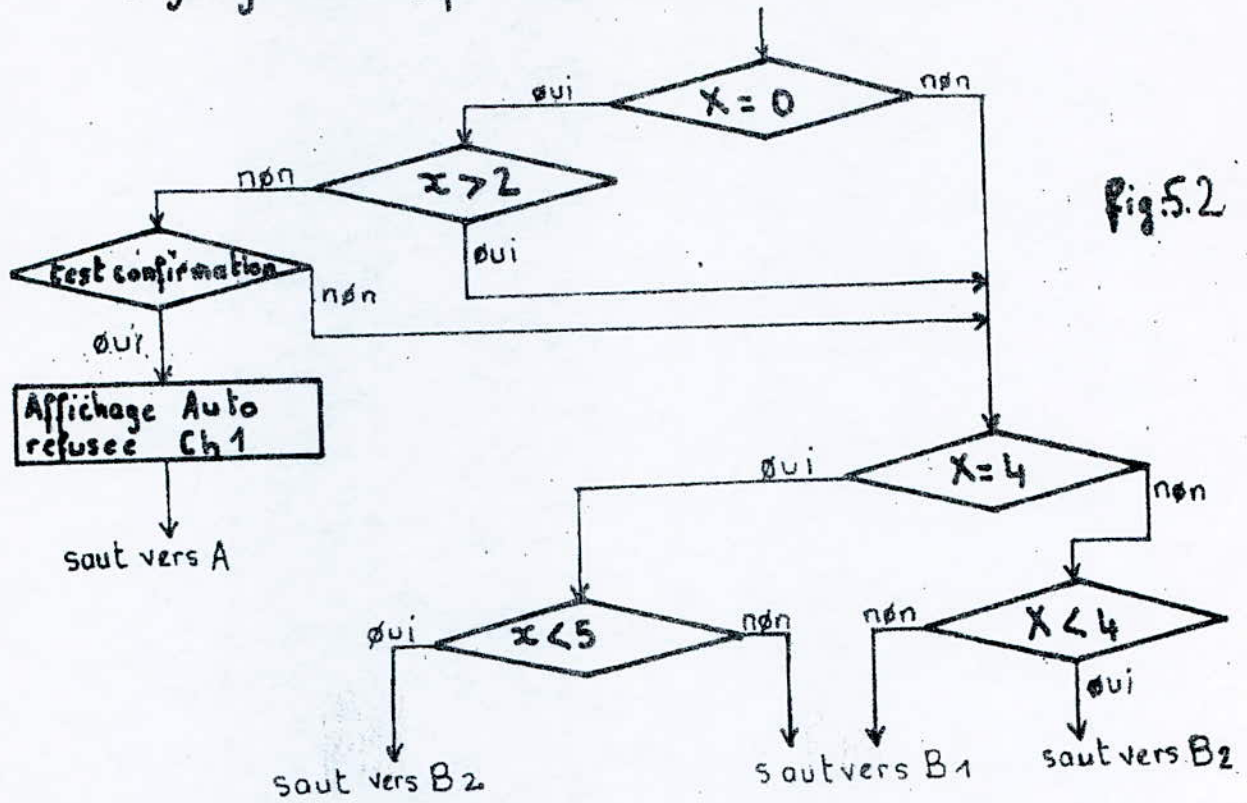


Fig. 5.2

Organigramme Sp2 : Chaînes Logarithmiques Ch 2 & Ch 3

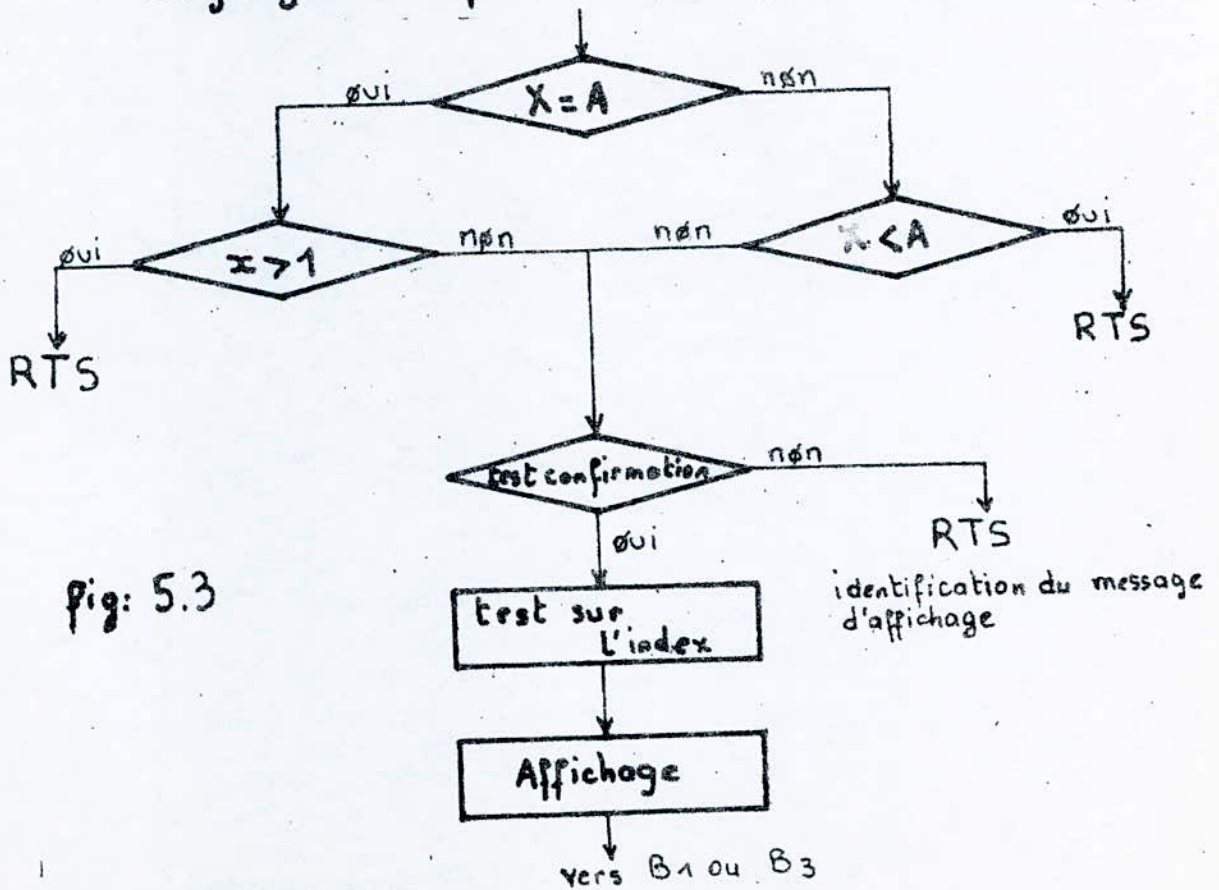
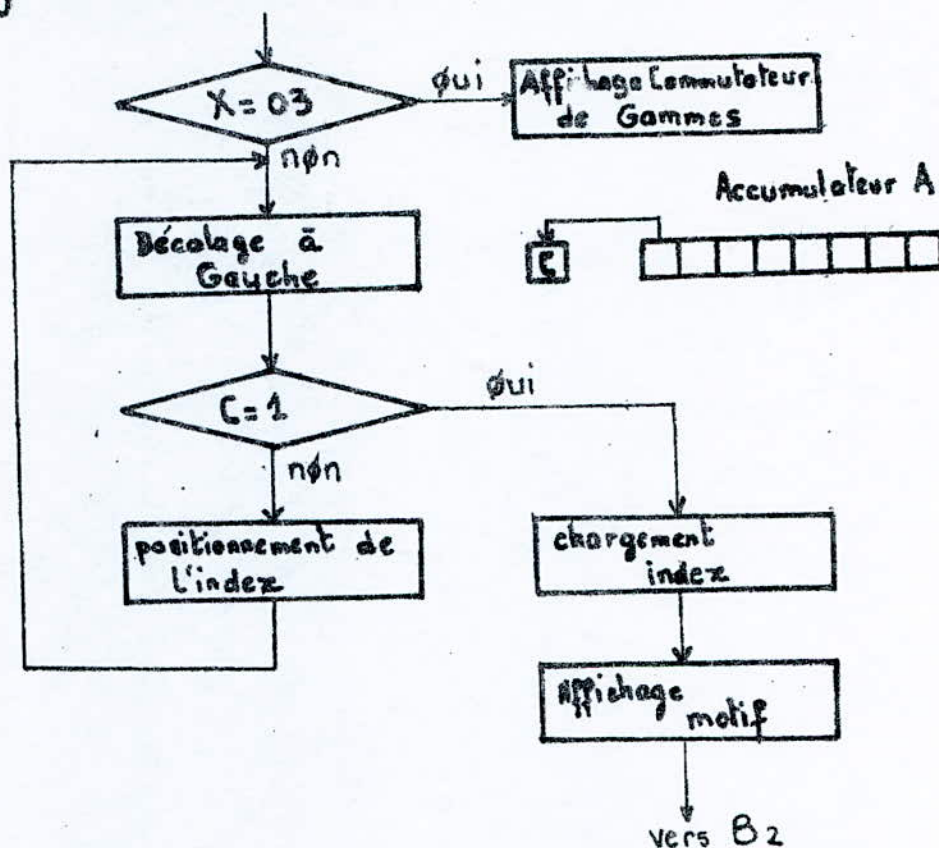


Fig: 5.3

Organigramme SP5, Traitement des 7 Etats Logiques C4

fig: 5.4



Organigramme SP6, Traitement des 3 etats Logiques. C10

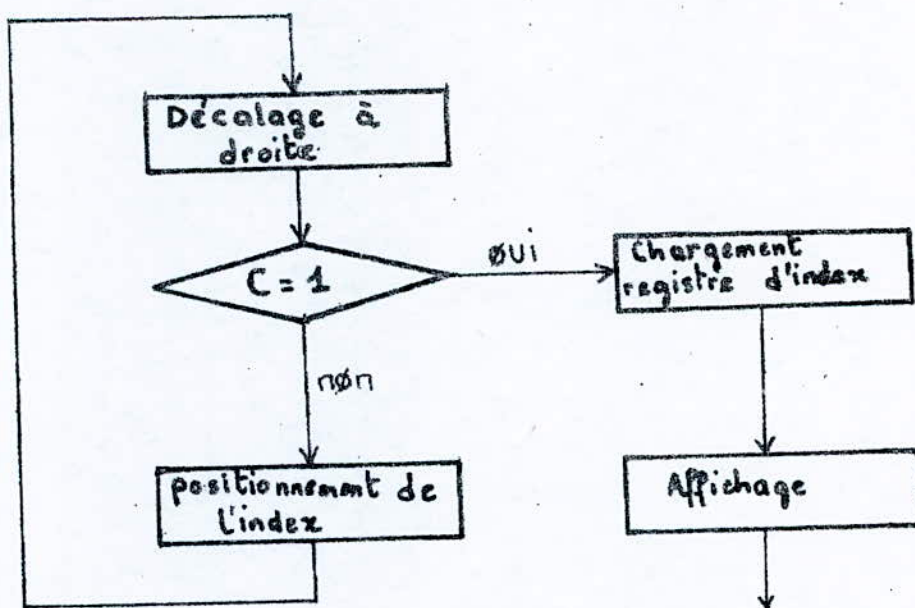
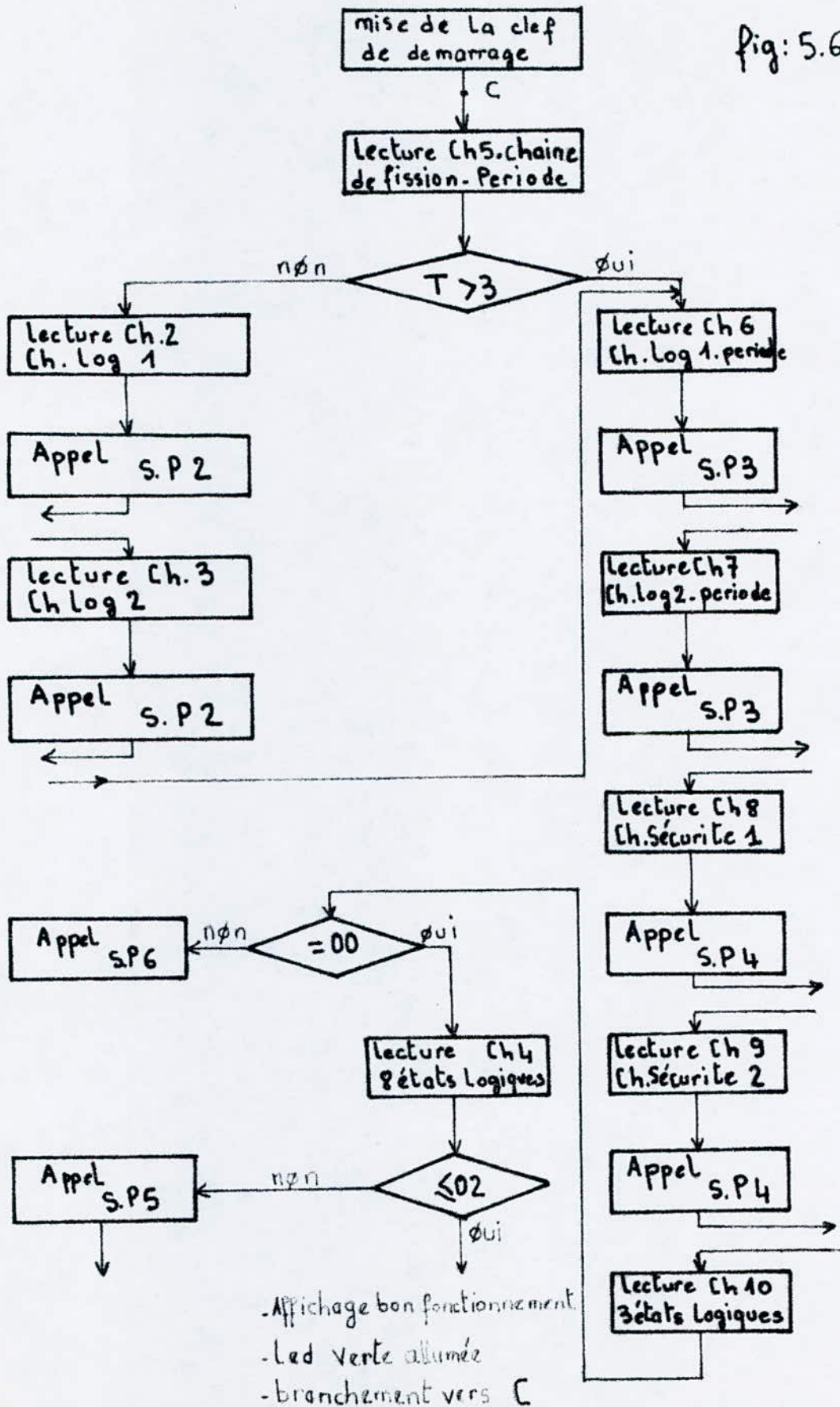


Fig: 5.9

Organigramme Chute d'Urgence

Fig: 5.6



effectuer un nouveau démarrage. Une fois que le défaut a été palié l'opérateur se doit d'introduire le mot "NEXT" pour redémarrer le programme (voir Fig 5.7,58,59).

Dans le cas où tous les paramètres sont corrects, il y a affichage d'un message indiquant cet état de fait tout en surveillant l'évolution des différentes données, il y a alors une signalisation par la led verte.

5.3 - Programme Auto-testant

Pour assurer une plus grande fiabilité de notre dispositif, nous avons prévu un programme auto-testant qui se déroule à chaque fois qu'une IRQ a lieu. Celle-ci est fournie par le Timer toutes les 5 secondes. L'organigramme détaillé est indiqué par la figure 5.10. La procédure employée par l'auto-test consiste à traiter toutes les sous-routines par des valeurs erronées qui doivent en principe entraîner une interdiction. Si celle-ci a lieu ceci implique que le programme se déroule convenablement ; il est à noter que l'interdiction est inhibée par soft pour éviter de perturber la bonne marche du réacteur.

Le programme auto-testant réalise aussi le contrôle des mémoires RAM utilisées pour s'assurer que le processeur effectue des lectures et des écritures correctes, dans le cas contraire un message indiquant une anomalie au niveau des mémoires RAM est affiché.

Un message d'auto-test positif apparaît toutes les 5 secondes. Son absence témoigne d'une perturbation dans le déroulement du programme.

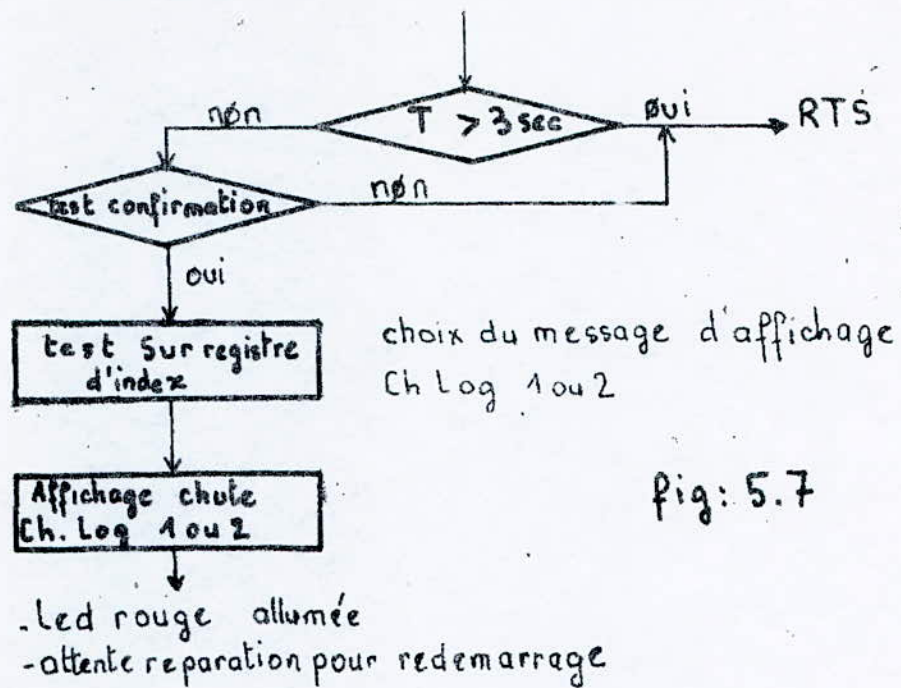
5.4 - REMARQUES CONCERNANT LES DIFFERENTS SOUS-PROGRAMMES

Lors du programme de chute d'urgence, nous avons prévu le contrôle de la chaîne 4 (nécessaire dans la phase de démarrage) et cela pour éviter tout risque d'accident (ouverture de la porte camion pendant le fonctionnement du réacteur par exemple).

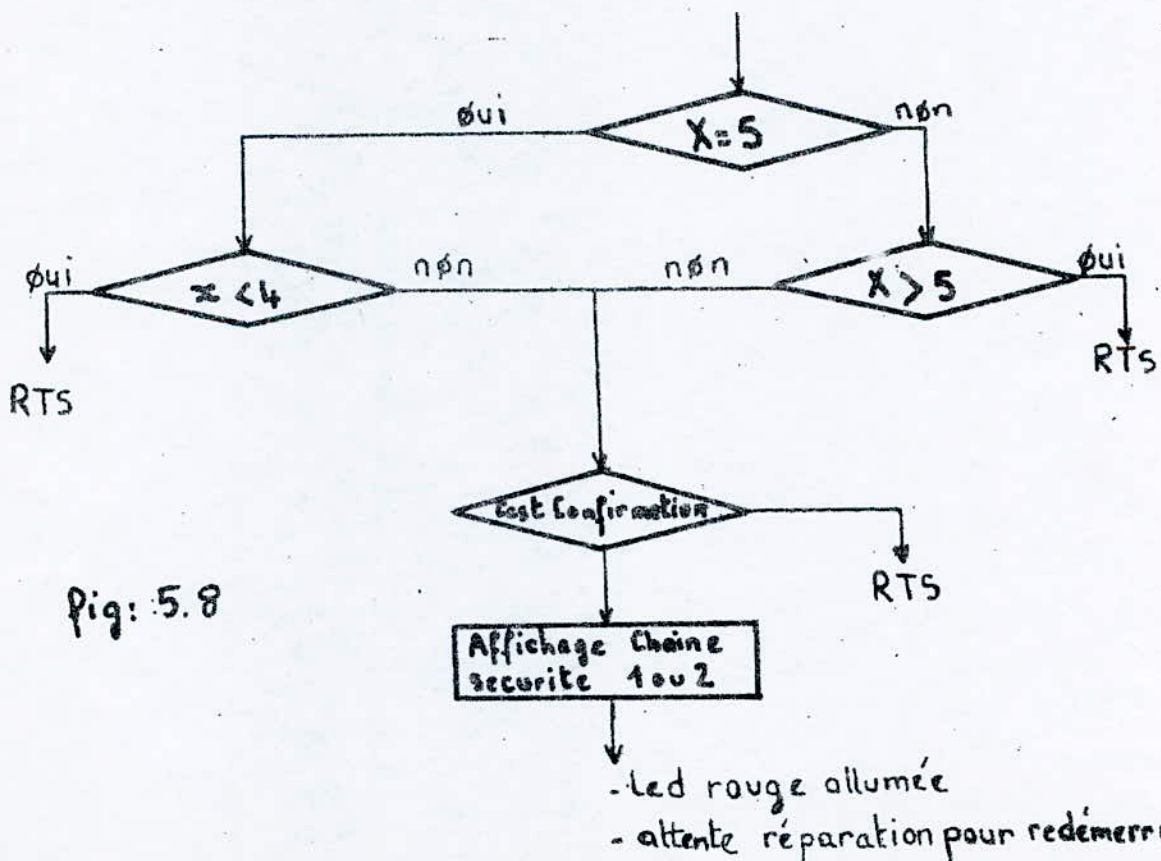
La simulation des états "tout ou rien" se fait par les bits suivants :

- microswitch numéro 03 bit 7 : porte camion
- " " bit 6 : bouchon canal 1
- " " bit 5 : bouchon canal 2
- " " bit 4 : clapets

Organigramme SP3 Chaines Logarithmiques 1et2 :Ch6 et Ch7



Organigramme SP4 Chaines Securites 1et2 :Ch8et9



Organigramme Pour Auto-test

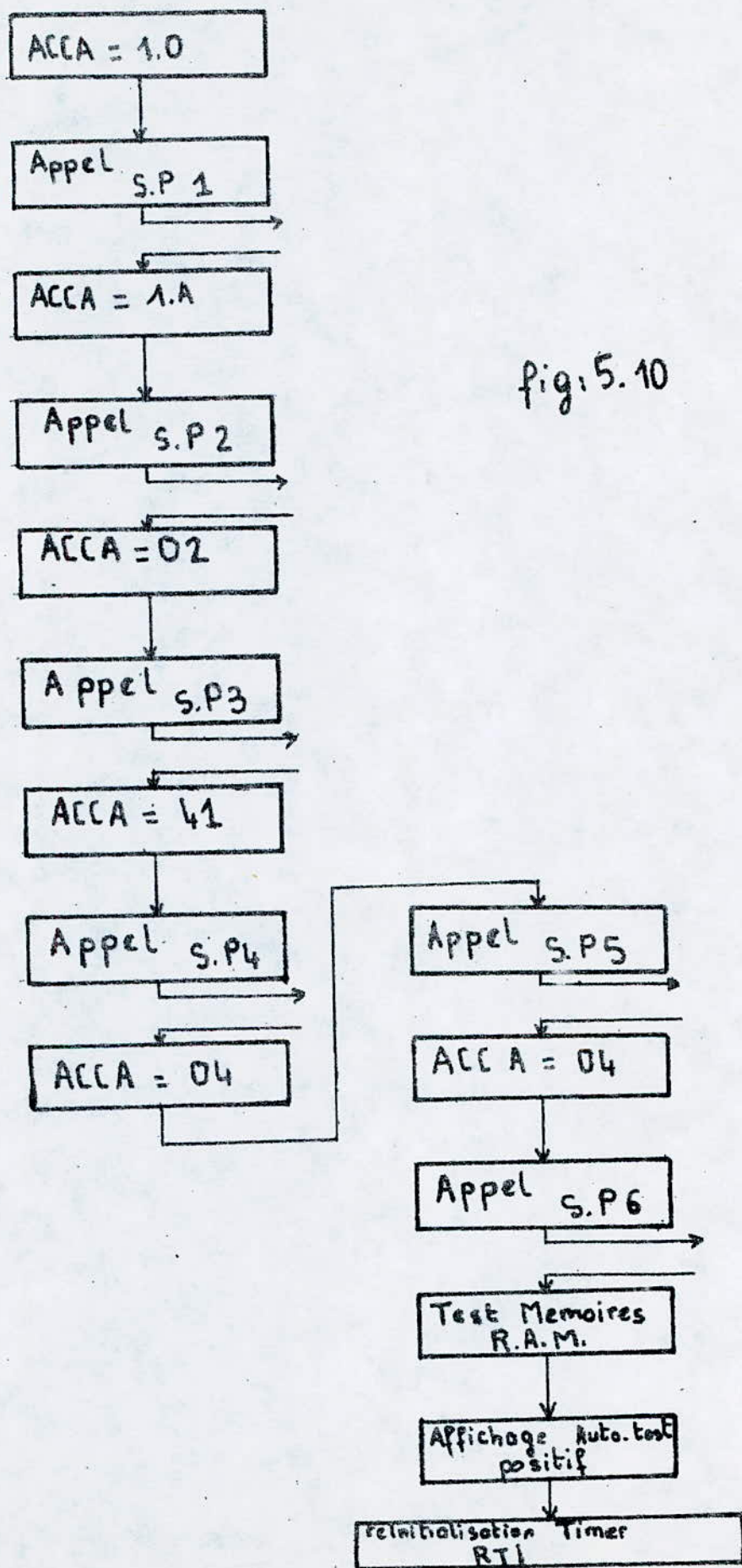


fig. 5.10

- microswitch numéro 03 bit 3 : clef de ronde mécanicien
- " " " bit 2 : clef de ronde électricien
- " " " bit 1 } : commutateur de gammes
- " " " bit 0 }
- microswitch numéro 09 bit 2 : ordre manuel plongeon
- " " " bit 1 : ordre manuel pupitre
- " " " bit 0 : support mécanique des barres.

La subroutine assurant le traitement des différents messages à afficher réside dans le programme EXBUG à l'adresse FA 14. Nous leurs avons réservé l'espace mémoire compris entre 0300 et 067F.

L'interruption programmable SWI a été utilisée pour permettre le déroulement de la séquence "d'attente de réparation et l'introduction d'un mot code" pour relancer le programme. Pour ceci il suffit de fournir l'adresse du début de la séquence en question aux adresses FFFA et FFFB.

L'insertion du comparateur SN 74 H 85 permet la translation de la carte dans l'espace mémoire disponible de 1000 en 1000 (voir Chap 4). Nous devons donc procéder à des modifications au niveau du programme et ceci en remplaçant toutes les valeurs marquées d'un astérisque par l'équivalent hexadécimal des 4 bits d'adresses de poids forts validés.

Exemple : espace réservé 5000 5FFF
programme

adresse	code opération	opérandes
5006	BD	52 AO
500B	BD	52 80
500E	CE	53 00

Programme 1 : Autorisation de montée des barres

0000	CLR 7290	7E 72 90	
3	LDS #7905	8E 79 05	
6	JSR 02A0	BD *02 A0	
9	LDAB # 00	C6 00	
B	JSR 0280	BD *02 80	Lecture de la chaine 1
E	LDX # 0300	CE *03 00	
11	JSR 02AA	BD *02 AA	
14	BRA SP1	20 4A	en 0060
16	JSR 02A0	BD *02 A0	
19	LDAB # 01	C6 01	
1B	JSR 0280	BD *02 80	Lecture de la chaine 2.
4E	LDX # 0320	CE *03 20	
21	JSR 02AA	BD *02 AA	
24	BSR SP2	8D 74	en 009A
26	JSR 02A0	BD *02 A0	
29	LDAB # 02	C6 02	
2B	JSR 0280	BD *02 80	Lecture de la chaine 3
2E	LDX # 0340	CE *03 40	
31	JSR 02AA	BD *02 AA	
34	BSR SP2	8D 64	en 009A
36	CLR 7291	7F 72 91	
LP2 39	LDAB # 03	C6 03	
3B	JSR 0280	BD *02 80	Lecture de la chaine 4
3E	JSR 02AA	BD *02 AA	

	0041	CMPA # 02	81 02	
	43	BLS LP1	23 0B	
	45	JSR 023A	BD *02 3A	Vers SP5
	48	LDX # 05C0	CE *05 C0	
	4B	JSR 07B0	BD *07 B0	Pour affichage.
	4E	BRA LP2	20 E9	
LP1	50	LDX # 0360	CE *03 60	
	53	JMP 02C0	7E *02 C0	Pour affichage.

Sous-programme 1 pour chaîne de fission (C1)

	0060	TAB	16	
	61	ANDB # F0	C4 F0	
	63	TST B	5D	
	64	BEG LP3	27 09	
	66	ANDA # OF	B4 OF	
	68	TST A	4D	
	69	BNE LP1	26 20	
	6B	CMPB # 20	C1 20	
	6D	BHI LP1	22 1C	
LP3	6F	STS 7294	BF 72 94	
	72	LDAB 7294	F6 72 94	
	75	CMPB # 78	C1 78	
	77	BEG LP4	27 1C	
	79	TST 7293	7D 72 93	

	007C	BEQ LP5	27 08	
LP6	7E	DEC 7293	7A 72 93	
	81	BNE LP6	26 FB	
LP7	83	JMP 0009	7E *00 09	
LP5	86	JSR 07B0	BD *07 B0	
	89	BRA LP7	20 F8	
LP1	8B	CMPA # 04	81 04	
	8D	BNE LP2	26 02	
	8F	CMPB # 50	C1 50	
LP2	91	BLT (0036)	2D A3	vers chaine 4
	93	BRA (0016)	20 81	vers chaine 2
LP4	95	RTS	39	

Sous-programme 2 . pour chaines Logarithmiques 1 et 2.
(C2 et C3).

	009A	TAB	16	
	9B	ANDB # FO	C4 FO	
	9D	TSTB	5D	
	9E	BEQ LP3	27 0A	
	A0	ANDA # OF	84 OF	
	A2	CMPA # 0A	81 0A	
	A4	BNE LP1	26 48	
	A6	CMPB # 10	C1 10	
	A8	BHI LP2	22 48	
LP3	AA	STS 7294	BF 72 94	

	00AD	LDAB 7294	F6 72 94
	B0	CMPB # 78	C1 78
	B2	BEQ LP2	27 3E
	B4	TST 7293	7D 72 93
	B7	BEQ LP5	27 07
LP6	B9	DEC 7293	7A 72 93
	BC	BNE LP6	26 FB
	BE	BRA LP7	20 14
LP5	C0	STX 7296	FF 72 96
	C3	LDAB 7297	F6 72 97
	C6	CMPB # 20	C1 20
	C8	BEQ LP4	27 07
	CA	CMPB # 40	C1 40
	CC	BEQ LP4	27 03
	CE	JMP 07D6	7E *07 D6
LP4	D1	JSR 07B0	BD *07 B0
LP7	D4	STX 7296	FF 72 96
	D7	LDAB 7297	F6 72 97
	DA	CMPB # 20	C1 20
	DC	INS	31
	DD	INS	31
	DE	BEQ LP8	27 0B
	E0	CMPB # 40	C1 40
	E2	BEQ LP9	27 0F
	E4	CMPB # A0	C1 A0
	E6	BEQ LP10	27 0E
	E8	JMP 0122	7E *01 22

LP8	00EB	JMP	0019	7E *00 19
LP1	EE	BLT	LP2	2D 02
	F0	BRA	LP3	2D B8
LP2	F2	RTS		39
LP9	F3	JMP	0029	7E *00 29
LP10	F6	JMP	0112	7E *01 12

Programme 2 : Chute d'urgence des barres

0100	CLR	7292	7F 72 92	
103	LDS #	7905	8E 79 05	
106	LDAB #	04	C6 04	
108	JSR	0280	BD *02 80	Lecture de la chaine 5
10B	CMPA #	03	B1 03	
100	BHI	LP1	22 21	
10F	JSR	02A3	BD *02 A3	
112	LDAB #	01	C6 01	
114	JSR	0280	BD *02 80	Lecture de la chaine 2
117	JSR	02AA	BD *02 AA	
11A	LDX #	03A0	CE *03 A0	
11D	BSR	SP2	8D DB	en OOFA
11F	JSR	02A3	BD *02 A3	
122	LDAB #	02	C6 02	
124	JSR	0280	BD *02 80	Lecture de la chaine 3
127	JSR	02AA	BD *02 AA	

012A	LDX # 03C0	CE *03 C0	
120	JSR 009A	BD *00 9A	vers SP2
LP1 130	JSR 02A3	BD *02 A3	
133	LDAB # 05	C6 05	
135	JSR 0280	BD *02 80	Lecture de la chaine 6
138	LDX # 03E0	CE *03 E0	
138	JSR 02AA	BD *02 AA	
13E	BSR SP3	BD 5B	en 019B
140	JSR 02A3	BD *02 A3	
143	LDAB # 06	C6 06	
145	JSR 0280	BD *02 80	Lecture de la chaine 7
148	LDX # 0406	CE *04 06	
14B	JSR 02AA	BD *02 AA	
14E	BSR SP3	BD 4B	en 019B
150	JSR 02A3	BD *02 A3	
153	LDAB # 07	C6 07	
155	JSR 0280	BD *02 80	Lecture de la chaine 8
158	LDX # 042C	CE *04 2C	
15B	JSR 02AA	BD *02 AA	
15E	BSR SP4	BD 6B	en 01CB
160	JSR 02A3	BD *02 A3	
163	LDAB # 08	C6 08	
165	JSR 0280	BD *02 80	Lecture de la chaine 9
168	LDX # 044E	CE *04 4E	
16B	JSR 02AA	BD *02 AA	
16E	BSR SP4	BD 5B	en 01CB
170	LDAB # 09	C6 09	

0172	JSR 0280	BD *02 80	Lecture de La chaine 10
175	JSR 02AA	BD *02 AA	
178	ANDA # 07	84 07	
17A	TST A	4D	
17B	BNE LP2	26 1B	
17D	LDAB# 03	CC 03	
17F	JSR 0280	BD *02 80	
182	JSR 02AA	BD *02 AA	
185	CMPA # 02	81 02	
187	BLS LP3	23 09	
189	JSR 023A	BD *02 3A	vers SP5
18C	LDX # 05C0	CE *05 C0	
18F	JMP 07D6	7E *07 D6	
LP3 192	LDX # 0650	CE *06 50	
195	JMP 0782	7E *07 82	
LP2 198	JSR 020B	BD *02 0B	vers SP6
00FA	BRA (009A)	20 9E	vers SP2

Sous-programme 3 pour chaines Logarithmiques 1 et 2. (Ten Sec)
(C6 et C7)

019B	CMPA # 03	81 03
19D	BHI LP2	22 2B
19F	STS 7294	BF 72 94
1A2	LDAB 7294	F6 72 94
1A5	CMPB # 78	C1 78

	01A7	BEQ LP2	27 21
	1A9	TST 7293	7D 72 93
	1AC	BEQ LP5	27 07
LP6	1AE	DEC 7293	7A 72 93
	1B1	BNE LP6	26 FB
	1B3	BRA LP3	20 03
LP5	1B5	JMP 07D6	7E *07 D6
LP3	1B8	STX 7296	FF 72 96
	1BB	LDA B 7296	F6 72 96
	1BE	INS	31
	1BF	INS	31
	1C0	CMPB #03	C1 *03
	1C2	BEQ LP4	27 03
	1C4	JMP 0143	7E *01 43
LP4	1C7	JMP 0133	7E *01 33
LP2	1CA	RTS	39

Sous-programme 4 pour chaînes de Sécurité 1 et 2
(C8 et C9)

	01CB	TAB	16
	1CC	ANDB #FO	C4 FO
	1CE	TST B	5D
	1CF	BEQ LP2	27 39
	1D1	ANDA #OF	84 OF
	1D3	CMPA #05	81 05

	04D5	BNE LP1	26 2F
	1D7	CMP B # 3F	C1 3F
	1D9	BLS LP2	23 2F
LP3	1DB	STS 7294	BF 72 94
	1DE	LDA B 7294	F6 72 94
	1E1	CMP B # 78	C1 78
	1E3	BEQ LP2	27 25
	1E5	TST 7293	7D 72 93
	1E8	BEQ LP5	27 07
LP6	1EA	DEC 7293	7A 72 93
	1ED	BNE LP6	26 FB
	1EF	BRA LP4	20 03
LP5	1F1	JMP 07D6	7E *07 D6
LP4	1F4	STX 7296	FF 72 96
	1F7	LDA B 7297	F6 72 97
	1FA	INS	31
	1FB	INS	31
	1FC	CMP B # 2C	C1 2C
	1FE	BEQ LP7	27 03
	200	JMP 0163	7E *01 63
LP7	203	JMP 0153	7E *01 53
LP1	206	BHI LP2	22 02
	208	BRA LP3	20 D1
LP2	20A	RTS	39

Sous-programme 6 : Traitement des 3 états Logiques. (C10)

	020B	LDAB # 04	C6 *04
	200	STAB 729A	F7 72 9A
	210	LDA B# A0	C6 A0
	212	STA B 729B	F7 72 9B
	215	TAB	16
LP2	216	ASR B	57
	217	TPA	07
	218	ANDA # 01	84 01
	21A	CMP A # 01	81 01
	21C	BEQ LP3	27 0A
	21E	LDA A # 20	86 20
	220	ADDA 729B	BB 72 9B
	223	STA A 729B	B7 72 9B
	226	BRA LP2	20 EE
LP3	228	LDX 729A	FE 72 9A
	22B	STS 7294	BF 72 94
	22E	LDAB 7294	F6 72 94
	231	CMP B # 78	C1 78
	233	BEQ LP1	27 03
	235	JMP 07D6	7E *07 D6
LP1	238	RTS	39

Sous-programme : Traitement des 7 états Logiques (C4)

	023A	CMPA # 03	81 03
	23C	BNE LP1	26 01
LP4	23E	RTS	39
	23F	LDA B # 05	C6 *05
	241	STAB 7298	F7 72 98
	244	CLR 7299	7F 72 99
	247	TAB	16
LP2	248	ASLB	58
	249	TPA	07
	24A	ANDA # 01	84 01
	24C	CMPA # 01	81 01
	24E	BEQ LP3	27 0A
	250	LDA A # 20	86 20
	252	ADDA 7299	BB 72 99
	255	STAA 7299	B7 72 99
	258	BRA LP2	20 EE
LP3	25A	LDX 7298	FE 72 98
	25D	STS 7294	BF 72 94
	260	LDA B 7294	FG 72 94
	263	CMP B # 78	C1 78
	265	BEQ LP4	27 D7
	267	LDA B # 09	C6 09
	269	JSR 0280	BD *02 80
	26C	ANDA # 80	84 80

Sous-programme : Traitement des 7 etats Logiques (C4)

	023A	CMPA # 03	81 03
	23C	BNE LP1	26 01
LP4	23E	RTS	39
	23F	LDA B # 05	C6 *05
	241	STAB 7298	F7 72 98
	244	CLR 7299	7F 72 99
	247	TAB	16
LP2	248	ASLB	58
	249	TPA	07
	24A	ANDA # 01	84 01
	24C	CMPA # 01	81 01
	24E	BEQ LP3	27 0A
	250	LDA A # 20	86 20
	252	ADDA 7299	BB 72 99
	255	STAA 7299	B7 72 99
	258	BRA LP2	20 EE
LP3	25A	LDX 7298	FE 72 98
	25D	STS 7294	BF 72 94
	260	LDA.B 7294	F6 72 94
	263	CMPB # 78	C1 78
	265	BEQ LP4	27 D7
	267	LDA B # 09	C6 09
	269	JSR 0280	BD *02 80
	26C	ANDA # 80	84 80

026E	CMPA # 80	81 80
270	BEQ LP4	27 08
272	JSR 07B0	BD *07 B0
275	INS	31
276	INS	31
277	JMP 0039	7E *00 39
LP4 27A	JMP 07D6	7E *07 D6.

Sous-programme 7: Initialisation P.I.A.1

0280	CLR A	4F
281	STA A 0803	B7 *08 03
284	COM A	43
285	STA A 0802	B7 *08 02
288	STA A 0803	B7 *08 03
28B	STA B 0802	F7 *08 02
28E	CLR A	4F
28F	STA A 0801	B7 *08 01
292	STA A 0800	B7 *08 00
295	COM A	43
296	STA A 0801	B7 *08 01
299	LDA A 0800	B6 *08 00
29C	RTS	39

Sous-programme 8 : Initialisation des memoires

```

02A0 CLR 7291 7F 72 91
2A3 CLR 7293 7F 72 93
2A6 COM 7293 73 72 93
2A9 RTS 39

```

Sous-programme 9 : Memorisation des parametres

```

02AA STAB 729C F7 72 9C
2AD STA.A 729D B7 72 9D
2B0 RTS 39

```

Sous-programme 10 : Initialisation P.I.A 2

```

02B2 CLR A 4F
2B3 STA.A 080F B7 *08 0F
2B6 COM A 43
2B7 STA.A 080E B7 *08 0E
2BA STA.A 080F B7 *08 0F
2BD RTS 39

```

Programme d'affichage : Autorisation de montée des
barres ,Attente clef et ALLumage Led jaune

02C0	JSR 02B2	BD *02 B2	vers SP 10
2C3	LDA.A # 04	86 04	
2C5	STA.A 080E	B7 *08 0E	
2C8	CLR.B	5F	
2C9	CMP.B 7290	F1 72 90	
2CC	BEQ LP1	27 19	
2CE	LDA.B # 09	C6 09	
2D0	JSR 0280	BD *02 80	
2D3	ANDA # 80	84 80	
2D5	CMP.A # 80	81 80	
2D7	BEQ LP3	27 1A	
2D9	LDA.B 729C	F6 72 9C	
2DC	JSR 0280	BD *02 80	
2DF	CMP.A 729D	B1 72 9D	
2E2	BNE LP2	26 0C	
2E4	JMP 0003	7E *00 03	
LP1 2E7	INC 7290	7C 72 90	
2EA	JSR FA14	BD FA 14	Sous-prog. Exbug pour affichage.
2ED	JMP 0003	7E *00 03	
LP2 2F0	JMP 0000	7E *00 00	
LP3 2F3	JMP 0100	7E *01 00	

Programme d'affichage : Attente Reparation et redemarrage
par introduction d'un code "NEXT"

```

LP3 0680   LDX # 0680   CE *06 B0
          683   JSR FA14   BD FA 14
          686   LDX # 728C   CE 72 8C
LP1 689   JSR FA7F   BD FA 7F
          68C   STA A0,X   A7 00
          68E   INC X      0B
          68F   CPX # 7290   8C 72 90
          692   BNE LP1     26 F5
          694   LDX 728C   FE 72 8C
          697   CPX#4E45   8C 4E 45
          69A   BEQ LP2     27 02
          69C   BRA LP3     20 E2
LP2 69E   LDX 728E   FE 72 8E
          6A1   CPX#5854   8C 58 54
          6A4   BNE LP3     26 DA
          6A6   JMP 075A   7E *07 5A

```

Programme de test des memoires R.A.M utilisees
728C & 729E

```

06D5   LDA A# FF 86 FF
          6D7   LDX # 728C CE 72 8C
LP2 6DA   STA A0,X A7 00

```

06DC	LDA.B 0,X	E6 00
6DE	CMPB #FF	C1 FF
6E0	BNE LP1	26 09
6E2	INC.X	08
6E3	CPX #729F	8C 72 9F
6E6	BNE LP2	26 F2
6E8	JMP 07E2	7E *07 E2
LP1 6EB	LDX # 0470	CE *04 70
6EE	JSR FA14	BD FA 14
6F1	JMP 0680	7E *06 80

Programme pour : attente demarrage

06F9	LDX # 0680	CE *06 80
6FC	STX FFFA	FF FF FA
6FF	CLR 729E	7F 72 9E
702	LDS # 7905	8E 79 05
705	JSR 02B2	BD *02 B2
708	CLR.A	4F
709	STA.A 080E	B7 *08 0E
70C	LDA.B #09	C6 09
70E	JSR 0280	BD *02 80
711	AND.A #40	84 40
713	CMP.A #40	81 40
715	BEQ LP1	27 06

	0717	LDX # 05E0	CE *05 E0	
	71A	JMP 0720	7E *07 20	Pour affichage.
LP1	71D	JMP 073A	7E *07 3A	Pour initialisation du timer.
	720	CLR.B	5F	
	721	CMP.B 729E	F1 72 9E	
	724	BEQ LP2	27 03	
	726	JMP 0702	7E *07 02	
LP2	729	INC 729E	7C 72 9E	
	72C	JSR FA14	BD FA 14	
	72F	JMP 0702	7E *07 02	

Programme d'initialisation du timer

	073A	LDX # 0760	CE *07 60
	73D	STX FFFB	FF FF FB
	740	LDX # 01F3	CE 01 F3
	743	STX 080A	FF *08 0A
	746	LDX # 1388	CE 13 88
	749	STX 0806	FF *08 06
	74C	CLR 0809	7F *08 09
	74F	LDX # E001	CE E0 01
	752	STX 0808	FF *08 08
	755	LDA.A # 82	86 82
	757	STA.A 0808	B7 *08 08
	75A	CLI	0E
	75B	JMP 0000	7E *00 00

Programme d'interruption : Auto-test

0760	LDA.A # 10	86 10	
762	JSR 0060	BD *00 60	Vers SP1
765	LDA.A # 1A	86 1A	
767	JSR 009A	BD *00 9A	Vers SP2
76A	LDA.A # 04	86 04	
76C	JSR 023A	BD *02 3A	Vers SP5
76F	LDA.A # 02	86 02	
771	JSR 019B	BD *01 9B	Vers SP3
774	LDA.A # 41	86 41	
776	JSR 01CB	BD *01 CB	Vers SP4
779	LDA.A # 04	86 04	
77B	JSR 020B	BD *02 0B	Vers SP6
77E	JMP 06D5	7E *06 D5	Pour test memoires RAM.

Programme d'affichage : Bon fonctionnement du
reacteur et allumage Led verte

0782	JSR 02B2	BD *02 B2	Vers SP10
785	LDA.A # 01	86 01	
787	STA.A 080E	B7 *08 0E	
78A	CLR.B	5F	
78B	CMP B 7292	F1 72 92	
78E	BEQ LP1	27 0E	

	0790	LDA.B 729C	F6 72 9C
	793	JSR 0280	BD *02 80
	796	CMPA 729D	B1 72 9D
	799	BNE LP2	26 0C
	79B	JMP 0103	7E *01 03
LP1	79E	INC 7292	7C 72 92
	7A1	JSR FA14	BD FA 14
	7A4	JMP 0103	7E *01 03
LP2	7A7	JMP 0100	7E *01 00

Programme d'affichage: Autorisation de montée
des barres refusée

	07B0	JSR 02B2	BD *02 B2
	7B3	CLR.A	4F
	7B4	STA.A 080E	B7 *08 0E
	7B7	CLR.B	5F
	7B8	CMP.B 7291	F1 72 91
	7BB	BEQ LP1	27 0C
	7BD	LDA.B 729C	F6 72 9C
	7C0	JSR 0280	BD *02 80
	7C3	CMP.A 729D	B1 72 9D
	7C6	BNE LP2	26 0B
	7C8	RTS	39
LP1	7C9	INC 7291	7C 72 91

07CC	JSR FA14	BD FA 14
7CF	LDX 7296	FE 72 96
7D2	RTS	39
LP2 7D3	JMP 0000	7E *00 00

Programme d'affichage : Chute d'urgence des barres
et allumage Led rouge

07D6	JSR 02B2	BD *02 B2
7D9	LDA.A# 02	86 02
7DB	STA.A 080E	B7 *08 0E
7DE	JSR FA14	BD FA 14
7E1	SWI	3F

Programme d'affichage : Auto-test positif

07E2	LDX # 0600	CE *06 00
7E5	JSR FA14	BD FA 14
7E8	LDA.A# 83	86 83
7EA	STA.A 0808	B7 *08 08
7ED	LDA.A # 82	86 82
7EF	STA.A 0808	B7 *08 08
7F2	CLR 7290	7F 72 90
7F5	CLR 7291	7F 72 91
7F8	CLR 7292	7F 72 92
7FB	RTI	3B

CONCLUSION

La conception d'un système de protection pour un réacteur nucléaire pose une multitude de problèmes, car plus que partout ailleurs, les normes de sécurité de fonctionnement sont très strictes et doivent garantir une grande fiabilité.

Vu le développement actuel dans le domaine des microprocesseurs on peut avancer que le système de protection entièrement numérisé s'imposera dans le futur. Des possibilités multiples sont offertes par le redondance, tant au niveau des paramètres, des calculateurs que des voteurs.

Le dispositif réalisé dans le cadre de cette étude peut être utilisé pour la protection de tout système possédant une entrée de paramètres numériques, il peut être assujéti à plusieurs améliorations et nous recommandons particulièrement :

- La réalisation d'une unité centrale, ainsi l'autonomie du système serait assurée. Pour cela un afficheur 7 segments attaqué par le P.I.A.2 remplacerait la visualisation.
- L'étude et la réalisation de la partie analogique, comprenant notamment les capteurs, et les convertisseurs A/N.

Du point de vue Software, nous recommandons l'étude de la phase de pilotage ou chute normale des barres de sécurité du réacteur.

Enfin, on peut affirmer que l'objectif visé à été atteint, et les résultats obtenus sont très satisfaisants.

A N N E X E

Adresse des registres internes du Timer

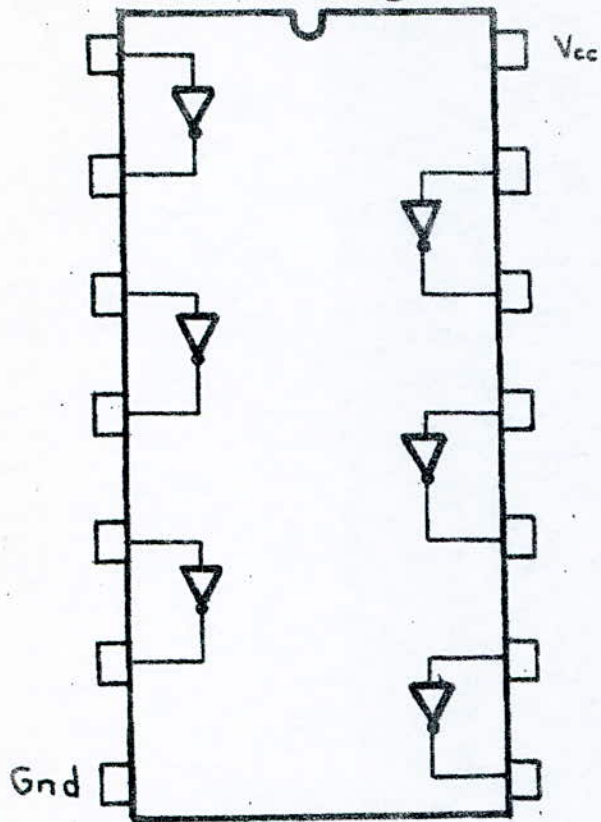
adresses	Opérations
X804	Lecture poids forts. sortie Compteur 2 écriture poids forts. Registre Timer 2
X805	Lecture poids faibles. sortie Compteur 2 écriture poids faibles. Registre Timer 2
X806	Lecture poids forts. sortie Compteur 3 écriture poids forts. Registre Timer 3
X807	Lecture poids faibles. sortie Compteur 3 écriture poids faibles. Registre Timer 3
X808	Lecture du registre d'état écriture dans CR3 (CR20 = 0) écriture dans CR1 (CR20 = 1)
X809	écriture dans CR2
X80A	Lecture poids forts. sortie Compteur 1 écriture poids forts. Registre Timer 1
X80B	Lecture poids faibles. sortie Compteur 1 écriture poids faibles. Registre Timer 1

Adresse des registres internes des PIA

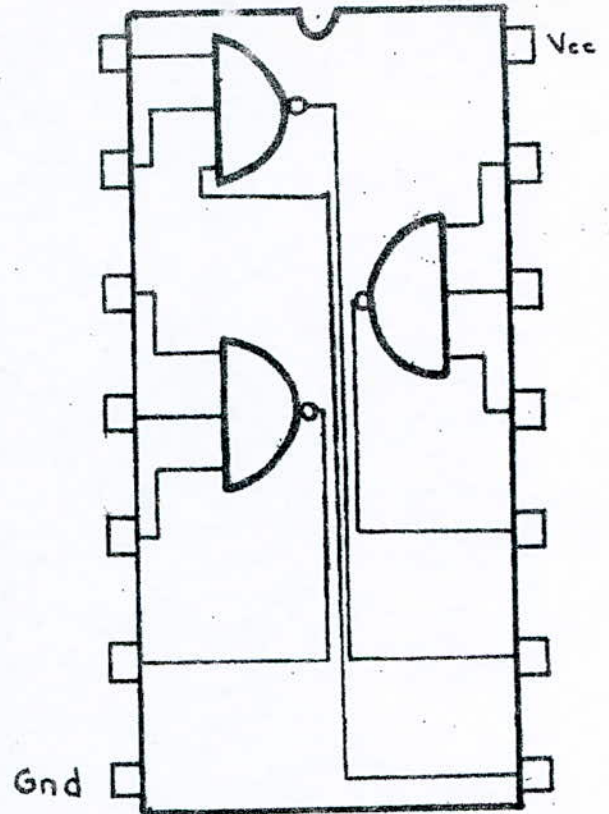
adresses	Opérations
X800	ORA
X801	CRA
X802	ORB
X803	CRB

adresses	Opérations
X80C	ORA
X80D	CRA
X80E	ORB
X80F	CRB

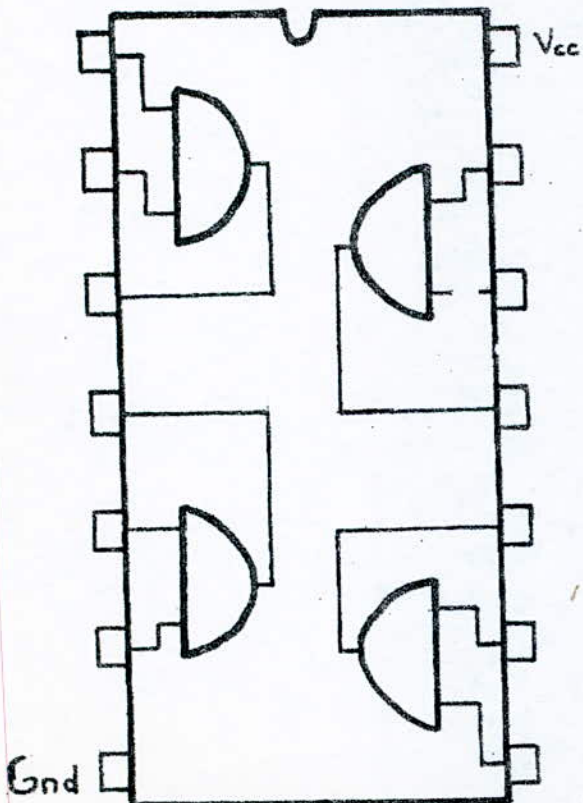
MC 14069



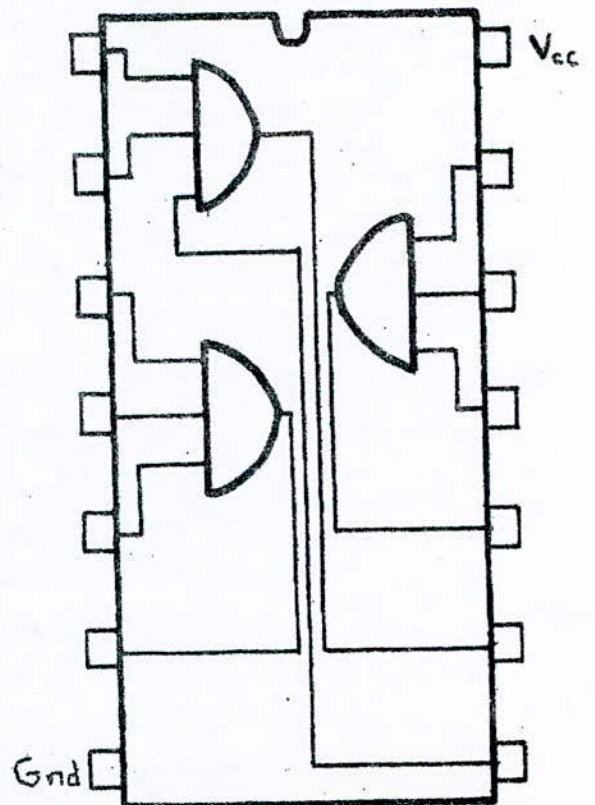
MC 14023



MC 14081



MC 14073



SN 7485

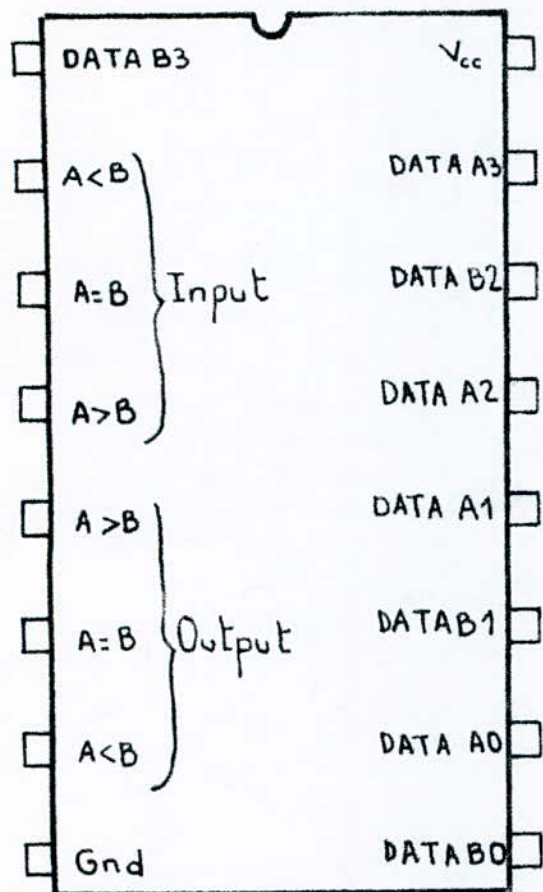


fig A2

table de verite du SN7485

Input			Output			
DATA A AND B	A > B	A = B	A < B	A > B	A = B	A < B
A > B	H	L	L	H	L	L
A > B	L	H	L	H	L	L
A > B	L	L	H	H	L	L
A = B	H	L	L	H	L	L
A = B	L	H	L	L	H	L
A = B	L	L	H	L	L	H
A < B	H	L	L	L	L	H
A < B	L	H	L	L	L	H
A < B	L	L	H	L	L	H
A > B	H	H	H	H	L	L
A = B	H	H	H	L	H	L
A < B	H	H	H	L	L	H

fig A2'

MC 14515

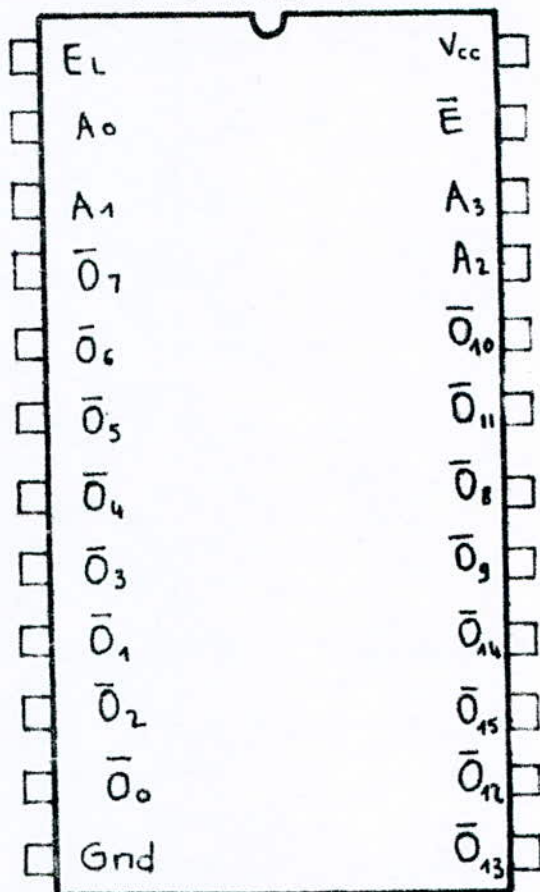


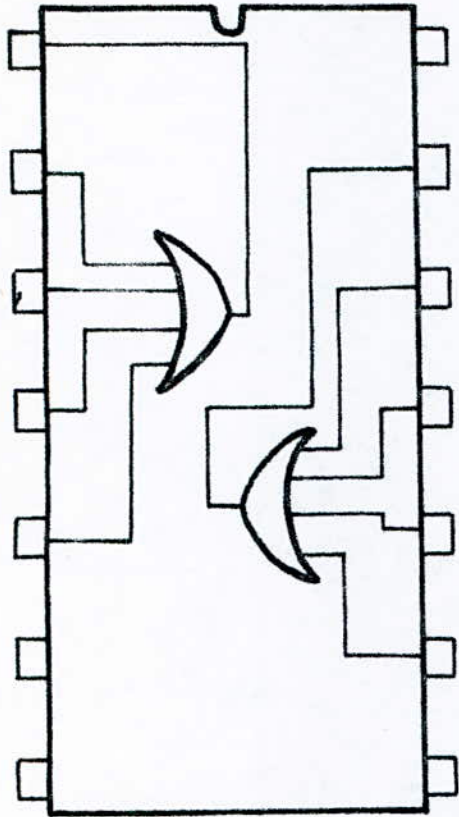
fig A.1

table de verite du 14515

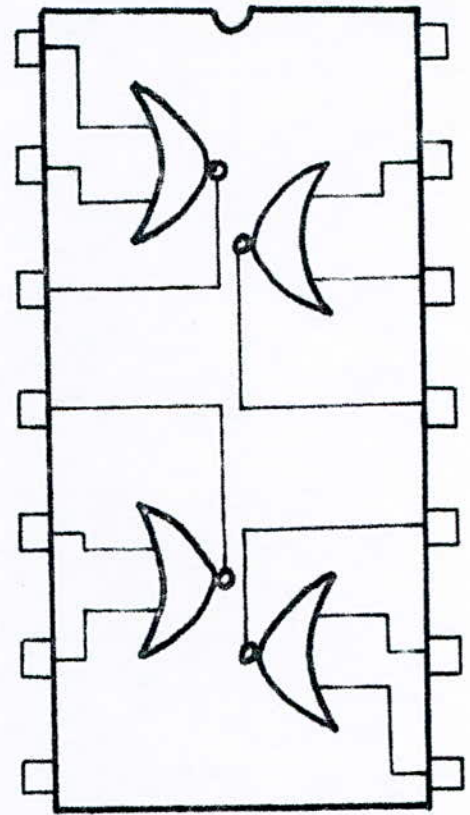
Entrees	E	Sorties													
		O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇	O ₈	O ₉	O ₁₀	O ₁₁	O ₁₂	O ₁₃
A ₀	X	L	H	L	H	L	H	L	H	L	H	L	H	L	H
A ₁	X	L	L	H	H	L	L	H	H	L	L	H	H	L	L
A ₂	X	L	L	L	L	H	H	H	H	L	L	L	L	H	H
A ₃	X	L	L	L	L	L	L	L	L	L	L	L	L	H	H
O ₀		H	L	H	H	H	H	H	H	H	H	H	H	H	H
O ₁		H	H	L	H	H	H	H	H	H	H	H	H	H	H
O ₂		H	H	H	L	H	H	H	H	H	H	H	H	H	H
O ₃		H	H	H	H	L	H	H	H	H	H	H	H	H	H
O ₄		H	H	H	H	H	L	H	H	H	H	H	H	H	H
O ₅		H	H	H	H	H	H	L	H	H	H	H	H	H	H
O ₆		H	H	H	H	H	H	H	L	H	H	H	H	H	H
O ₇		H	H	H	H	H	H	H	H	L	H	H	H	H	H
O ₈		H	H	H	H	H	H	H	H	H	L	H	H	H	H
O ₉		H	H	H	H	H	H	H	H	H	H	L	H	H	H
O ₁₀		H	H	H	H	H	H	H	H	H	H	H	L	H	H
O ₁₁		H	H	H	H	H	H	H	H	H	H	H	H	L	H
O ₁₂		H	H	H	H	H	H	H	H	H	H	H	H	H	L
O ₁₃		H	H	H	H	H	H	H	H	H	H	H	H	H	H
O ₁₄		H	H	H	H	H	H	H	H	H	H	H	H	H	H
O ₁₅		H	H	H	H	H	H	H	H	H	H	H	H	H	H

fig: A1'

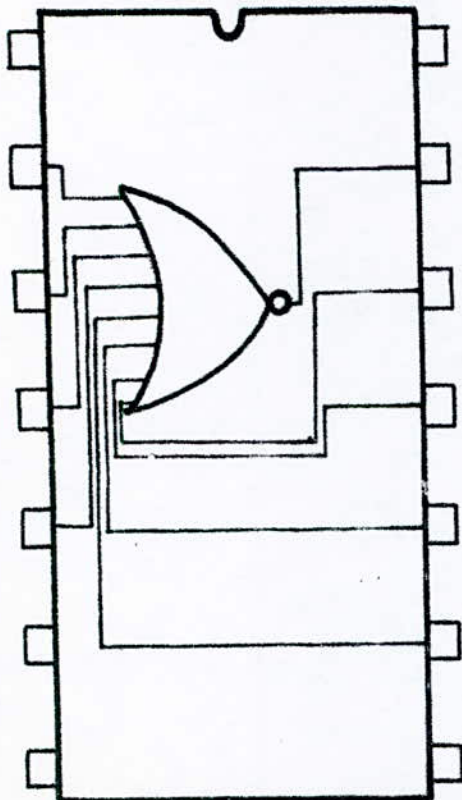
MC 14072



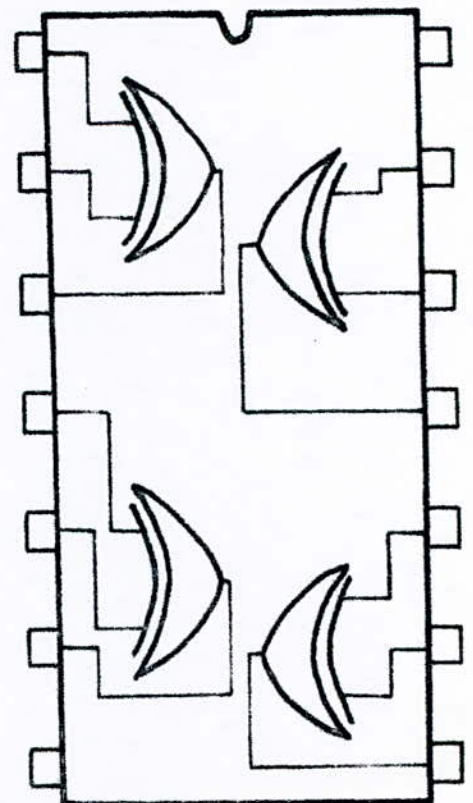
MC 14001



MC 14078



7486



LSB MSB	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	•	NOP (INH)	•	•	•	TAP (INH)	TPA (INH)	INX (INH)	DEX (INH)	CLV (INH)	SEV (INH)	CLC (INH)	SEC (INH)	CLI (INH)	SEI (INH)	•
1	SBA (REL)	CBA	•	•	•	TAB (INH)	TBA (INH)	•	DAA (INH)	•	ABA (INH)	•	•	•	•	•
2	BRA (REL)	•	BHI (REL)	BLS (REL)	BCC (REL)	BNE (REL)	BEQ (REL)	BVC (REL)	BVS (REL)	BPL (REL)	BMI (REL)	BGE (REL)	BLT (REL)	BQT (REL)	BLE (REL)	•
3	TSX (INH)	INS (INH)	PUL (A)	PUL (B)	DES (INH)	PSH (A)	PSH (B)	•	RTS (INH)	•	RTI (INH)	•	•	WAI (INH)	SWI (INH)	•
4	NEG (A)	•	•	COM (A)	LSR (A)	ROR (A)	ASR (A)	ASL (A)	ROL (A)	DEC (A)	•	INC (A)	TST (A)	•	CLR (A)	•
5	NEG (B)	•	•	COM (B)	LSR (B)	ROR (B)	ASR (B)	ASL (B)	ROL (B)	DEC (B)	•	INC (B)	TST (B)	•	CLR (B)	•
6	NEG (IND)	•	•	COM (IND)	LSR (IND)	ROR (IND)	ASR (IND)	ASL (IND)	ROL (IND)	DEC (IND)	•	INC (IND)	TST (IND)	JMP (IND)	CLR (IND)	•
7	NEG (EXT)	•	•	COM (EXT)	LSR (EXT)	ROR (EXT)	ASR (EXT)	ASL (EXT)	ROL (EXT)	DEC (EXT)	•	INC (EXT)	TST (EXT)	JMP (EXT)	CLR (EXT)	•
8	SUB (A) (IMM)	CMP (A) (IMM)	SBC (A) (IMM)	•	AND (A) (IMM)	BIT (A) (IMM)	LDA (A) (IMM)	•	EOR (A) (IMM)	ADC (A) (IMM)	ORA (A) (IMM)	ADD (A) (IMM)	CPX (A) (IMM)	BSR (REL)	LDS (IMM)	•
9	SUB (A) (DIR)	CMP (A) (DIR)	SBC (A) (DIR)	•	AND (A) (DIR)	BIT (A) (DIR)	LDA (A) (DIR)	STA (A) (DIR)	EOR (A) (DIR)	ADC (A) (DIR)	ORA (A) (DIR)	ADD (A) (DIR)	CPX (A) (DIR)	•	LDS (DIR)	STS (DIR)
A	SUB (A) (IND)	CMP (A) (IND)	SBC (A) (IND)	•	AND (A) (IND)	BIT (A) (IND)	LDA (A) (IND)	STA (A) (IND)	EOR (A) (IND)	ADC (A) (IND)	ORA (A) (IND)	ADD (A) (IND)	CPX (A) (IND)	JSR (IND)	LDS (IND)	STS (IND)
B	SUB (A) (EXT)	CMP (A) (EXT)	SBC (A) (EXT)	•	AND (A) (EXT)	BIT (A) (EXT)	LDA (A) (EXT)	STA (A) (EXT)	EOR (A) (EXT)	ADC (A) (EXT)	ORA (A) (EXT)	ADD (A) (EXT)	CPX (A) (EXT)	JSR (EXT)	LDS (EXT)	STS (EXT)
C	SUB (B) (IMM)	CMP (B) (IMM)	SBC (B) (IMM)	•	AND (B) (IMM)	BIT (B) (IMM)	LDA (B) (IMM)	•	EOR (B) (IMM)	ADC (B) (IMM)	ORA (B) (IMM)	ADD (B) (IMM)	•	•	LDX (IMM)	•
D	SUB (B) (DIR)	CMP (B) (DIR)	SBC (B) (DIR)	•	AND (B) (DIR)	BIT (B) (DIR)	LDA (B) (DIR)	STA (B) (DIR)	EOR (B) (DIR)	ADC (B) (DIR)	ORA (B) (DIR)	ADD (B) (DIR)	•	•	LDX (B) (DIR)	STX (B) (DIR)
E	SUB (B) (IND)	CMP (B) (IND)	SBC (B) (IND)	•	AND (B) (IND)	BIT (B) (IND)	LDA (B) (IND)	STA (B) (IND)	EOR (B) (IND)	ADC (B) (IND)	ORA (B) (IND)	ADD (B) (IND)	•	•	LDX (IND)	STX (IND)
F	SUB (B) (EXT)	CMP (B) (EXT)	SBC (B) (EXT)	•	AND (B) (EXT)	BIT (B) (EXT)	LDA (B) (EXT)	STA (B) (EXT)	EOR (B) (EXT)	ADC (B) (EXT)	ORA (B) (EXT)	ADD (B) (EXT)	•	•	LDX (EXT)	STX (EXT)

DIR = Direct Addressing Mode
 EXT = Extended Addressing Mode
 IMM = Immediate Addressing Mode
 IND = Index Addressing Mode
 INH = Inherent Addressing Mode
 REL = Relative Addressing Mode
 A = Accumulator A
 B = Accumulator B

B I B L I O G R A P H I E

* Fonctionnement et mise en oeuvre du microprocesseur M 6800

Documentation C.E.N.G - Octobre 1977.

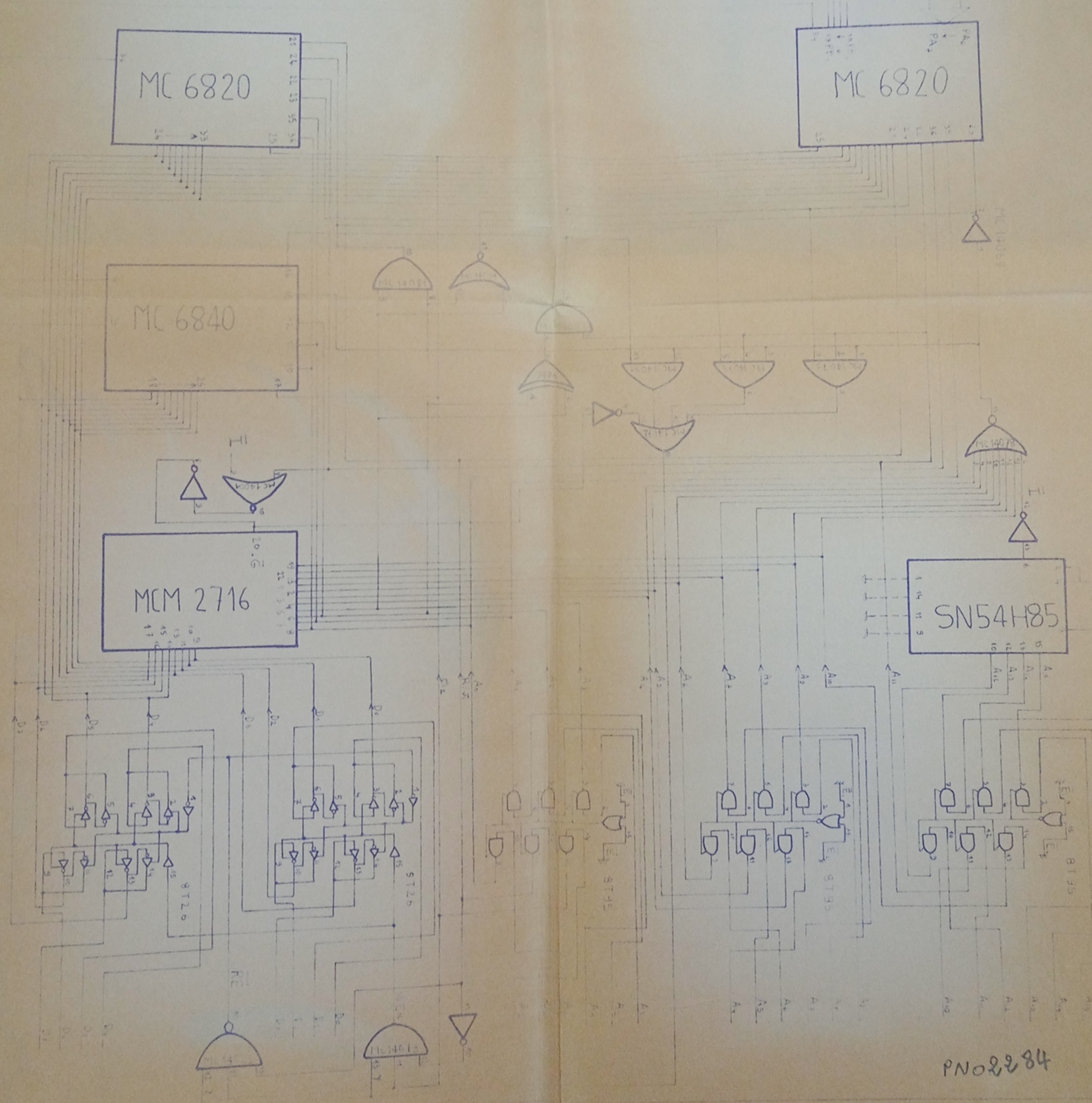
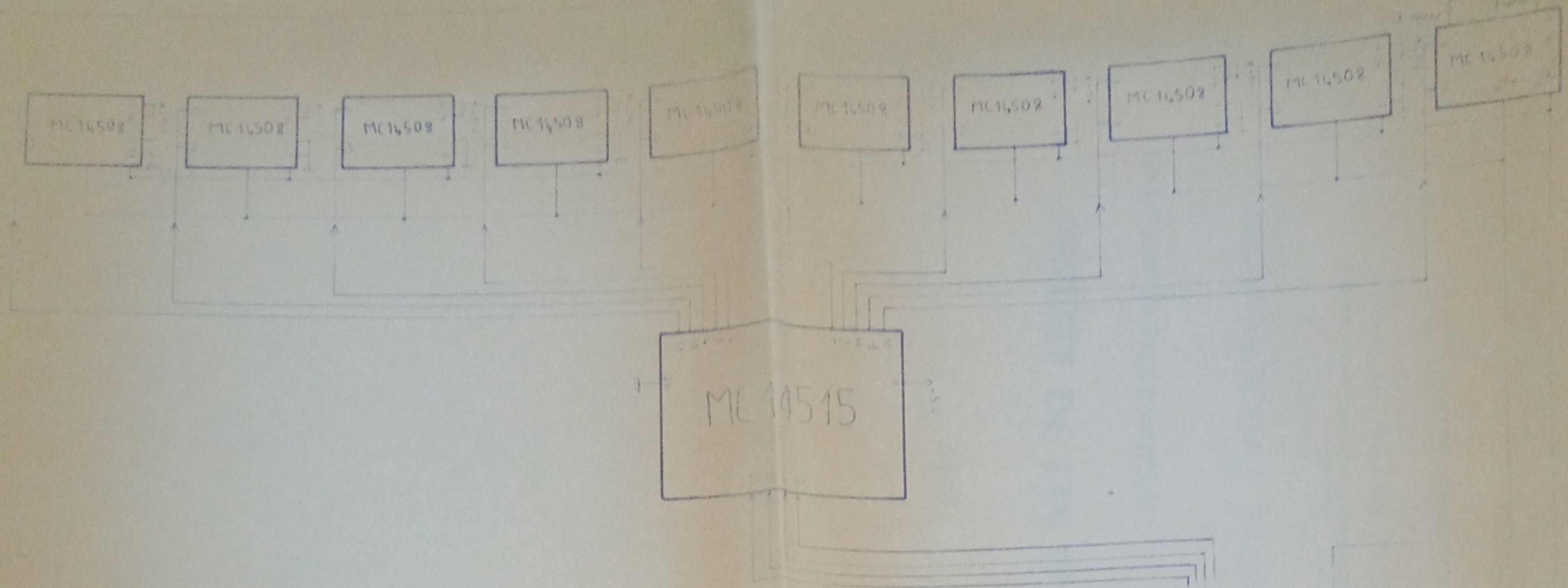
* Rapport de sûreté - SILOE -

C.E.A - C.E.N.G 1962 - 1963

* Revue Micro système N°3 (1979)

* Microcomputer components - Motorola Semiconductors.

Edition Motorola 1979 .



PN02284

