

21/75

UNIVERSITÉ D'ALGER

Aex

ÉCOLE NATIONALE POLYTECHNIQUE

المدرسة الوطنية للعلوم الهندسية
المكتبة
DÉPARTEMENT ÉLECTRICITÉ

ÉCOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

PROJET DE FIN D'ÉTUDES

المدرسة الوطنية للعلوم الهندسية
المكتبة

SIMULATEUR LOGIQUE

A SEMI-CONDUCTEURS

Proposé par

M^r V. ILIASOV

Réalisé par

Brahim OUARETS

& Amar OUCHENE

JUIN 1975

SIMULATEUR LOGIQUE
A SEMI-CONDUCTEURS

Proposé par

M^r V. ILIASOV

Réalisé par

Brahim OUARETS

& Amar OUCHENE

JUIN 1975

REMERCIEMENTS

Notre désir est de remercier les personnes qui, à titres divers, nous ont aidé à la réalisation de notre ouvrage

Que M.V. ILIASSOV, Docteur et Professeur à l'école nationale polytechnique, trouve ici l'expression de notre gratitude. Nous lui devons non seulement nos connaissances dans le domaine de l'étude des circuits combinatoires et séquentiels mais aussi une participation très active dans notre étude.

Notre reconnaissance va également à Mme G. MONDON qui, de par son aide, nous a rendu possible la réalisation de notre simulateur logique

Que tous ceux qui nous ont aidé trouvent ici l'expression de notre profonde gratitude.

B. OUARETS

A. OUCHENE

A-INTRODUCTION

I-Destinatuon du simulateur logique

II-Structure du simulateur

1-Choix du nombre de circuits logiques

2-Choix du nombre de circuits de mémoire et de temporisation

3-Choix du nombre d'amplificateurs

4-Choix du nombre d'entrées et de sorties

B-CIRCUITS LOGIQUES

I-Généralités

II-Opérateurs logiques

1-Inversion logique

2-Multiplication logique

3-Addition logique

III-Théorèmes généraux de la logique

IV-Fonctions logiques

V-Circuits à diodes

1-Foctions logiques réalisées:LN ou LP

2-Calcul des circuits à diodes

-Circuits "ET"

-Circuit "OU"

VI-Circuits à résistances et transistors

1-Fontions logiques réalisées

-Circuit "PAS"

-Opérateur "NI"

2-Calcul de circuits

-Circuit "NI"

-Circuits à diodes

VII-Circuits à diodes et transistors

VIII-Représentation de fonctions booléennes

C- CIRCUITS DE MEMOIRES

I-Généralités

II-Mémoire JK

- I- Table des phases primitives
- 2- Matrices d'excitation et de sortie
- 3- Schéma fonctionnel
- 4- Calcul de la mémoire J.K

III - Mémoire R.S. -

- I- a) Mémoire RS avec $RS = 0$
 - 1- Table des phases Primitives
 - 2- Matrices d'Excitation et de sortie .
 - 3- Schéma fonctionnel .-
- B) Mémoire RS avec $R + S = 0$ ($\bar{R} \bar{S} = 0$)
- C) Calcul de la mémoire R S

IV -) MEMOIRE T

- 1- Schéma fonctionnel et électrique .
- 2- Calcul de la mémoire T

V -) TEMPORISATION

- 1- Schéma fonctionnel et électrique .
- 2- Calcul du temporisateur .

-D) AMPLIFICATEUR .

- 1- Amplificateur de sortie : circuit de contrôle .
- 2- Calcul de l'amplificateur de sortie .

-E) ENTREES DU SIMULATEUR .

- 1- Utilisation d'interrupteurs
- 2- Variante du circuit d'entrée : multivibrateur astable .-

-F) BLOC D'ALIMENTATION .

- I- Choix du Circuit électrique .
- II- Calcul du transformateur
- III- Circuit redresseur .
- IV- Circuit stabilisateur .

- G) Synthèse d'un DISPOSITIF SEQUENTIEL .-

- I- Généralités .
- II- Méthode d' Huffman
- III- Exemples de systèmes Séquentiels .-

- H) - CONSTRUCTION DU SIMULATEUR.

- 1- Composition du panneau .
- 2- Montage des circuits logiques .
- 3- Montage des circuits de mémoire .
- 4- Montage du bloc d'alimentation .

- I) CONCLUSION .

A -) I N T R O D U C T I O N -

× I . Destination du Simulateur :

*- Le Simulateur est un appareil capable de reproduire le comportement d'un système que l'on désire étudier le fonctionnement (combinatoire-séquentiel ou détermination d'aléas).-

*- Pour le besoin des études aussi bien dans l'industrie que dans l'enseignement de nombreux simulateurs logiques ont été réalisés . Quelques -uns utilisent des relais à contacts (simulateur - vérificateur) .La plupart sont à base de relais statiques et diodes (Logistors).-

Ils se représentent sous forme d'un appareil sur lequel on peut réaliser des circuits au moyen de fils embrochés .Des commutateurs ou boutons -poussoirs permettent de simuler les variables d'entrées,des voyants constituent les éléments de sortie ; les éléments de temporisation assurent les retards pouvant aller jusqu'à quelques secondes .-

-Le travail préliminaire de l'Utilisateur sera de trouver les equations logiques caractérisant les séquences qu'il désire ;de telles équations lui permettent de cabler le schéma logique correspondant sur le simulateur .-

-Les Semi-conducteurs (Diodes -Transistors) fournissent l'une des méthodes les plus efficaces pour l'élaboration des fonctions de base : "ET" "OU" & "INVERSION" .

-Nous jugeons utile avant d'aborder l'étude proprement dite du Simulateur de parler de nombreux dispositifs et leurs applications nécessaires à sa réalisation .-

II . Structure du Simulateur :

I- Le choix du nombre de circuits logiques :

*-Dans le cablage d'une fonction logique quelconque l'Utilisateur désirera trouver à sa disposition toutes les portes nécessaires à l'établissement de son schéma logique .-

-Le nombre de portes doit être suffisant pour pouvoir cabler tous les types de fonctions logiques .- Ces portes seront indépendantes du reste des organes de manière à pouvoir être réalisées d'une façon propre à chaque type de fonctions :

- C I R C U I T S	: " E T "	_____	à 4 entrées2
- C I R C U I T S	: " E T "	_____	à 3 entrées4
- C I R C U I T S	: " O U "	_____	à 4 entrées2
- C I R C U I T S	: " O U "	_____	à 3 entrées4
- C I R C U I T S	: " N O R "	_____	à 3 entrées10

2- Le choix du nombre de circuits de Mémoire et temporisations :

*- La plus petite information à enregistrer est un " bit ". C'est pour cela que l'on appelle mémoire unitaire un organe de mémoire juste suffisant pour enregistrer cette information et de la restituer à n'importe quel moment .-

-Il est souvent nécessaire de conserver dans une mémoire pendant un certain temps, les données présentées à l'entrée d'un circuit .-La réalisation de ces mémoires repose essentiellement sur l'utilisation des vascules électroniques (Bistables ou Flip-Flop).

*- Notre simulateur comporte :

MEMOIRES J.K.	3
MEMOIRES T	2
TEMPORISATIONS	4

× 3 - Choix du nombre d'amplificateurs :

*- A la sortie des portes (Bloc - logique) le signal est atténué d'où la nécessité d'amplification .-

Amplificateurs 5 (inverseur)
Amplificateurs de sortie 4

4 - Le Choix du Nombre d'entrées et de sorties du Simulateur .

*-Ce Choix dépend du nombre de variables caractérisant notre système .
L'utilisation des interrupteurs à l'entrée nous permet d'avoir la variable logique et sa complémentée .

Les sorties sont caractérisées par des voyants lumineux, ou visualisées à l'oscilloscope .-

5 - Structure du Bloc d'alimentation :

*- L'utilisation d'un certain nombre d'alimentation en courant continu est nécessaire pour le fonctionnement du Simulateur .

- V.c.c Pour l'ensemble de circuits logiques et amplificateurs.
- E.b.b Pour l'ensemble des amplificateurs et des bascules .

V_{cc}	=	+	12 V
E_{bb}	=	-	5 V

× B- C I R C U I T S - L O G I Q U E S :

I- Généralités :

*-Tout raisonnement est composé d'idées élémentaires et conduit à des propositions qui ne peuvent être que vraies ou fausses .-La logique représente l'étude des rapports qui existent entre les différentes propositions d'un raisonnement et de la finalité de ce raisonnement ,selon que telles propositions qui le composent sont vraies ou fausses .-

L'algèbre logique a été introduite pour la première fois par le Logicien Anglais : GEORGES BOOLE (en 1847) dans une étude sur le calcul logique en analyse mathématique .Cette algèbre, qui porte aussi le nom d'algèbre de Boole ne devait recevoir ses premières applications que beaucoup plus tard grâce aux Japonais NAKASIMA & HAMZAWA (1936). Dans les calculs de circuits de contacts électriques et aussi grâce à l' AMERICAIN : C.E. SHANNON (1938) dans les réseaux complexes .-

Pour cette algèbre ,qu'on appelle algèbre logique, algèbre de BOOLE ou algèbre Binaire ,une variable logique est une variable capable de représenter n'importe quel phénomène qui ne peut prendre que deux états : donc en logique,une variable (si elle varie) ne peut prendre que les valeurs "0" & "1" (position "ouverte" et "fermée" d'un interrupteur - Etat " bloqué " ou " saturé " pour un transistor en commutation). -Si cette variable est à la position "ouvert" (valeur logique "0") elle ne peut passer qu'à la valeur "1" (position " fermée") et réciproquement .-

En logique , il existe trois (3) opérations fondamentales .

- L'inversion ou opération " PAS " ou " NOT " .-
- La multiplication logique ou opération " ET " ou " AND " .-
- L'addition logique ou opération " OU " ou " OR " .-

Ces opérations sont réalisées grâce à trois circuits élémentaires appelés circuits " PAS " - " E T " & " O U " . Ainsi tous les circuits utilisés dans les machines à calculer ou appareils de logique sont réalisés à partir de ces circuits et de leur combinaisons . Comme combinaisons particulières, on distingue les circuits suivants :

- Circuit " OU Exclusif " .-
- Circuit " NON - OU " ou circuit " NOR " .-
- Le circuit " NON - ET " ou circuit " NAND " .-

II .- Les Opérations logiques :

*- Dans ce paragraphe ; nous allons étudier succinctement les trois opérations fondamentales de l'algèbre de Boole et déterminer pour chacune de ces opérations leur représentation symbolique .-

1- Inversion logique

*- Cette opération qu'on appelle opération " PAS " ou " NOT " ou opération " Négation " nous permet connaissant la valeur d'une variable de déterminer celle de son inverse . En algèbre de Boole comme il n'existe que deux valeurs possibles " 0 " & " 1 " . L'inverse d'une variable binaire sera donc nécessairement l'autre valeur de la variable . L'opération inversion , qui représente la fonction négation n'a pas son équivalent en algèbre ordinaire . Elle représente le complément à " 1 " de la variable " X " . On désigne cette opération en disposant une barre horizontale au dessus de la variable à inverser . On note \bar{X} et on lit X barre.

D'après cette définition on a la table de vérité :

X	\bar{X}
0	1
1	0

- Cette opération peut être représentée par un schéma équivalent sous forme d'une série d'interrupteurs .

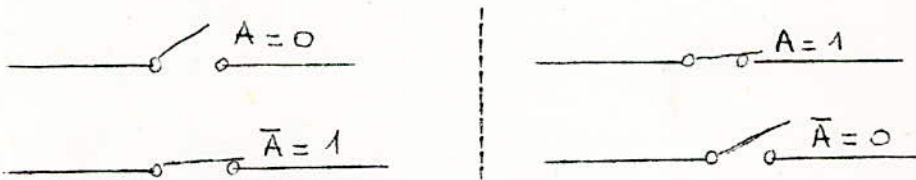


Fig . 1

- La Fig 1 nous montre que si $A = 0$ $\bar{A} = 1$.

- Dans les équations logiques , on représentera toujours un interrupteur ou n'importe quel circuit électrique fermé par la valeur logique " 1 " . Tandis que un circuit ouvert aura la valeur 0 .

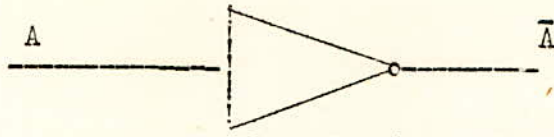


Fig.2 Représentation symbolique

2 - Multiplication Logique

*- Le produit logique traduit ce qu'on appelle une condition " ET " ou condition simultanée. Pour que l'effet auquel concourent deux états considérés puisse se manifester, il faut que ces deux états existent simultanément. Le produit logique que l'on appelle "ET" ou " AND " est donc une opération qui nous permet de réaliser la relation logique de multiplication :

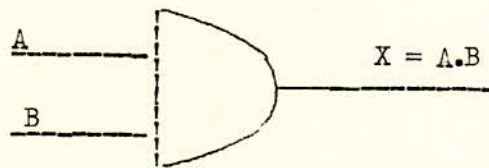
$$X = A \cdot B$$

*- Cette opération s'effectue sur 2 ou plusieurs variables. - Pour deux (2) variables binaires A & B, on a la table de vérité suivante :

A	B	X = A . B
0	0	0
0	1	0
1	0	0
1	1	1

*-Ce tableau permet de constater que le produit logique de 2 variables Booléennes est une autre variable Booléenne qui prend la valeur " 1 " si A = B = 1

(Si A & B sont égaux à "1")



Électriquement on peut représenter cette opération par deux interrupteurs en Serie avec une lampe . (Fig 3)

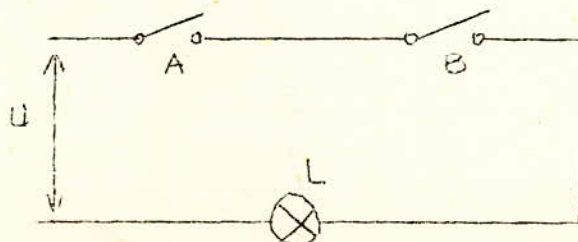
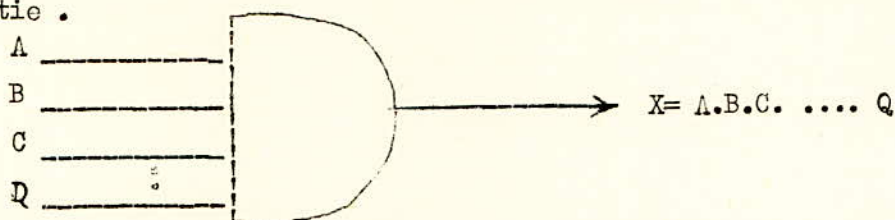


fig.3. X = A . B

Fig .3 La lampe ne s'allumera que lorsque les 2 interrupteurs sont fermés en même temps .

Remarque 1 : -Cette opération peut être généralisée en considérant Q une multiplication logique de n variables : $A \cdot B \cdot C \dots Q$.

La représentation dans ce cas sera un circuit "ET" ayant n entrées et une sortie .



Remarque 2 : Le produit logique est une opération

- Commutative : $A \cdot B = B \cdot A$
- Associative : $A (B \cdot C) = (A \cdot B) \cdot C$
- Idempotente : $A \cdot A = A$

3 - L' Addition logique :

*- L'addition logique traduit ce qu'on appelle une condition " OU" . Elle permet de réaliser l'opération logique .

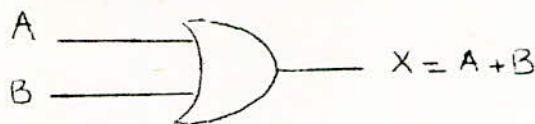
$$X = A + B$$

-Pour 2 variables Booléennes A & B : cette opération est définie par la table de vérité suivante :

A	B	X = A + B
0	0	0
0	1	1
1	0	1
1	1	1

L'addition Booléenne de 2 variables Booléennes est une variable Booléenne qui prend la valeur " 1 " si l'une ou l'autre des variables A & B prennent la valeur " 1 " $X = 1$ (pour A ou B = 1)

Schema



*- La représentation électrique peut se faire aussi à l'aide d'interrupteurs mais, que l'on placera cette fois - ci en parallèle .-

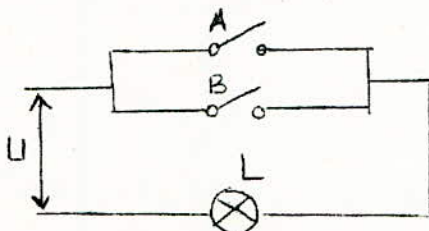
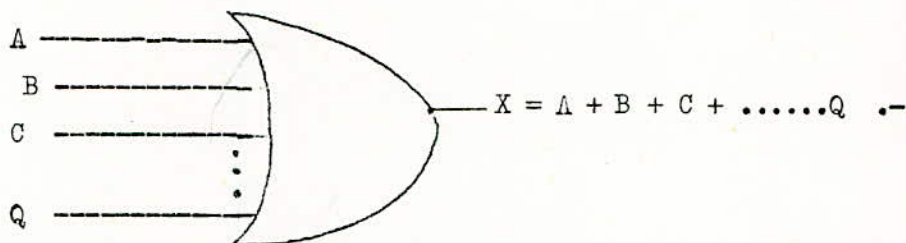


Fig .4 Représentation électrique de l'addition logique

On voit donc , qu'il suffit que l'un ou l'autre des interrupteurs soit fermé pour que la lampe s'allume .-

Remarque 1 : - L'addition logique peut être généralisée de manière à être réalisée en considérant n variables : A, B, CQ on aura donc l'opération $X = A + B + C + \dots + Q$.

La représentation d'une telle opération se fait à l'aide d'un circuit "OU" ayant n entrées et une sortie .



De même ce circuit sera représenté par n interrupteurs placés en parallèle.

Remarque 2 : L'opération logique " addition logique" est une opération

- Commutative : $A + B + C = A + C + B = B + A + C$
- Associative : $A + B + C = (A + B) + C = A + (B + C) .-$
- Idempotente : $A + A = A$

III . Les Théorèmes Fondamentaux de la Logique :

*- Dans ce paragraphe nous allons donner ,sans démonstrations , les théorèmes fondamentaux de l'algèbre Booléenne :

THEOREMES	SCHEMAS ELECTRIQUES EQUIVALENTS DE CES THEOREMES
$A + 0 = A$	
$A + 1 = 1$	
$A + A = A$	
$A + \bar{A} = 1$	
$A \cdot 0 = 0$	
$A \cdot 1 = A$	
$A \cdot A = A$	
$A \cdot \bar{A} = 0$	

De ces théorèmes fondamentaux, on peut déduire les relations suivantes :

- ... $A + AB = A$
- ... $A + \bar{A}B = A + B$
- ... $A(B + C) = AB + AC$
- ... $(A + B)(A + \bar{B}) = A$
- ... $\underline{\underline{A}}(A + B) = A$
- ... $\bar{\bar{A}} = A$ (double inversion)

Théorème de MORGAN : (inversion d'une expression logique)

-Ce théorème nous permet de calculer des expressions de la forme :

$$\overline{A.B.C \dots Q} \quad \text{ou} \quad \overline{\overline{A+B+E \dots + Q}}$$

Les termes A,B,C , ...Q peuvent être des groupes de n termes .

-Le théorème de MORGAN nous permet de déterminer l'inverse de n'importe quelle expression Booléenne .-

--Dans la premier cas le produit logique inversé, est transformé en somme de termes inversés.-

$$\overline{A + B + C \dots + Q} = \bar{A} + \bar{B} + \bar{C} \dots + \bar{Q}$$

--Dans le deuxième cas la somme logique inversée est transformée en produit de termes inversés .

$$\overline{A+B+E \dots + Q} = \bar{A} . \bar{B} . \bar{C} . \dots . \bar{Q}$$

Théorème : Pour obtenir l'inverse d'une fonction Booléenne, on effectue les opérations suivantes :

---On effectue les substitutions ,s'il y a lieu ,pour amener la fonction à inverser à une des formes précédentes .-

---On inverse toutes les variables .

---On change les sommes en produits et les produits en sommes .

$$\overline{f(A, B, C, D, \dots, Q, +, \dots)} = f(\bar{A}, \bar{B}, \bar{C}, \bar{D}, \dots, \dots, \dots, +)$$

IV .) Fonctions Logiques :

*- Grâce aux trois circuits fondamentaux "ET " "OU " "INVERSION étudiés précédemment il nous sera possible d'imaginer n'importe quelle fonction booléenne et de la réaliser .-

On peut donc imaginer un simulateur qui serait réalisé uniquement à l'aide de combinaison de ces trois circuits .-

Ex de fonctions à 2 variables (table de vérité)

X	Y	S1	S2	S3	S4	S5	S6	S7	S8	S9
0	0	0	0	0	0	1	1	1	1	0
0	1	0	0	1	1	0	0	0	1	0
1	0	0	0	1	1	0	0	1	1	1
1	1	0	1	0	1	0	1	0	1	0
Fonctions Logiques		Nulité	"ET"	Ou Exc. lusif	OU	NOR	Iden- tité	"NAND"	unité	Inhibi- tion
Opération		**!	.	⊕	+	↓	⊙	/	→	←

--Pour des raisons de facilités dans la réalisation on est conduit à un circuit réalisant la fonction " NOR " ou " NI " .-

- Fonction Logique " NI " , " NON - OU " ou " NOR "

-* La fonction "NOR" appelée aussi fonction "NI" permet de réaliser des opérations logiques sur deux ou plusieurs variables Booléennes .-

Cette fonction représente la fonction inverse de l'opération " OU " .-

Ceci nous permet d'écrire $NOR = NI = \overline{OU}$

Qu'on note : $X = A \downarrow B$ (on dit A Pierce B)

Pour 2 variables logiques on a la table de vérité :

A	B	$A \downarrow B$
0	0	1
0	1	0
1	0	0
1	1	0

--D'après ce tableau on peut dire que :

la fonction " NOR " est une fonction dont le résultat sera égal à "1" si et seulement si la totalité des variables est égale à " 0 " .-

$$A \downarrow B = \overline{A+B} = \overline{A} \cdot \overline{B}$$

Représentation symbolique :

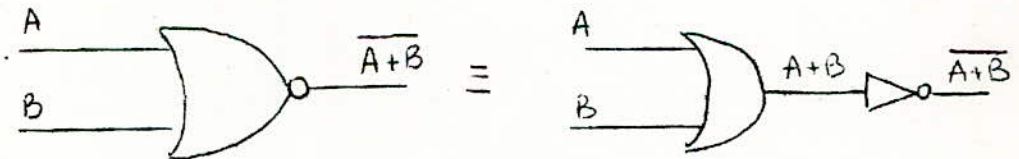


Fig .5

Remarque 1 : - La fonction "NOR" peut être généralisée à n variables .Dans ce cas le symbole représentatif aura n entrées .-

Les théorèmes de la logique sont applicables à la fonction NOR .-

Remarque 2 : - La fonction " NI " est

--Commutative $X \downarrow Y = Y \downarrow X$

--Non - associative: $(X \downarrow Y) \downarrow Z \neq X \downarrow (Y \downarrow Z)$

--Non - idempotente ; $X \downarrow X = \overline{X}$

V . CIRCUITS A DIODES :

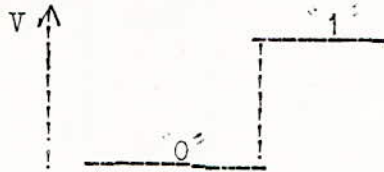
-* Généralement les dispositifs électroniques d'automatisme ou de calcul, sont essentiellement des ensembles logiques . On conçoit donc qu'ils soient constitués par des circuits élémentaires remplissant les principales fonctions logiques. Dans ce paragraphe nous allons donner le fonctionnement de quelques circuits électroniques élémentaires qui réalisent les fonctions logiques .-

1- Fonctions logiques réalisées : Logique positive - Logique négative

--Logique positive - Logique Négative :

-* On associe aux deux états logiques "0" & "1" deux niveaux de tension d'une façon générale on utilise le potentiel de masse (zéro volt) et une tension positive ou négative .-

- On dit qu'il s'agit de logique positive lorsque la tension représentant le "1" est supérieur à celle de "zéro".-



-A l'opposé la logique négative attribue le potentiel le plus élevé à la valeur zéro .-



2- Calcul des circuits à Diodes :

-* Les diodes à S.C. (ou diodes à jonction) sont des éléments passifs (c'est à dire consommateurs d'énergie) qui, convenablement utilisées se comportent comme des relais .-

Si en effet, on polarise une diode dans le sens "direct " elle présente une résistance (r) de quelques Ohms .- Si par contre on la polarise dans le sens "Inverse " :la résistance peut atteindre plusieurs ~~de~~ centaines de K Ω voire M Ω .Le courant inverse qui la traverse est faible .-

--La caractéristique externe de la diode est la suivante :

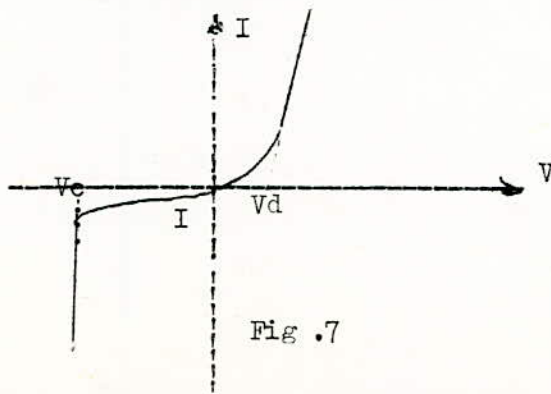


Fig .7

-Le courant max qui peut traverser une diode est limité par l'échauffement on doit utilisé des résistances de protection pour limiter le courant de dépassement de la tension de claquage . V_c .-

PORTES A DIODES :

Circuit " ET " . (Cas de 3 entrées) .

-Considérons le circuit de la fig .6 : les signaux utilisés sont tels que le niveau " 0V " corresponde à la valeur logique " 0 " et le niveau + 12 v à la valeur "1" (Il s'agit donc de logique Positive).

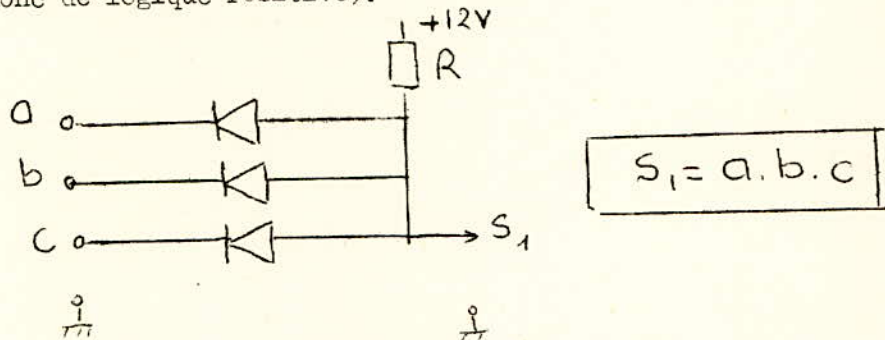


Fig. 6 Circuit "ET" (Logique > 0)

- Supposons que a , b , c soient au potentiel " 0 v " alors les diodes sont passantes et offrent une résistance faible r .

$$I = \frac{I_2 - V}{R} = I_a + I_b + I_c = \frac{3V}{r}$$

$$V = \frac{I_0 r}{3 R} \approx 0 \text{ puisque } r \text{ très faible (} r \ll R \text{)}$$

$$a = b = c = 0 \longrightarrow S1 = 0$$

- Considérons maintenant que seul a est au potentiel + 12 V .Il est clair que V prendra une valeur inférieure à 12V et que par conséquent la diode a sera en sens inverse et offrira une résistance R' très (grande) -

$$I = \frac{I_2 - V}{R} = \frac{2V}{r} - \frac{I_2 - V}{R'} \qquad V = \frac{I_2}{I + \frac{2 RR'}{r(R+R')}}$$

V est toujours un potentiel voisin de zéro .

$$\text{Car } R' \gg R \gg r \qquad a = 0 \qquad b \ \& \ c \neq 0 \longrightarrow S1 = 0$$

- Si enfin les 3 entrées sont au potentiel + 12V les 3 diodes sont bloquées; aucun courant ne circule et la tension V en S sera 12V

$$\left. \begin{matrix} a = 1 \\ b = 1 \\ c = 1 \end{matrix} \right\} \longrightarrow S1 = 1 \qquad \boxed{S1 = a . b . c}$$

Donc l'opération réalisée est un "ET" à 3 entrées .-

Remarque : On peut songer à augmenter indéfiniment le nombre d'éléments de cette porte, mais une limitation intervient : lorsque sur n diodes montées, n-1 sont bloquées c'est la diode conductrice qui reçoit tout le courant .
On se limitera en général à 3 et 4 entrées .

- Calcul des éléments .

Pour réaliser ces portes on utilise des Diodes du type SFD I22

$$V_{R \max} = V_{MR} = 25V \quad (\text{tension inverse Max})$$

$$I_{F \max} \quad I_{MR} = 150 \text{ mA} \quad (\text{courant direct maximum})$$

$$I_d = I_2 \text{ MA}$$

— Si on utilise la logique Négative, le sens des diodes doit être inversé et le signe de l'alimentation inversé dans ce cas les résistances R doivent vérifier la relation.

$$\frac{E}{R} = \frac{E}{I} \quad \text{Condition de conduction de la diode .}$$

(E : tension d'alimentation)

$$R = \frac{I_2}{I_2} = 1 \text{ K}\Omega \quad \Rightarrow \quad \boxed{R = 1 \text{ K}\Omega}$$

-- CIRCUIT " OU " .

Les signaux d'entrées sont appliqués entre les bornes a, b, c et la masse, le signal résultant est relevé en S₂ .-

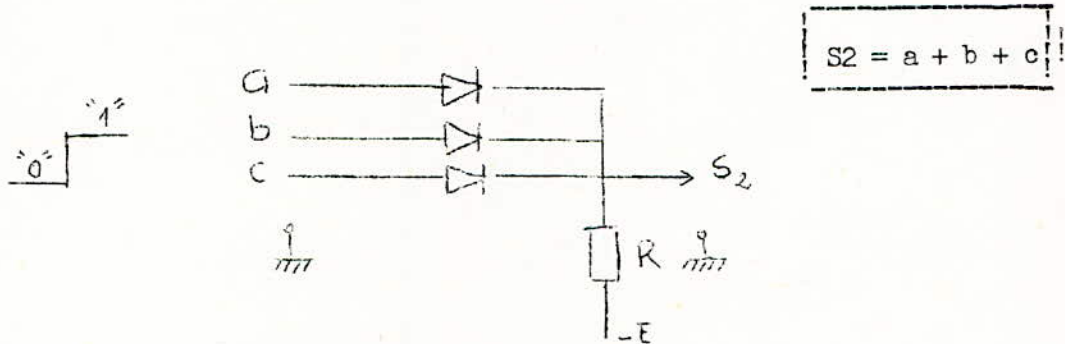


Fig . 8

*- Il suffit que l'une des 3 entrées a , b , ou c soit portée à un potentiel positif pour que la diode considérée conduise et qu'apparaisse aux bornes de R une d.d.p positive qui définit que S₂ = 1 .

Remarque : Les fig. 6 & 8 représentent des circuits ET & OU en logique positive, en logique Négative : (L.N.)

S1 devient S2 et réciproquement .

X VI . CIRCUITS A RESISTANCES ET A TRANSISTORS .

1- Fonctions logiques réalisées :

a)- Circuit "Pas"

--Considérons un transistor NPN. Le collecteur est polarisé à $+V_{cc}$ à travers une résistance R . La base est polarisée à $-v$ à travers r , l'émetteur est à la masse.

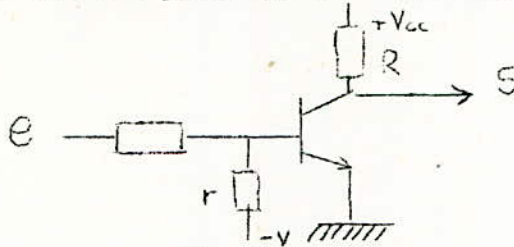


Fig .9

--La caractéristique de ce montage est donnée fig .10 avec la droite de charge de pente $- 1/R$

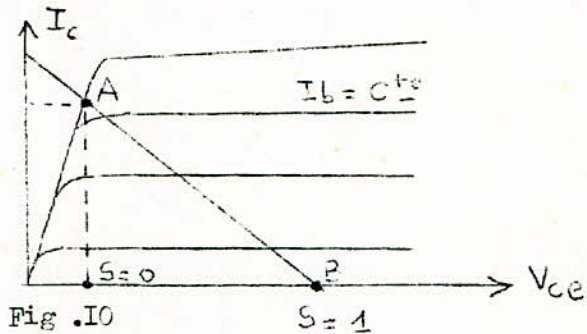


Fig .10

--Lorsque le courant de base est ^{Negatif}, le courant collecteur est sensiblement nul, la tension collecteur est voisine de $+V_{cc}$.

-Si par contre on rend I_b positif (on décrit la droite de charge vers le point de saturation A pour lequel la tension collecteur est voisine de zéro et le courant collecteur est maximal .-Le transistor est conducteur et saturé alors que dans la premier cas il était bloqué.

-Si par conséquent on met e au potentiel 0 la sortie S est au potentiel $+V_{cc}$; si on applique le potentiel $+V_{cc}$ en e, la sortie est au potentiel 0 .-

-Le circuit représente un Opérateur "PAS" est sa fonction logique S' écrit

$$S = \bar{e}$$

Le signal obtenu en sortie est l'inverse de celui qui est appliqué à l'entrée.

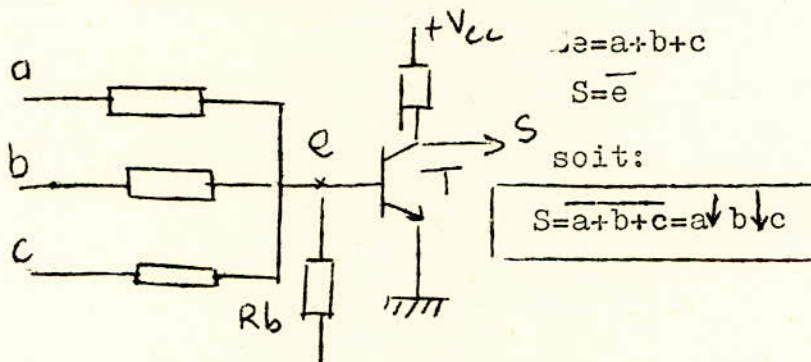
-Remarque : - Si les signaux utilisent des tensions négatives on pourra faire appel à un transistor PNP. En général, nous donnerons des réalisations NPN même si ce type de transistor n'est pas très adapté à la commutation .

-Le montage de la fig9 a pour intérêt de redonner au signal l'énergie qu'il a perdu à travers les éléments passifs. Cependant il ne faut pas négliger le retard lié à chaque élément. Ces retards imposent une fréquence de fonctionnement limite. Le temps de réponse du transistor est de l'ordre de la micro-seconde et les fronts de niveaux sont affectés par ces transistors.

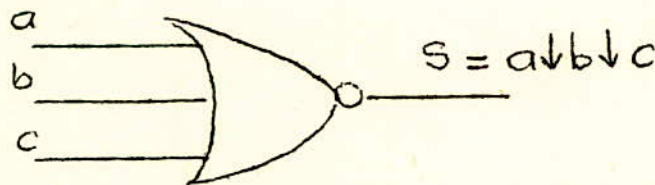
b-) Opérateur "NI"

-Ajoutons au circuit "PAS défini précédemment d'autres entrées comme le montre la figure. Le courant de base sera suffisamment positif dès que l'une au moins des entrées a, b ou c sera portée au potentiel $V_{CC}=+12V$

La représentation logique sera :



Ce schéma correspond donc à un circuit "NI"
Le symbole pour la représentation d'un tel circuit est:



-REMARQUE :-Si l'on conserve le même schéma mais que l'on se place en logique Négative on obtiendra:

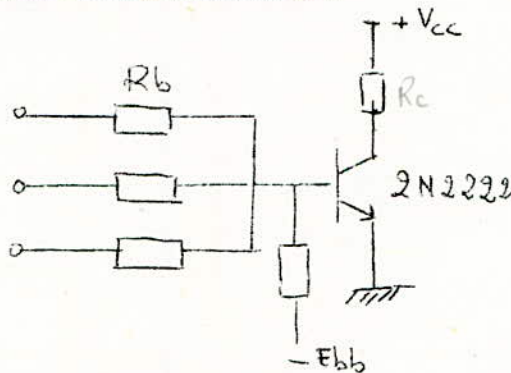
$$\left. \begin{array}{l} e = a \cdot b \cdot c \\ S = \bar{e} \end{array} \right\} \text{ soit } S = \bar{a} + \bar{b} + \bar{c} = a \downarrow b \downarrow c$$

2-) Calcul du Circuit :

Caractéristiques électriques du transistor 2N2222

- Puissance de dissipation	500 mW
- Decate in Free Air	3,3 mW
- Température max	
- Vcebo	60 V
- Vceo	30 V
- Vbeo	5 V
- I c à 25° c	800 m A
- Icbo max	10 n A
- Ie	12 m A
- hfe	50
- fc = 250 MHz	
- fT = 300 MHz	

a)- Calcul des éléments du circuit N I



$V_{cc} = 12 V$
 $- E_{bb} = - 5 V$

Caractéristique du transistor 2N2222

- $U_{cbo} = 60 V$
- $U_{ceo} = 30 V$
- $U_{ebo} = 5 V$
- $I_{c \max} = 800 mA$
- $\beta_{min} (V_{ce}=10 V, I_{c}=10 mA) = 75$
- $I_{cbo} (150^{\circ}C) = 10 \mu A$
- $f_T = 300 MHz$

— Courant du collecteur : $20 I_{cbo} \ll I_c \ll I_{c \max}$ et $I_{cs} = 12 mA$

- $R_c \approx \frac{V_{cc}}{I_{cs}}$

$R_c = 1 K \Omega$

- $\beta_{mi} (25^{\circ} C) = 75$ $\beta'_{min} (t > 25^{\circ} C) = 50$

Coefficient de saturation N : $N = 1,5 \rightarrow 2$

$R_b = \frac{\beta'_{min} R_c}{N}$

car $R_b \approx \frac{V_{cc}}{I_{cs}} \beta'_{min}$

$R_b = \frac{50 \times 1}{2} = 25 K \Omega$

$R_b = 25 K \Omega$

Condition de blocage : $V_{cc} < U_{cE0}$ et $(V_{cc} + E_{bb}) < U_{cB0}$
 $R_{bb} \leq (1 - \delta E_{bb}) \frac{E_{bb}}{I_{cB0}}$ $\delta R_{bb} = \delta E_{bb} = 0,1$

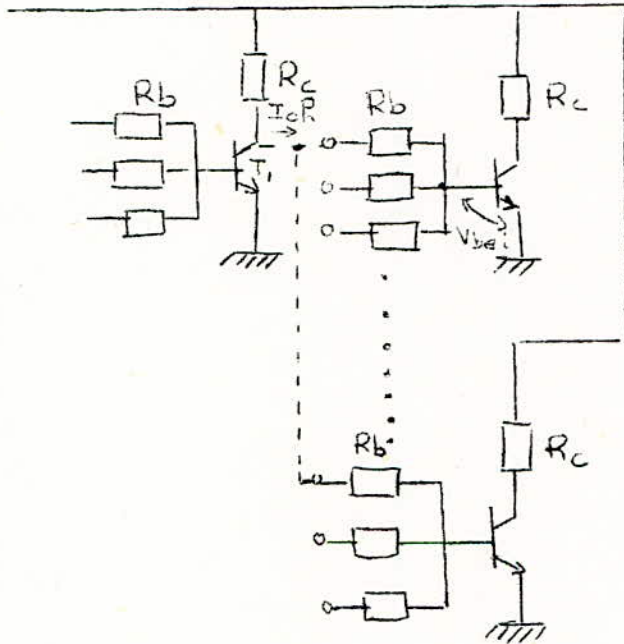
$R_{bb} \leq \frac{0,9 \cdot 5}{10 \cdot 10^{-6}} = 0,45 \text{ M}\Omega$

On prend : $R_{bb} = 100 \text{ K}\Omega$

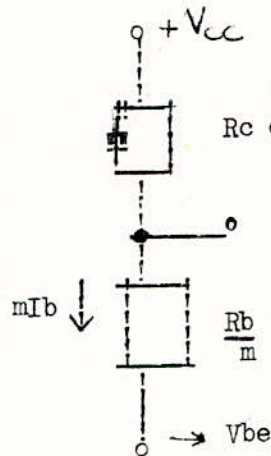
Détermination du nombre d'étage en charge et de la durée de l'impulsion t_d :

Condition de fonctionnement : $I_{bi} \geq \frac{V_{cc}}{\beta R_c}$ $V_{BEi} \geq V_{BE \text{ max}}$

Si m est le nombre d'étage en // $I_{ch} = m I_{bi} = \frac{V_{cc} - V_{be}}{R_c + \frac{R_b}{m}}$



$I_{ch} = m I_B = \frac{V_{cc} - V_{be}}{R_c + \frac{R_b}{m}}$



$m_{\text{max}} = \beta'_{\text{min}} \left(1 - \frac{V_{be \text{ min}}}{V_{cc}} \right) - \frac{R_b}{R_c}$

avec $V_{be \text{ min}} = (0,7 \div 1) \text{ V}$

$M_{\text{max}} = 50 \left(1 - \frac{0,8}{12} \right) - \frac{25}{1}$

$M_{\text{max}} = 25$ (valeur théorique)

$U_{smi} = V_{cc} - (I_{c0} + I_{ch \text{ max}}) R_c$

$I_{ch \text{ max}} \gg I_{c0}$

$I_{ch} = I_b \cdot M_{\text{max}}$ $I_b = \frac{I_{c0}}{\beta'_{\text{mi}}}$ N

$U_s = (0,8 \div 0,95) U_{cc}$

$M_{\text{max}} = \frac{(1 - a) \beta'_{\text{mi}}}{N}$ $a = 0,8 \div 0,95$

$M_{\text{max}} = \frac{(1 - 0,8) 50}{2} = 5$

(valeur réelle)

$M_{\text{max}} = 5$

Calcul de t_d : La réponse d'un transistor auquel on applique une impulsion à l'entrée n'est pas instantanée. Pour amener ce transistor à la saturation il faut un temps t_m : (temps de montée).

$$t_m = \tau_\beta \ln \frac{1}{1 - \frac{1}{N_{\max}}}$$

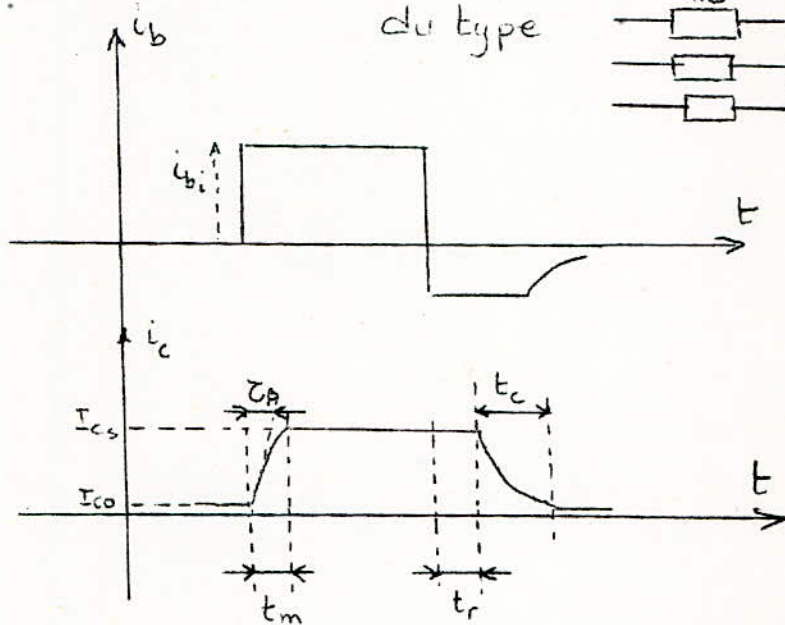
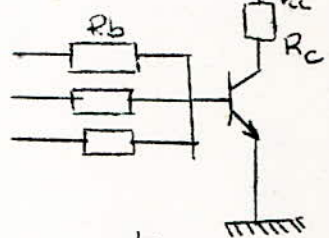
avec $\tau_\beta = \frac{\beta + 1}{2\pi f_\alpha}$

$$N_{\max} = 3 N$$

$$t_{r\max} = \tau_\beta \ln N_{\max}$$

Car on a un circuit

du type



t_m = temps de montée

t_r = durée de restitution

t_c = durée du front arrière

$$f_\alpha \approx 0,8 f_T$$

$$\beta_{\max} \approx 3 \beta_{\min}$$

$$t_{d\min} = t_{(imp)\min} > (3 \div 5) (t_{c\max} + t_{r\max})$$

$$\tau_\beta = \frac{\beta_{\max} + 1}{2\pi f_\alpha} = \frac{150 + 1}{2\pi \cdot 300 \cdot 10^6} = 0,08 \cdot 10^{-6} \text{ sec}$$

$$t_{c\max} = 2,3 \tau_\beta = 0,184 \cdot 10^{-6} \text{ s} \approx 0,2 \mu\text{s}$$

$$t_{r\max} = \tau_\beta \ln N_{\max} = \tau_\beta \ln 6 = 0,144 \mu\text{s}$$

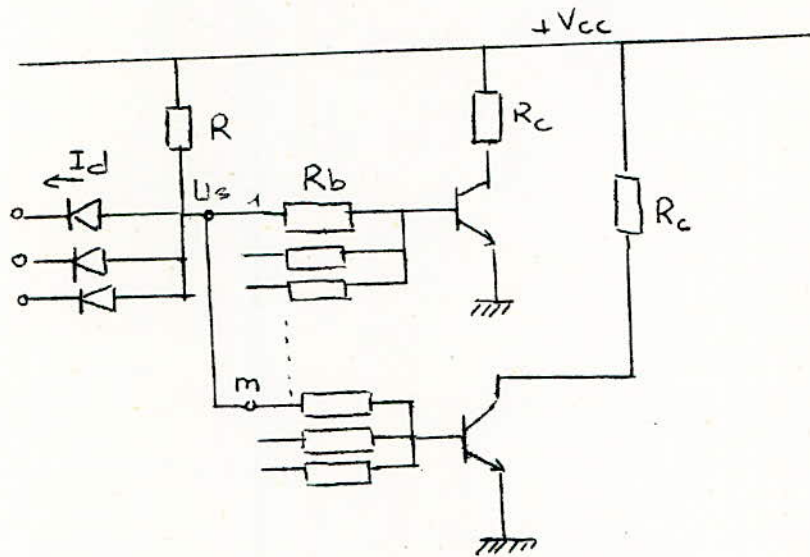
$$t_{d\min} > (3 \div 5) 0,328 \mu s$$

$$t_{d\min} = 1,680 \mu s$$

$$f_{e\max} = \frac{1}{2 t_{d\min}}$$

$$f_{e\max} = 320 \text{ KHz}$$

b) Circuit avec Diodes (Diodes type SFD122) $\begin{cases} U_{\max} = 25V \\ I_{\max} = 15 \end{cases}$



$$R \ll R_b \quad R = R_c = 1 \text{ K}\Omega$$

$$U_{s\min} = \frac{V_{cc}}{R + \frac{R_b}{m}} \cdot \frac{R_b}{m_{\max}}$$

$$U_{s\min} = a U_{cc} \quad a = 0,8 \div 0,95$$

donc : $a \left(R + \frac{R_b}{m_{\max}} \right) = \frac{R_b}{m_{\max}}$ d'où $aR = \frac{R_b}{m_{\max}} (1-a)$

$$m_{\max} = \left(\frac{1-a}{a} \right) \frac{R_b}{R}$$

$$m_{\max} = \frac{0,2}{0,8} \cdot 25 \approx 6$$

$$m_{\max} = 6$$

VII. CIRCUITS A DIODES ET TRANSISTORS .

*- On réalise les circuits ET & OU à diodes et l'on inverse la sortie au moyen d'un circuit de complémentation à transistor . La fig.I2 représente par exemple un circuit Ni , en logique positive, réalisé avec un circuit OU à diodes attaquant un complémentateur à transistor :

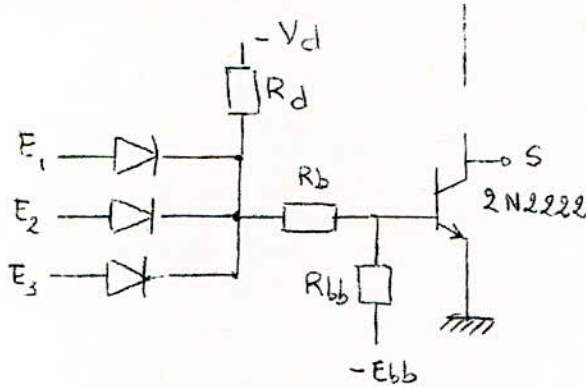


Fig.I2 Fonction Ni

- Toutes les combinaisons sont possibles en changeant le type de circuit à diodes, le signe de la logique, et la catégorie du transistor . On peut remarquer que le schéma de la fig .I2 fonctionne entre deux niveaux caractérisés par les tensions "0" & + Vcc (les diodes du circuit "OU" débitent sur les entrées E1 , E2 ,E3) sont au potentiel de la masse). Mais l'attaque du transistor correspond à un signal nul dans ce cas .Par suite de la présence de - Ebb & Rbb le potentiel de repos du transistor est bien fixé et il est possible de supprimer la source Vd. Cette disposition permet d'augmenter le nombre d'entrées à un circuit du type à transistor et résistances . On peut multiplier le nombre d'entrées à l'aide de diodes . L'avantage de cette solution est que l'on peut ainsi charger beaucoup plus l'entrée des opérateurs; on peut en effet, sur chaque entrée d'un opérateur transistor - résistance placer une porte à diodes et obtenir des opérateurs simples si toutes les portes sont identiques, complexes si celle-ci sont différentes .-

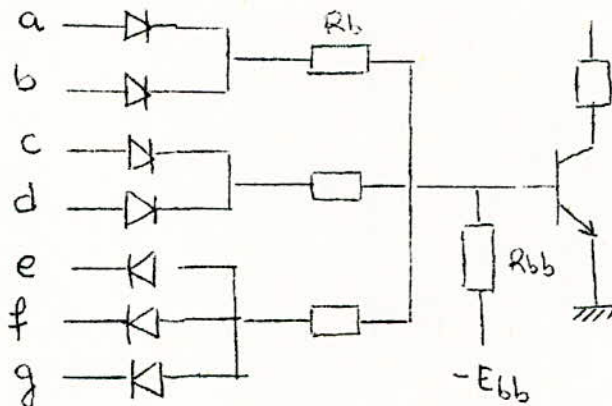
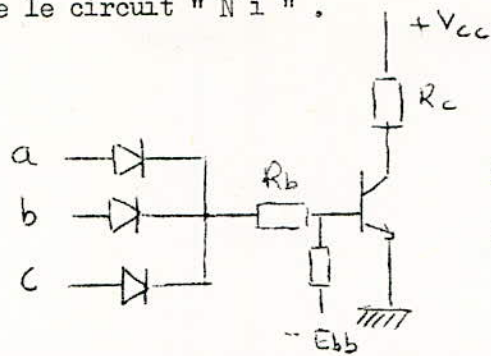


Fig .I4

La fig.I4 montre un montage qui réalise - (en logique positive)

$$- \quad S = (a + b) + (c + d) + (e.f.g) = \bar{a} . \bar{b} . \bar{c} . \bar{d} \quad (\bar{e} + \bar{f} + \bar{g})$$

On aura de même le circuit " N i " .



N i en logique positive
 $S = \overline{a + b + c} = a \downarrow b \downarrow c$

VIII. REPRESENTATION DES FONCTIONS BOOLEENNES .

*- Une fonction Booléenne est une grandeur booléenne qui dépend d'un certain nombre de variables booléennes reliées entre elles par des opérations précédemment étudiées .-

--1- Comment représenter cette fonction ?

- Prenons un exemple : Soit un va- et - vient . On a la possibilité d'allumer ou éteindre une lampe de deux endroits différents A & B.

- Soit F = 1 la lampe allumée; F = 0 la lampe éteinte . On a donc pour les interrupteurs A & B deux positions possibles : A1 & A0 , B1 & B0 .

A	B	L	F
A0	B0	éteinte	0
A1	B0	allumée	1
A1	B1	éteinte	0
A0	B1	allumée	1

$$F = A_0 B_1 + A_1 B_0$$

-Si on attribue à chaque interrupteur une variable booléenne a & b on aura

$$F = \bar{a} b + a \bar{b} \quad (\text{expression algébrique})$$

-En utilisant les théorèmes de l'algèbre de Boole cette fonction peut avoir différentes expressions algébriques :

$$\bar{a} b + a \bar{b} = (\bar{a} b + a \bar{b}) (c + \bar{c}) = \bar{a} b \bar{c} + \bar{a} b c + a \bar{b} \bar{c} + a \bar{b} c .$$

On peut placer dans un tableau toutes les combinaisons possibles des valeurs de variables et les valeurs correspondantes de la fonction :

a	b	F
0	0	0
0	1	1
1	0	1
1	1	0

On peut déduire deux formes canoniques de F & de \bar{F}

$$F = \bar{a} b + \bar{b} a$$

$$\bar{F} = (a + \bar{b}) (b + \bar{a})$$

— 2 — Expression numérique d'une fonction booléenne :

*- On cherche à représenter de la manière la plus simple une fonction logique : exemple de la retenue de l'opération constituant la somme arithmétique de 3 variables binaires .

équivalent décimal	X1	X2	X3	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Les 8 combinaisons des 3 variables sont classées dans l'ordre binaire naturel . Chaque combinaison des variables possède un équivalent décimal .-
Pour représenter la fonction on ne gardera que les combinaisons pour lesquelles la fonction prend la valeur " 1 ". On aura ainsi :

$$F = R (011 , 101 , 110 , 111)$$

$$\text{ou } F = R (3 , 5 , 6 , 7)$$

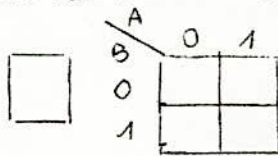
-Les variables doivent toujours se suivre dans le même ordre .

— 3 — Table de KARNAUGH :

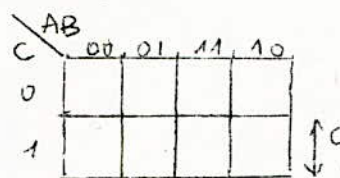
*- La table de karnaugh est un ensemble de cases chacune est associée à une combinaison et une seule des variables et à chaque case est associée la valeur correspondante de la fonction. Ainsi un diagramme à 2 variables A & B comportera 4 cases correspondant aux quatre (4) combinaisons de ces 2 variables . Tandis qu'un diagramme à une variable ne comportera qu'une case unique qui pourra prendre la valeur "0" ou "1" (fig. I5a , I5b) .-

-Un diagramme à trois , quatre , cinq & six variables comportera respectivement 8, 16, 32 & 64 cases . Ces 2 derniers cas seront généralement représentés respectivement par deux et quatre diagrammes à 16 cases .

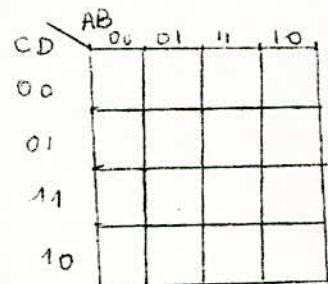
-Le diagramme de Karnaugh étant établis dans le code binaire réfléchi (Code GRAY) , l'ordre de succession des différentes combinaisons se fait de manière à ce qu'une seule variable change d'état quant on passe d'une case à une autre .



15a



15b



tables de Karnaugh pour : une, deux, trois et quatre variables .

4 - Simplification et minimisation des fonctions booléennes :

*- Une fois la fonction introduite dans un diagramme de KARNAUGH on procède à sa lecture et on simplifie alors la fonction en groupant les cases "1" adjacentes c'est à dire les cases qui ne diffèrent que par une seule variable .La variable est complémentée dans l'un des mintermes et non complémentée dans l'autre

Soient : $X_1 X_2 \dots X_j \dots X_n$
et $X_1 X_2 \dots \bar{X}_j \dots X_n$

-Remarque : (on désigne sous le nom de " minterme " l'intersection d'une combinaison de toutes les variables et sous le nom de "maxterne" la reunion des combinaisons des variables .).

Les 2 mintermes donneront, après leur groupement, naissance à un terme réduit dans lequel la variable X_j n'intervient pas : la valeur de la fonction Booléenne reste inchangée .-

Le minterme réduit s'écrit : $X_1 , X_2 .. X_{j-1} X_{j+1} ... X_n$

$2^2 =$ quatre cases adjacentes conduisent à un seul terme réduit dans lequel deux variables X_j et X_k sont supprimées .

2^{2p} : cases adjacentes conduisent à l'élimination de $2p$ variables .

La méthode de simplification par les tables de Karnaugh est basée sur les théorèmes suivants :

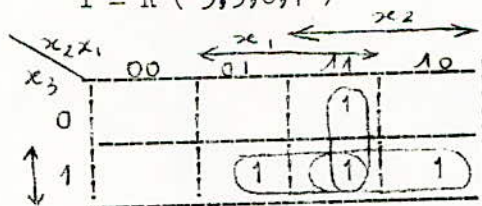
$$\begin{aligned} A + \bar{A} &= 1 \\ A + A &= A \end{aligned}$$

Le principe de cette méthode consiste à reunir le maximum de cases adjacentes pour faire disparaître le maximum de variables .

Exemple :

1 - cas de 3 variables

$$f = R(3, 5, 6, 7)$$



$$f = X_1 X_3 + X_1 X_2 + X_2 X_3$$

On voit sur cet exemple qu'un "1" peut être utilisé dans plusieurs groupements, ceci résulte de la propriété .

$$A + A = A$$

et que l'on a toujours intérêt à effectuer des groupements maximums .

2 - Cas de 4 variables :

$$\text{Soit } f = R(0, 1, 2, 5, 6, 7, 9, 10, 11, 13, 14, 15)$$

	← x ₁ →		← x ₂ →	
x ₄ x ₃	00	01	11	10
00	1	1		1
01		1	1	1
11		1	1	1
10		1	1	1

tableau (1)

$$f = \bar{x}_2 \bar{x}_3 \bar{x}_4 + x_1 \bar{x}_4 x_3 + x_1 x_4 + x_2 \bar{x}_1 \quad (\text{tableau 1})$$

On peut aussi avoir :

$$f = \bar{x}_1 \bar{x}_3 \bar{x}_4 + x_1 \bar{x}_2 + x_2 x_3 + x_4 x_2 \quad (\text{tableau 2})$$

On voit donc que pour une même fonction il peut apparaitre différents types de groupements équivalents en nombre de variables. Ces deux formes sont optimales équivalentes et généralement économiques.

---3--- Cas de 5 variables :

Soit : $f = R(0, 2, 5, 6, 8, 9, 10, 11, 12, 13, 14, 16, 18, 20, 21, 22, 23, 26, 27, 29, 30)$

On représente cette fonction par 2 tableaux de 16 cases .

	← x ₁ →		← x ₂ →	
x ₅ x ₄ x ₃	000	001	011	010
	1			1
		1		1
	1	1		1
	1	1	1	1

	← x ₂ →		← x ₁ →	
	110	111	101	100
	1			1
	1	1	1	1
	1		1	
	1	1		

$$f = \bar{x}_1 \bar{x}_3 \bar{x}_4 + \bar{x}_2 x_4 \bar{x}_5 + x_2 \bar{x}_3 x_4 + x_1 \bar{x}_2 x_3 + x_3 \bar{x}_4 x_5 + \bar{x}_1 x_2$$

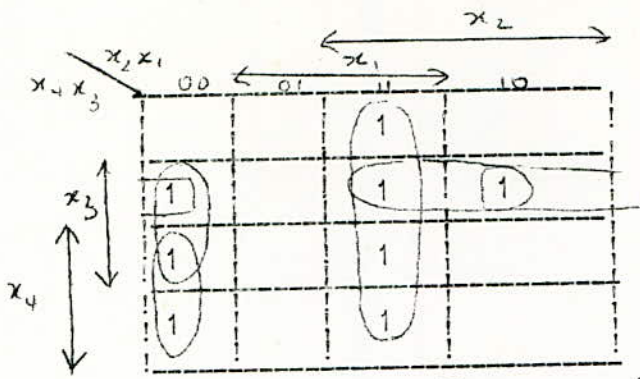
--- 5 . - Systematisation de la recherche de la forme minimale .

* Il nous faut définir ici la notion de "COMPONENTS PREMIERS" .
un terme est un composant premier si son égalité à "1" entraîne légalité à "1" de la fonction et si la suppression d'une variable n'entraîne plus cette propriété

Exemple : Soit la fonction booléenne

$$f = R(3, 4, 6, 7, 8, 11, 12, 15)$$

La première étape est la recherche de tous les composants premiers .-



On aura donc : $x_2 x_1$, $\bar{x}_4 x_3 x_2$, $x_4 \bar{x}_2 \bar{x}_1$, $x_3 \bar{x}_2 \bar{x}_1$, $\bar{x}_4 x_3 \bar{x}_1$

On dresse le tableau suivant, en ligne les différents mintermes à représenter et en colonne les composants premiers qui s'obtiennent sur les tableaux de Karnaugh par des groupements maximums. On définit les composants premiers principaux et secondaires, les premiers sont indispensables à la formation de la fonction les seconds ne le sont pas.

Tableau :

		3	4	6	7	8	11	12	15	
3,7,11,15	$x_2 x_1$	○			○		○		○	⊗
6,7	$\bar{x}_4 x_3 x_2$			○	○					○
8,12	$x_4 \bar{x}_2 \bar{x}_1$					○		○		⊗
4,12	$x_3 \bar{x}_2 \bar{x}_1$		○					○		○
4,6	$\bar{x}_4 x_3 \bar{x}_1$		○	○						⊗

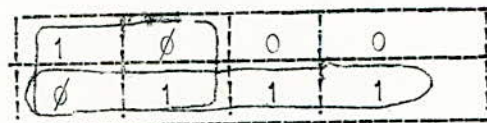
○ : Composants premiers secondaires .-
 ⊗ : Composants premiers principaux .-

Chaque composant premier représente un certain nombre de mintermes. Sur la ligne de ce composant on trace un cercle en regard avec chaque minterme. Les mintermes 3 & 8 sont représentés respectivement par les composants $x_2 x_1$ & $x_4 \bar{x}_2 \bar{x}_1$. Ces 2 composants premiers sont principaux, ces 2 composants représentent aussi 7, 11, 12 & 15. Il ne reste plus qu'à représenter 4 & 6. On choisira le terme $\bar{x}_4 x_3 \bar{x}_1$, qui les représentent tous les deux. Aussi la forme minimale de F sera :

$$F = x_1 x_2 + x_4 \bar{x}_2 \bar{x}_1 + \bar{x}_4 x_3 \bar{x}_1$$

Cas des fonctions Incomplètes : - (ou incomplètement définies).

On peut utiliser les valeurs indifférentes de la fonction pour faire apparaître des groupements de " 1 " plus importants .



$$F = x_3 + \bar{x}_2$$

Conclusion : - La méthode Karnaugh est une méthode assez rapide dans la détermination de la forme minimale d'une fonction logique à condition que cette fonction ne possède pas plus de 5 (Cinq) variables. Au delà de 5 variables le diagramme de Karnaugh nécessaire pour représenter cette fonction aura plus de 32 cases et la méthode devient fastidieuse. Pour la simplification des fonctions logiques ayant un nombre de variables assez grand, il sera préférable de recourir aux méthodes algébriques qui sont programmables telles que : - la méthode de Mac Cluskey
 - la méthode de Tison .-

C

MEMOIRE - BINAIRE

I. Généralités :

*- La fonction mémoire joue un rôle fondamental dans le fonctionnement des systèmes séquentiels. Une mémoire binaire est-elle- même un système séquentiel possédant 2 entrées correspondant à des niveaux binaires d & e, et une sortie S.

Une mémoire est régie par les conditions suivantes :

- .1- d & e ne peuvent changer d'état simultanément
- .2- d = 0 , e = 1 entraîne S = 1
- .3- d = 1 , e = 0 entraîne S = 0
- .4- d = 1 , e = 1 correspondent une valeur indéterminée de sortie
- .5- d = 0 , e = 0 conserve à la mémoire l'état qu'elle occupait lors de la combinaison précédente.

.Remarque : (Existence de divers types de mémoires)

La condition (1) peut nous amener à définir plusieurs types de mémoires.

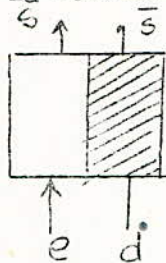
.Si la combinaison de = 11 correspond S = 1 : on a une mémoire à enclenchement prioritaire.

.Si à la combinaison de = 11 correspond S = 0 : on a une mémoire à déclenchement prioritaire.

.Si à la combinaison de = 11 correspond $S_{n+1} = \bar{S}_n$ on a une mémoire J.K

.Si la combinaison de = 11 est interdite : on a une mémoire RS.

--Représentation symbolique de la mémoire binaire .



e : enclenchement de la mémoire
d : déclenchement de la mémoire

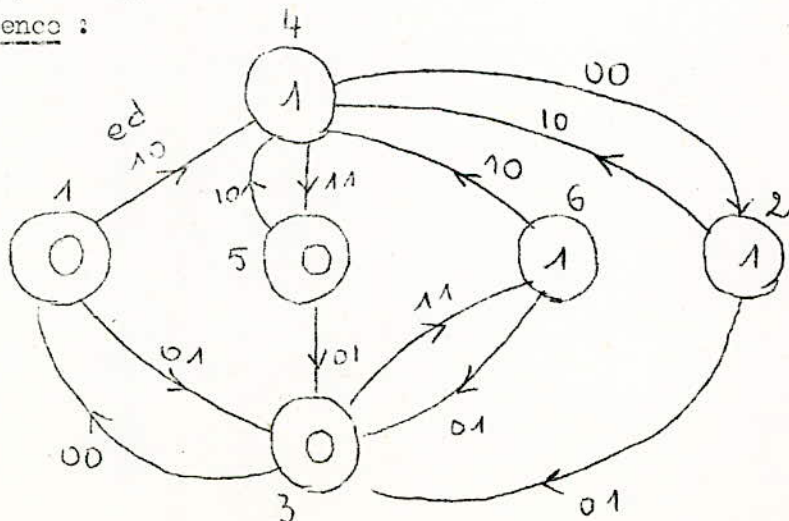
II. MEMOIRE J . K

*- Ce type de mémoire est très utilisé actuellement, est tel que :

$J = d$ $K = e$

---Pour cette mémoire la combinaison de = 11 entraîne un changement d'état de la mémoire ($S_{n+1} = \bar{S}_n$)

Diagramme de fluence :

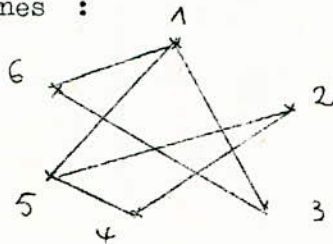


N° d'état
état
Sortie
Combinaison
d'entrée

- 1 - Tableau des phases primitives :

états	ed				état de sortie S
	00	01	11	01	
1	(1)	3	-	4	0
2	(2)	3	-	4	1
3	1	(3)	6	-	0
4	2	-	5	(4)	1
5	-	3	(5)	4	0
6	-	3	(6)	4	1

-- Fusionnement des lignes :



On fusionne des lignes (n'ayant pas les mêmes sorties) ainsi :
 (1,3,6) & (2,4,5). Ces lignes n'ayant pas les mêmes sorties ainsi :
 la matrice d'excitation sera différente de la matrice de sortie.

-- 2 - Matrice d'excitation - matrice de sortie .

- Table des phases réduites .

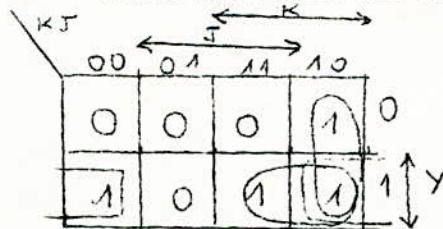
A - 1, 3, & 6
 B - 2, 4 & 5

(1)	(3)	(6)	4	0
(2)	3	(5)	(4)	1

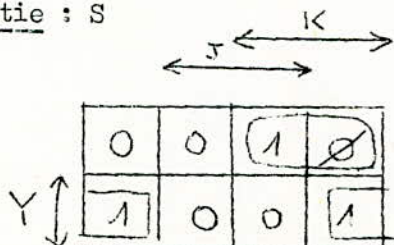
Pour pouvoir différencier (distinguer) les lignes A & B il est nécessaire de faire intervenir une variable secondaire Y

- Matrice d'excitation : y

$$y = \bar{J}Y + KY + K\bar{J}$$



- Matrice de sortie : S



La variable de sortie s'exprime en fonction de J, K & Y par l'équation :

$$S = K\bar{Y} + \bar{J}Y$$

— 3 - Schéma fonctionnel :

- Les expressions de y & S peuvent s'exprimer à l'aide de l'opérateur NAND ou de l'opérateur NI .-

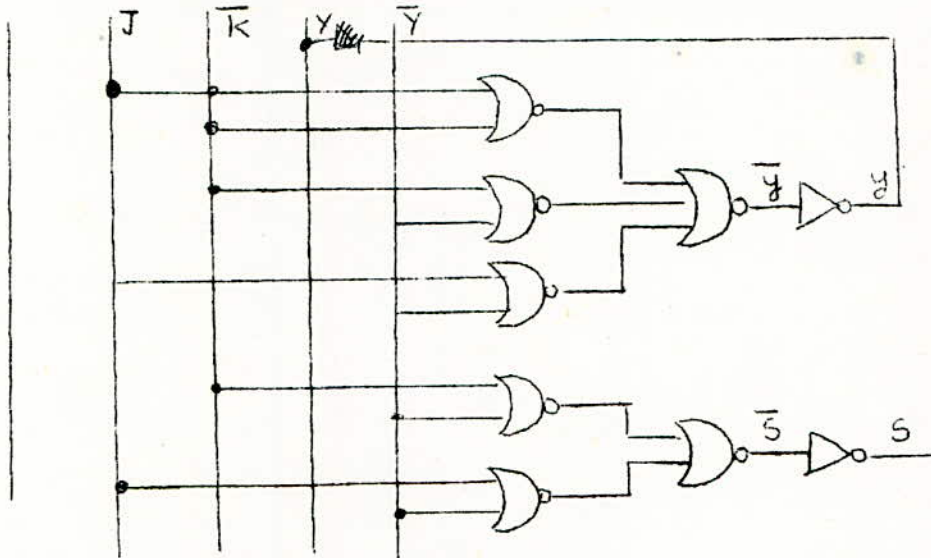
$$y = \bar{J}K + KY + \bar{J}Y \implies y = (\bar{J}/K) / (K/Y) / (\bar{J}/Y)$$

$$S = K\bar{Y} + \bar{J}Y \implies S = (K/\bar{Y}) / (\bar{J}/Y)$$

$$\bar{y} = (J \downarrow \bar{K}) \downarrow (\bar{K} \downarrow \bar{Y}) \downarrow (J \downarrow \bar{Y})$$

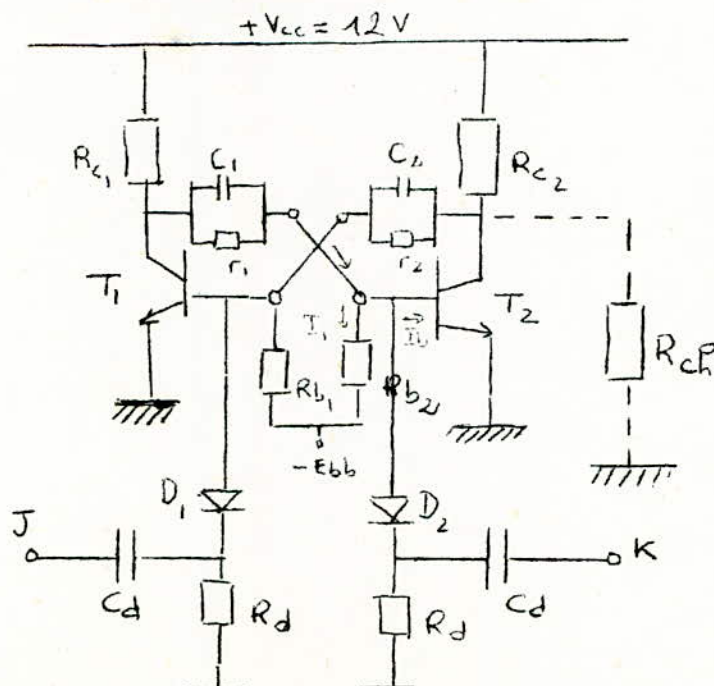
$$\bar{S} = (\bar{K} \downarrow Y) \downarrow (J \downarrow \bar{Y})$$

— Réalisation de la Bascule $\bar{K} . K$ à l'aide de l'opérateur N • R .



— 4 - Calcul de la mémoire J.K. (Flip - Flop)

Schéma électrique avec polarisation extérieure :



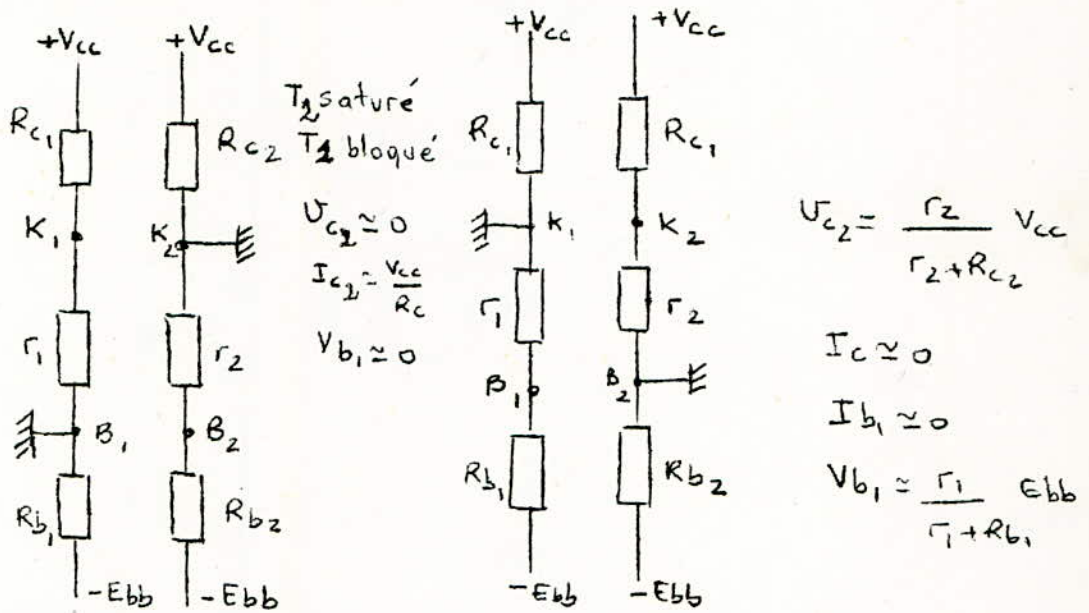
La bascule symétrique :

$$R_{c1} = R_{c2} = R$$

$$r_1 = r_2 = r$$

$$R_{b1} = R_{b2} = R_b$$

Les transistors T1 & T2 sont alternativement saturé et bloqué. On a deux phases de fonctionnement.



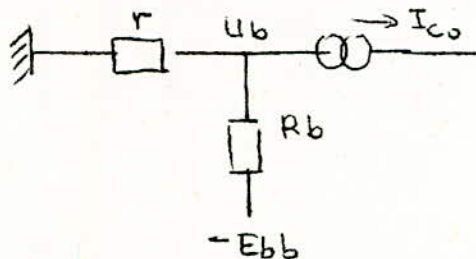
Calcul des éléments de la mémoire J.K

$U_{sm} = (0,7 \div 0,95) V_{cc}$ tension de sortie maximum $U_{sm} = 10V$

$f_e =$ fréquence des impulsions d'entrée $f_{em} \ll f_a$ $f_{em} = 0,7 f_a = 0,7 \cdot 250 = 175$ MHz

$V_{cc} = 12V$ $I_{cs} = 12 mA$

Un transistor bloqué a pour schéma equivalent :



Calcul de R_c : ($R_{c1} = R_{c2}$) :

$$R_c = \frac{(0,8 \div 0,95) V_{cc}}{I_{cs}} = \frac{a V_{cc}}{I_{cs}} = \frac{0,9 \times 12}{12 \cdot 10^{-3}} \approx 1 k\Omega$$

$R_c = 1 k\Omega$

- Calcul de R_b : ($R_{b1} = R_{b2}$)

Condition de blocage du transistor (NPN) $U_b \leq 0$

$$U_b = \left(\frac{E_{bb} \cdot r}{R_b + r} - \frac{I_{co} R_b \cdot r}{R_b + r} \right) \leq 0 \Rightarrow \frac{r}{R_b + r} (E_{bb} - I_{co} R_b) \leq 0$$

E_{bb} négatif - ainsi : $R_b \leq \frac{E_{bb}}{I_{co}}$ $I_{co} = 10 \mu A$

$$R_b \leq \frac{5}{10 \cdot 10^{-6}} = 0,5 M\Omega$$

On prend :

$$R_b = 100 K\Omega$$

- Calcul de r

Condition de saturation : $I_b \geq \frac{I_{cs}}{\beta}$ $I_2 = I_1 + I_b$ $I_b = I_2 - I_1$

Or $I_1 = \frac{E_{bb} - U_{bes}}{R_b}$ et $I_2 = \frac{V_{cc} - I_{co} R_c - U_{ebs}}{r + R_c}$

Avec $I_{cs} = \frac{V_{cc} - U_{ces}}{R_c}$

approximations :

$V_{cc} \gg R_c I_{co}$

$V_{cc} \gg U_{ebs}$

$E_{bb} \gg U_{ebs}$

$U_{ces} \ll V_{cc}$

- La condition de saturation s'écrit :

$$\frac{V_{cc} - I_{co} R_c - U_{ebs}}{r + R_c} - \frac{E_{bb} - U_{bes}}{R_b} \geq \frac{V_{cc} - U_{ces}}{\beta R_c} \text{ (équivalent à } I_b \geq \frac{I_{cs}}{\beta} \text{)}$$

En tenant compte des approximations (justifiées en pratique) on aura :

$$\frac{V_{cc}}{r + R_c} - \frac{E_{bb}}{R_b} \geq \frac{V_{cc}}{\beta R_c} \quad N = \frac{I_b}{I_{bs}} \quad N \approx 1,5 \text{ Coefficient de Saturation}$$

donc $\frac{V_{cc}}{r + R_c} - \frac{E_{bb}}{R_b} = \frac{V_{cc} N}{\beta_{min} R_c}$ Cette expression nous donne

- Si l'on ne tient pas compte de la charge ($R_{ch} = \infty$)

$$r = \frac{1}{\frac{N}{\beta_{min} R_c} + \frac{E_{bb}}{V_{cc} R_b}} - R_c = \left[\frac{\beta_{min}}{\left(N + \beta_{mi} \frac{E_{bb} R_c}{V_{cc} R_b} \right)} - 1 \right] R_c$$

$N \gg \beta_{mi} \frac{E_{bb}}{V_{cc}} \frac{R_c}{R_b}$ ce qui nous donne :

$$r = \left(\frac{\beta_{min}}{N} - 1 \right) R_c$$

- Si l'on tient compte de la charge on doit prendre r dans les limites

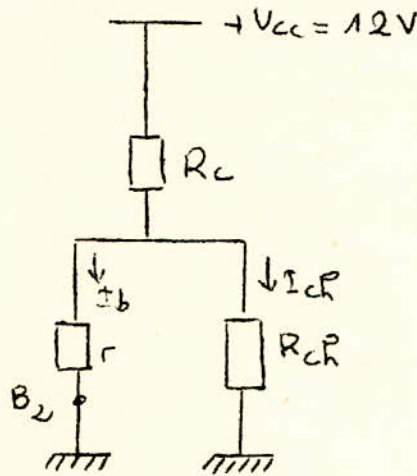
$r < 50R_c$ soit $r = (30 \div 40) \text{ k}\Omega$ on prend $r = 33 \text{ k}\Omega$

- Les capacités en parallèles avec les résistances r nous permettent d'avoir des temps de commutation rapides:

$$C_{opt} = \frac{0,3}{f_d R_c} \quad \text{on prend } C = 100 \text{ pF}$$

- Calcul de n (nombre d'étage en charge) en tenant compte de la charge)
($R_{ch} \neq \infty$).

Dans le cas où T_1 est saturé le circuit se ramène à :



$$I_b = \frac{I_{cs} N}{\beta_{min}} \quad \text{on pose } \beta_{min} = \beta_1$$

on a : $I_b \cdot r = R_{ch} I_{ch}$

$$\text{et } U_{cc} = R_c (I_{ch} + I_b) + \frac{I_{cs} N \cdot r}{\beta_1} \quad (1)$$

à la saturation la tension de sortie peut être considérée comme négligeable $U_s \approx 0V$

ainsi : $U_{cc} \approx R_c I_{cs}$

l'expression (1) s'écrit :

$$U_{cc} = R_c \left[\frac{I_{cs} N \cdot r}{\beta_1 R_{ch}} + \frac{I_{cs} N}{\beta_1} \right] + \frac{I_{cs} N}{\beta_1} r \frac{R_{ch}}{R_{ch}} \approx R_c I_{cs}$$

$$R_c \left[1 - \frac{N}{\beta_1} \right] = r (R_c + R_{ch}) \frac{N}{\beta_1 R_{ch}}$$

$$r = \frac{R_c \left(\frac{\beta_1}{N} - 1 \right) R_{ch}}{R_c + R_{ch}}$$

Puisque $R_{ch} = \frac{R_b}{m}$ c'est à dire $\frac{R_c}{N} \frac{\beta_1}{m}$ ou m est le nombre d'étages en parallèle en sortie :

$$r = \frac{R_c \left(\frac{\beta_1}{N} - 1 \right)}{m \frac{N}{\beta_1} + 1} \quad \text{ce qui donne}$$

$$m = \frac{(R_c \beta_1 - r) \beta_1}{N^2 \cdot r}$$

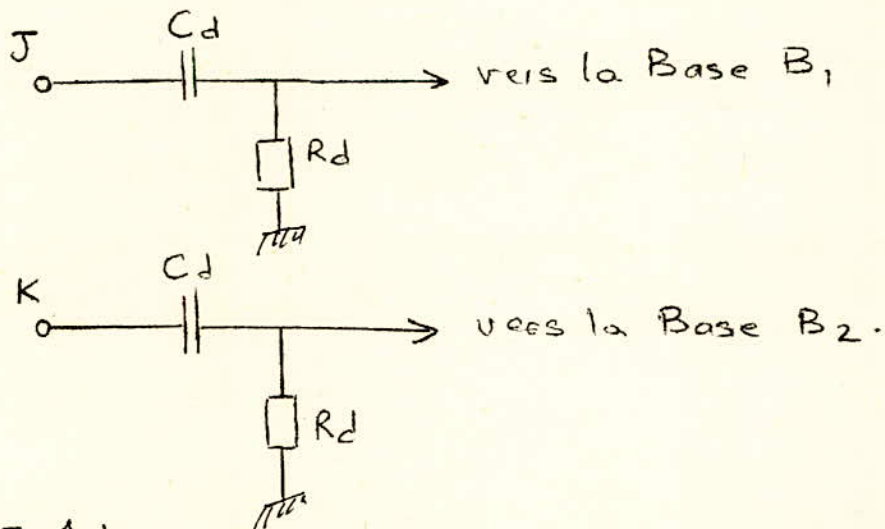
A.N : $\beta_1 = 50$
 $R_c = 1K\Omega$
 $r = 33K\Omega$
 $N \approx 1$

$$m = \frac{(1 \cdot 50 - 35) 50}{1 \cdot 35}$$

$$m_{\text{theorique}} = 7$$

Calcul du Circuit d'attaque de la Bascule J.K

a) Bascule à entrées séparées



$$t_d = 1\mu$$

$$\tau = RC = 0,05 t_d$$

$$R = 100K\Omega$$

$$C = 0,5\mu F$$

III. MEMOIRE R.S

a-) Mémoire R.S avec $R.S = 0$

(R = "Reset" & S = "Set")

On peut réaliser la mémoire RS avec $R \neq d$ & $S = e$.

Pour les bascules on interdit la combinaison "de" = 11 des 2 variables d'entrées d & e ce qui impose la condition $RS = 0$.

-1- Table des phases primitives :

N° d'état	SR		R ← S		Sortie
	00	01	11	10	
1	①	3		4	0
2	②	3		4	1
3	1	③		-	0
4	2	-		④	1

-Fusionnement des lignes :

-On fusionne les lignes ayant même sortie .

(1,3) & (2, 4) 0



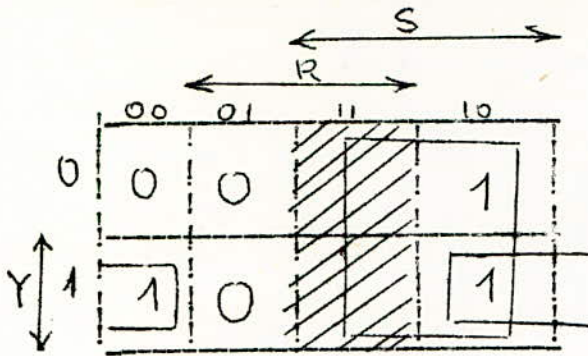
-Table des phases réduite :

-	SR		R ← S		Sortie
	00	01	11	10	
1	①	③		4	0
2	②	3		④	1

La matrice d'excitation sera identique à la matrice de sortie ainsi :

$$y = \text{Sortie}$$

-2- Matrice d'excitation matrice de sortie



ainsi :

$$y = \text{Sortie} = S + \bar{R}Y \quad \text{ou}$$

$$y = \bar{R} (S + Y)$$

-3- Schéma fonctionnel

-Si on se propose de réaliser cette bascule avec les éléments "NI" on peut écrire :

$$y = \bar{R} (S + Y) = \bar{R} (\overline{\overline{S+Y}}) = R \downarrow (S \downarrow Y)$$

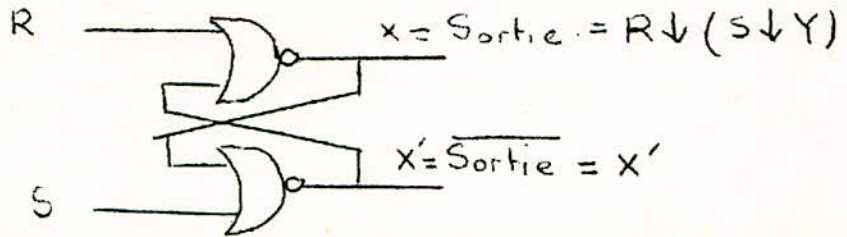


Fig .20

-Ce Schéma est purement théorique puisqu'il ne fait pas intervenir les temps de commutation des éléments NI et en conséquence il assimile les états internes aux variables secondaires sans retard les uns sur les autres .Ce schéma est valable en régime statique .

-Propriété de la deuxième sortie de la mémoire :

R	S	X	X'
0	0	0	1
0	0	1	0
0	1	1	0
1	0	0	1

-on a toujours $\overline{X'} = X$ ou $X' = \bar{X}$

b- Mémoire RS avec $R + S = 1$ ($\bar{R}\bar{S} = 0$)

* - On interdit la combinaison $RS = 0$ en considérant que la combinaison $RS = 11$ ne change pas d'état de la bascule .

Matrice d'excitation :

	00	01	11	10
\bar{Y}		1	0	0
Y		1	1	0

Cette matrice conduit à l'équation
 $y = RY + \bar{S}R = R(Y + \bar{S})$
 équivalent à $\bar{R} + SY$.

- Si on utilise l'opérateur NAND .

$$y = \bar{R} + SY = \bar{R} \cdot (\bar{S} \cdot Y) = R / (S/Y)$$

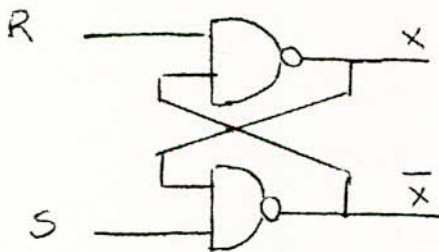
- Matrice de sortie :

		S			
		← R →			
		00	01	11	10
\bar{Y}			0	0	0
Y			1	1	1

L'équation de la sortie

$X = Y$

• On aboutit au schéma de la fig. 20 mais ~~en utilisant l'opérateur NAND~~ :

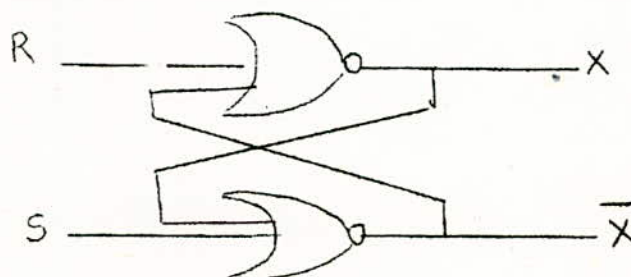


On aura la table de vérité :

R	S	X_{n+1}
0	1	1
1	0	0
1	1	X_n

c- Calcul des éléments de la mémoire RS . ($RS = 0$)

Le schéma fonctionnel est :

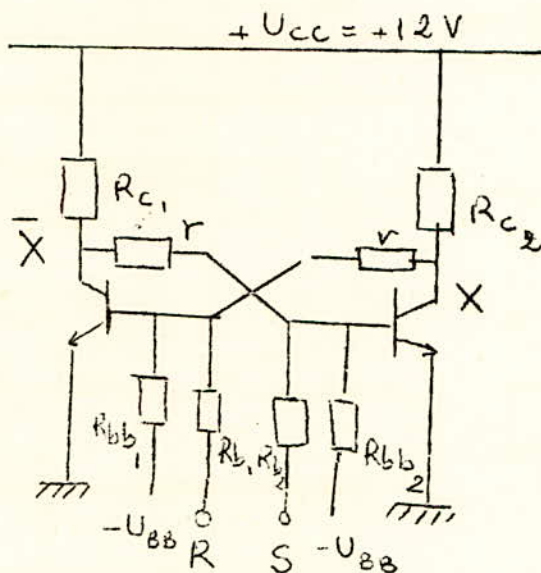


On a donc 2 circuits NI dont la sortie de l'un est relié à l'entrée de l'autre et réciproquement .-

Le calcul d'un circuit NI étant déjà fait :

d'où le circuit électrique de la mémoire

RS

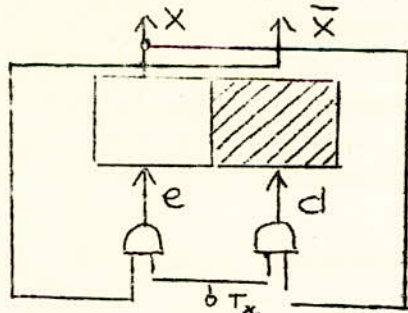


$R_{c1} = R_{c2} = R_c = 1k\Omega$
 $r = 25k\Omega$
 $R_{bb1} = R_{bb2} = R_{bb} = 100k\Omega$
 $R_{b1} = R_{b2} = 25k\Omega$

FT

IV . MEMOIRE . T . (Mémoire à commande Symétrique)

- * On peut transformer une mémoire binaire à 2 entrées en une mémoire à une entrée, par l'adjonction de 2 opérateurs FT jouant le rôle d'aiguillage pour les impulsions comme le montre la figure .



L'impulsion T_x est aussi envoyé automatiquement vers l'entrée e ou vers l'entrée d selon que la bascule se trouvait antérieurement à l'état 0 ou à l'état 1 .

Les équations $RS = 0$; $X(t + \tau) = S_t + \bar{R} X(t)$ de la mémoire RS donnent en faisant :

$$R = T X(t) \quad \& \quad S = T \bar{X}(t)$$

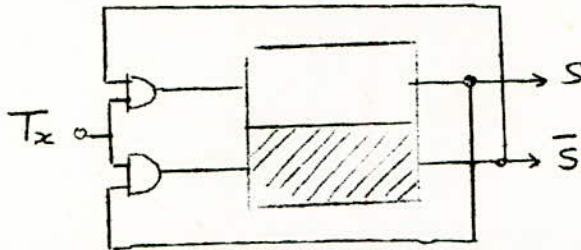
$$X(t + \tau) = T \bar{X}(t) + (\bar{T} + X(t)) \cdot X(t) = T \bar{X}_t + \bar{T} X_t .$$

$X(t + \tau) = T \oplus X_t$

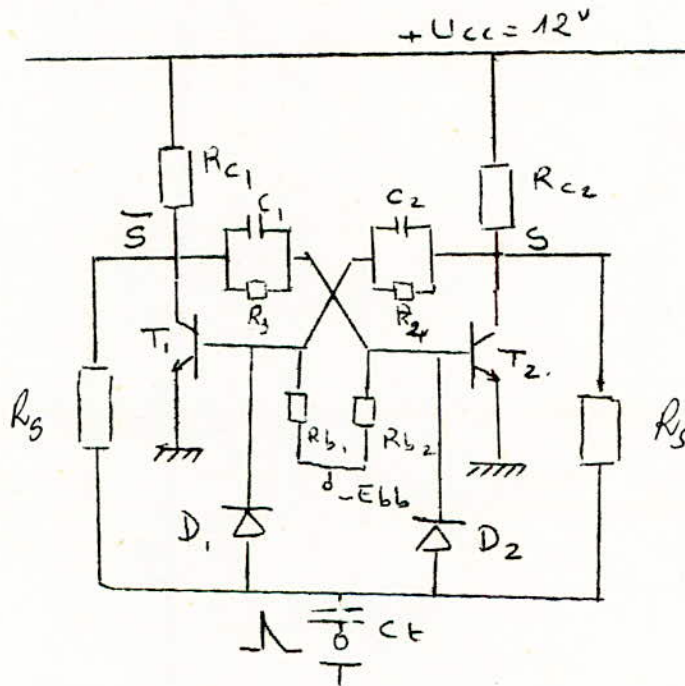
équation de la mémoire à commande symétrique .-

MEMOIRE T

1- Schema fonctionnel .



2-Schema électrique : On prend une bascule à une entrée et utilisation de diodes de commande D1 & D2 .



-On aura les même valeurs de résistances que la mémoire J .K.

$$R_{c1} = R_{c2} = R_c = 1k\Omega$$

$$R_1 = R_2 = R_b = 100k\Omega$$

$$R_3 = R_4 = r = 33k\Omega$$

Calcul de R_s . ($R_{s1} = R_{s2} = R_s$)

$$\text{On prend } 3R_c < R_s \leq I_G R_c$$

$$360\Omega < R_s \leq 1,2k\Omega$$

$$R_s = 1k\Omega$$

La fréquence maximum des impulsions d'entrée est donnée par :

$$f_{e \max} = \frac{1}{3} f_d = \frac{250}{3} = 83,3 \text{ MHz}$$

-Calcul de la capacité C_t :

$$C_t = \frac{1}{R_s f_{\max}} = \frac{1}{10^3 \cdot 10^6 \cdot 83,3} = 12 \text{ pF}$$

-Vérification de certains conditions de fonctionnement .

$$I_b > \frac{I_{cs}}{\beta} = \frac{12}{50} = 0,24 \text{ mA} \quad I_b \approx \frac{V_{cc}}{R_c + r} = \frac{12}{30} = 0,4 \text{ mA}$$

$$U_s = U_{cc} \cdot \frac{r}{R_c + r} \gg U_{sd} = 10^V$$

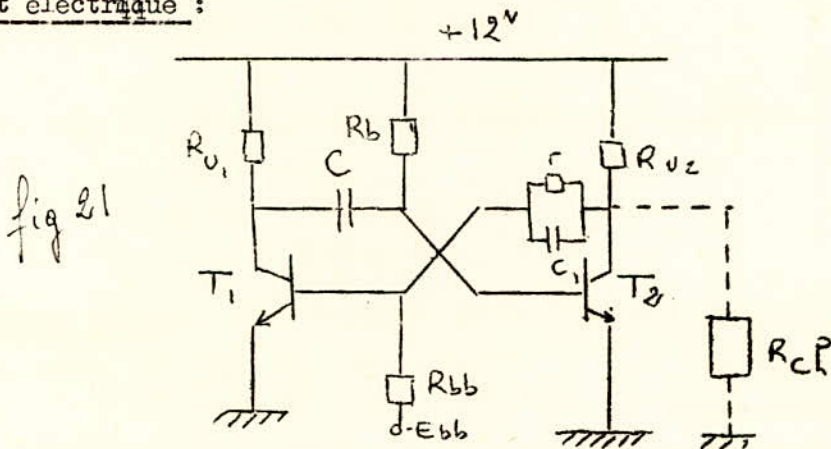
V . TEMPORISATION . 1 - schema fonctionnel et électrique :

-* Il est souvent nécessaire de décaler des signaux soit pour compenser des retards introduits par la structure des circuits , soit pour positionner différents signaux les uns par rapport aux autres ; soit encore pour réaliser une condition temporelle demandée .-

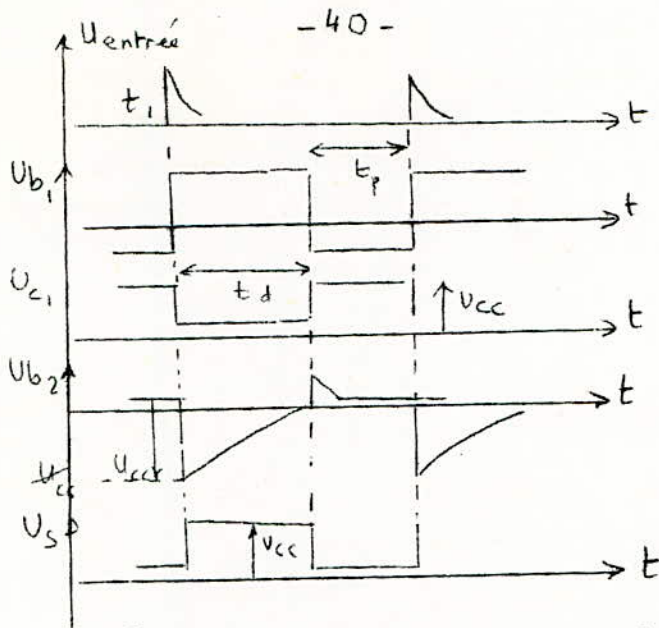
Les solutions dépendent beaucoup de la nature des signaux et de l'ordre de grandeur des temps .-

-En modifiant le circuit du Bistable, on peut obtenir un circuit monostable revenant à sa position d'équilibre au bout d'un temps déterminé - la fig (2A) représente un tel circuit .

— Circuit électrique :



- Le circuit d'attaque : a des variantes . On peut attaquer le monostable par
- la base B1
- Soit le collecteur C1
- Soit par la base B2



t_d : durée d'activité
 t_p : durée de pause.

Cas où l'on attaque la Base B_1 par des impulsions > 0

- Principe de fonctionnement :

- Soit initialement T1 bloqué & T2 conducteur.
- T1 bloqué car $E_{bb} (< 0)$ appliqué à B_1 à travers le diviseur R_{bb} & r .

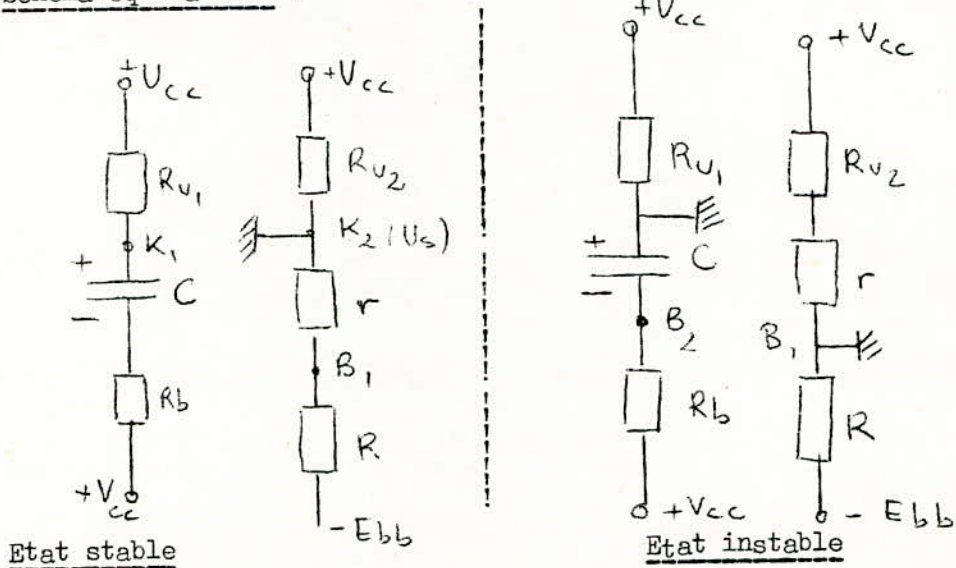
L'application de l'impulsion sur la base B_2 . Le courant de base T2 parcourt R_b et T2 se trouve à la saturation.-

Le monostable se trouve dans un état stable jusqu'au moment de l'application de V_e . Si l'impulsion brève d'amplitude suffisante est appliquée à B_1 . T1 commence à conduire la tension U_{c1} et tend vers le potentiel de masse et le condensateur C chargé à la tension d'alimentation commence à se décharger.-

- Après le processus cumulatif T2 est complètement bloqué & T1 est saturé.

C se décharge avec la constante de temps $\tau = R_b C$. Pendant cette durée le monostable se trouve dans l'état instable. Après la décharge de C, T2 commence à conduire après le processus cumulatif le monostable revient à son état stable. T1 bloqué & T1 saturé.

- Schéma équivalents :



- 2 - Calcul des éléments du temporisateur :

- * On emploie 2 transistors du type 2N2222

$$f_{\alpha} \gg f_c \quad U_s = a U_{cc} \quad a = 0,7 \div 0,95 \quad N = (1 \div 2)$$

$$U_{ces} = 0,6V$$

$$I_{cs} = 12mA$$

$$E_{bb} = -5V$$

$$20 I_{co} \ll I_{cs} \leq I_{cm}$$

$$R_{v1} = R_{v2} = R_v = \frac{a U_{cc}}{I_{cs}}$$

$$R_v = 1K\Omega$$

$$R_b = \frac{R_v \beta'_{mi}}{N} = \frac{1 \times 50}{2} \Rightarrow R_b = 25K\Omega$$

$$R_{bb} \leq \frac{0,8 E_{bb}}{I_{com}} = \frac{0,8 \times 5}{10 \cdot 10^{-6}} = 0,4M\Omega$$

$$R_{bb} = 100K\Omega$$

$$t_d = 0,69 R_b C \quad C = \frac{t_d}{0,69} R_b$$

On veut un temps de temporisation :

$$t_d = 2s \Rightarrow C = \frac{2}{0,69 \cdot 25 \cdot 10^3} = 0,16 \cdot 10^{-3}$$

$$C = 160\mu F$$

$$t_d = 5s \Rightarrow C = \frac{5}{0,69 \cdot 25 \cdot 10^3} = 0,29 \cdot 10^{-3}$$

$$C = 290\mu F$$

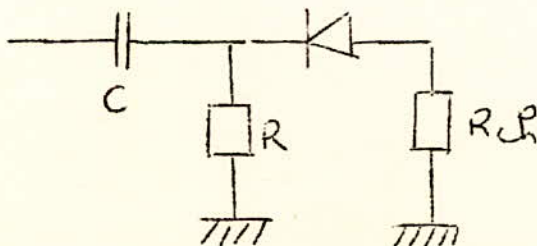
Si l'on considère que la charge du circuit temporisateur est infinie $R_{ch} = \infty$

$$r = R_c \left(\frac{\beta_{min}}{N} - 1 \right) = (30 \div 40) K\Omega \quad N = 1 \div 2$$

$$r = 35K\Omega$$

$$C_{1opt} = (100 \div 600) \mu F \quad C_1 = 200\mu F$$

- Détermination du circuit dérivateur et de la charge .



Si on attaque le monostable par des impulsions négatives sur la base du transistor T2 avec $t_d = \tau$ on aura :

la constante du temps τ : $(\tau < t_d), t_d \approx$ durée d'activité de l'impulsion

$$\tau = 0,05 t_d$$

$$\text{si } t_d = 2 \mu\text{s} \quad \tau_1 = 0,1 \mu\text{s}$$

$$t_d = 5 \mu\text{s} \quad \tau_2 = 0,25 \mu\text{s}$$

$$\tau = RC$$

on prend $R = 8 \text{ k}\Omega$ $R_{ch} \gg R = 8 \text{ k}\Omega$

$$\tau_1 = 0,1 \mu\text{s} \quad C_1 = \frac{\tau_1}{R} = \frac{0,1}{8 \cdot 10^3} = 12,5 \text{ nF}$$

$$\tau_2 = 0,25 \mu\text{s} \quad C_2 = \frac{\tau_2}{R} = \frac{0,25}{8 \cdot 10^3} = 31,25 \text{ nF}$$

- L'influence de la résistance du générateur est négligeable si on utilise la condition

$$R \gg r_i'$$

r_i = résistance interne du générateur

On a pas tenu compte de la capacité parasite C' de la charge et des fils de connexions.

-C-) AMPLIFICATEUR DE SORTIE = Circuit de contrôle .

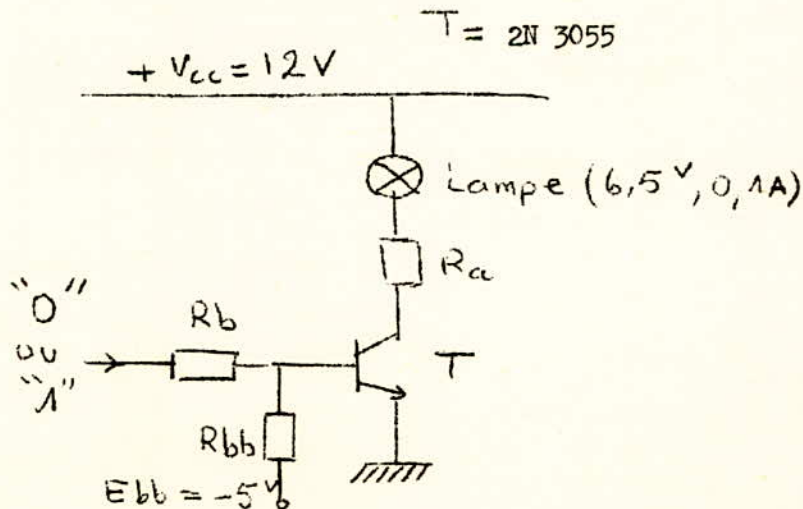
*- Il est souvent nécessaire de visualiser au moyen de voyants lumineux un résultat logique .

5 voyants sont disponibles sur le panneau de commande et permettent de visualiser l'état de n'importe quelle sortie.

Chacune des 4 bascules A,B,C,D aura donc un voyant de contrôle qui s'allume lorsque la sortie Q est à l'état 1.

Chaque voyant comporte une ampoule miniature à incandescence consommant environ 100 mA sous 6,5V.

Comme l'indique la figure, l'ampoule est en série avec une résistance R_a qui sont placées dans le collecteur d'un transistor (2N3055) fonctionnant en bloqué-saturé



Caractéristiques du Transistor : (de puissance) 2N3055 (NPN)

P_{max}	$I_{c_{max}}$	$I_{b_{max}}$	V_{ce_0}	V_{ce}	V_{ce_s}	f	β_{min}	β_{max}	$I_{c_{B_0}}$
115W	15A	7A	100V	7V	70V	10KHz	20	70	

- Ce transistor de puissance nous permet d'avoir un débit important 100mA pour alimenter l'ampoule ...

CALCUL DES ELEMENTS DE L'AMPLIFICATEUR :

Pour les voyants il nous faut

6,5V et 0,1A

$E_{cc} = 12V$

$E_{bb} = -5V$

$I_{c_{B_0}} = 0,7\mu A$ (Courant de fuite)

$I_{c_s} = 0,1A$ (Courant Collecteur à la Saturation)

$V_{ce_s} = 0,5V$

$N = \frac{I_b}{I_{b_s}} = 2$ Coefficient de saturation -

Lorsque le Transistor est saturé :

$R_a = \frac{V_{cc} - V_L}{I_{c_s}}$

$R_a = \frac{12 - 6,5}{0,1}$ $R_a = 55 \Omega$

resistance de la Lampe :

$R_L = \frac{V_c}{I_{c_s}} = \frac{6,5}{0,1}$

$R_L = 65 \Omega$

$R_b = \frac{\beta_{min} R_c}{N}$

$R_c = R_a + R_L$

$R_b = \frac{50 \cdot 120}{2}$

$R_b = 3 K \Omega$

$$R_{bb} \leq \frac{E_{bb}}{I_{cbo}} (1 - \delta E_{bb} - \delta R_{bb}) \quad \delta E_{bb} = \delta R_{bb} = 0,1$$

$$R_{bb} \leq 0,8 \frac{E_{bb}}{I_{cbo}} = \frac{0,8 \times 5}{7 \cdot 10^{-6}} = 0,06 \text{ M}\Omega \quad R_{bb} \leq 60 \text{ K}\Omega$$

on prend $R_{bb} = 33 \text{ K}\Omega$

Puissance dissipée dans la résistance :

$$P_R = R_a I_{c_s}^2 = 55 \cdot (0,1)^2 = 0,55 \text{ W}$$

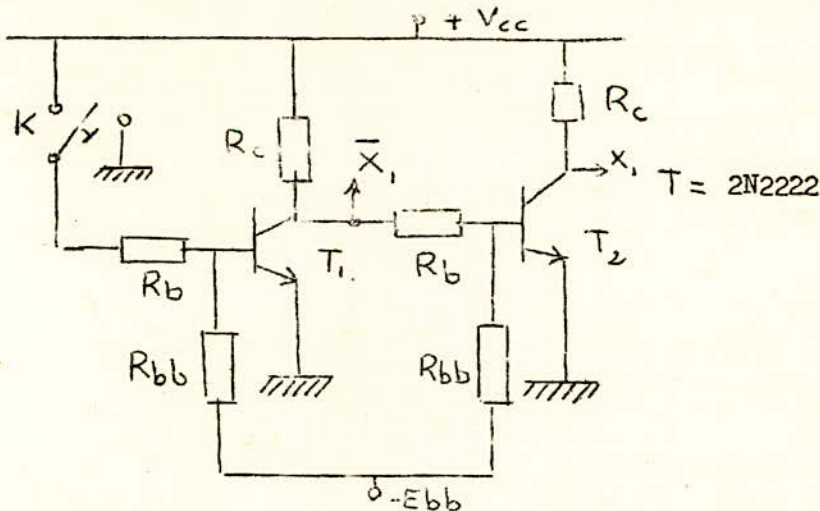
Puissance dissipée au Collecteur :

$$P_c = R_c I_{c_s}^2$$

$$P_c = 120 \cdot (0,1)^2 = 1,2 \text{ Watt}$$

—E—) ENTREES DU SIMULATEUR :

-* L'utilisation des opérateurs du simulateur nécessite souvent deux variables complémentées : pendant que l'une est en fonctionnement (valeur binaire "1") l'autre doit être au repos (valeur binaire "0") et inversement .-
Nous disposons , pour cela, d'un schéma d'inverseur à transistors du type :

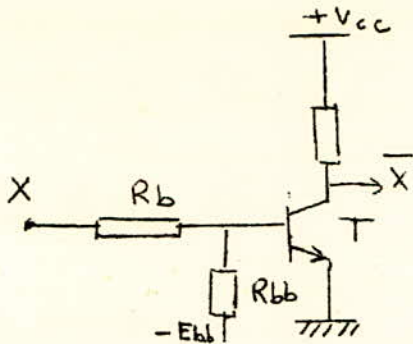


-La mise à "1" en X se fait au moyen d'un interrupteur K en position fermé.
($\bar{X}_1 = 0$)

-La fermeture d'un interrupteur assure la valeur "1" sur le collecteur de T2 ($v_{ce2} = 0$) et la valeur $\bar{X}_1 = 0$ sur le collecteur de T1 ($v_{ce1} = V_{cc}$).

-Nous considérons cinq variables d'entrées X_1, X_2, X_3, X_4 et leur valeur complémentée en vue d'élargir les possibilités d'utilisation du simulateur .

Calcul des éléments d'un circuit inverseur du type :



: circuit inverseur -amplificateur .

Le calcul étant déjà fait dans les chapitres précédentes :

On a : $R_c = \left(\frac{0,8 \div 0,95}{I_{cs}} \right) U_{cc} = \frac{a V_{cc}}{I_{cs}}$

$R_c = 1 \text{ K}\Omega$

$R_{bb} \leq \frac{E_{bb}}{I_{cbo}}$

$R_{bb} = 100 \text{ K}\Omega$

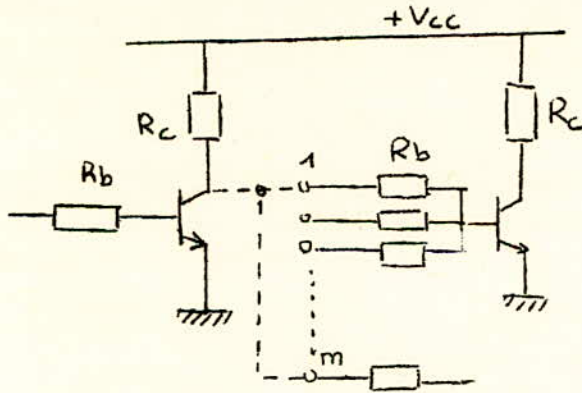
$R_b = 25 \text{ K}\Omega$

Remarque : La mise sous tension générale du simulateur peut être assurée par un inerrupteur en série avec une lampe témoin au néon .-

Calcul du nombre maximum d'étages que l'on peut mettre en parallèle en sortie

-* Comme charge on peut avoir soient les entrées d'un circuit NI soient les entrées des portes "ET" ou "OU" .-

Ca calcul a déjà été traité par l'opérateur NI .



$U_{s_{min}} = V_{cc} - (I_c + I_{ch}_m) R_c$

$I_{ch_{max}} = I_b m_{max}$

$I_b = \frac{I_c \cdot N}{\beta'_{min}}$

$V_s = a V_{cc} = (0,8 \div 0,95) V_{cc}$

$a V_{cc} = V_{cc} - \left(I_c + m_{max} \times \frac{I_c N}{\beta'_{mi}} \right) R_c$

$V_{cc} \approx R_c I_c$

$(1-a) V_{cc} = m_{max} \frac{N}{\beta'_{min}} R_c I_c$

$m_{max} = \frac{(1-a) \beta'_{min}}{N}$

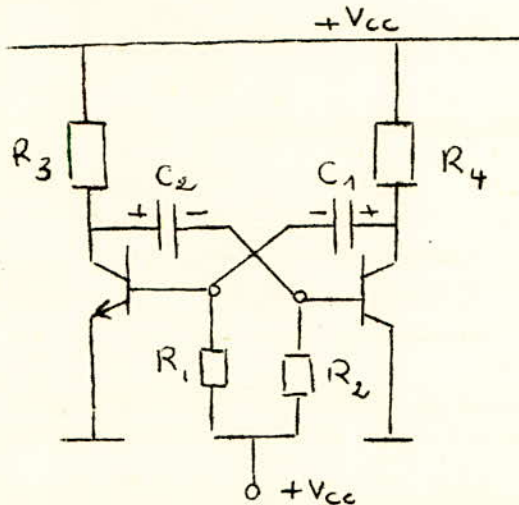
$N = 2 \quad \beta'_{mi} = 50$

$m_{max} = 5$

-2- ETUDE D'UN MULTIVIBRATEUR ASTABLE COMME VARIANTE D'INTERROMPTEUR :

-* On peut au lieu de manipuler l'interrupteur utiliser un multivibrateur ASTABLE capable de délivrer des impulsions carrées de fréquence $f_s = 0,5 \text{ Hz}$

Schéma : On a 2 circuits amplificateurs à couplage croisé c'est à dire que l'entrée de l'un est relié à la sortie de l'autre par l'intermédiaire d'une capacité et réciproquement .



Fonctionnement : Après l'application de V_{cc} , les 2 transistors T1 & T2 conduisent mais à cause du léger déséquilibre l'augmentation du courant collecteur I_c n'est pas la même pour les 2 transistors . Si T1 est plus conducteur I_{c1} augmente, la tension aux bornes de R_3 augmente & V_{ce1} diminue. Cette variation de tension se trouve appliquée à travers C_2 sur la base de T2. L'augmentation du potentiel négatif par rapport à la masse sur la base de T2 implique une diminution de I_{b2} () et une augmentation de V_{ce2} . V_{ce2} est appliqué à travers C_1 sur la base de T1 . Après le processus cumulatif T1 sera saturé et T2 bloqué .-

Le principe de charge et de décharge permet d'inverser le rôles des transistors. Ily aura permutation sans cesse des rôles .Le multivibrateur astable ne possède aucun état stable .

Schéma équivalent s :

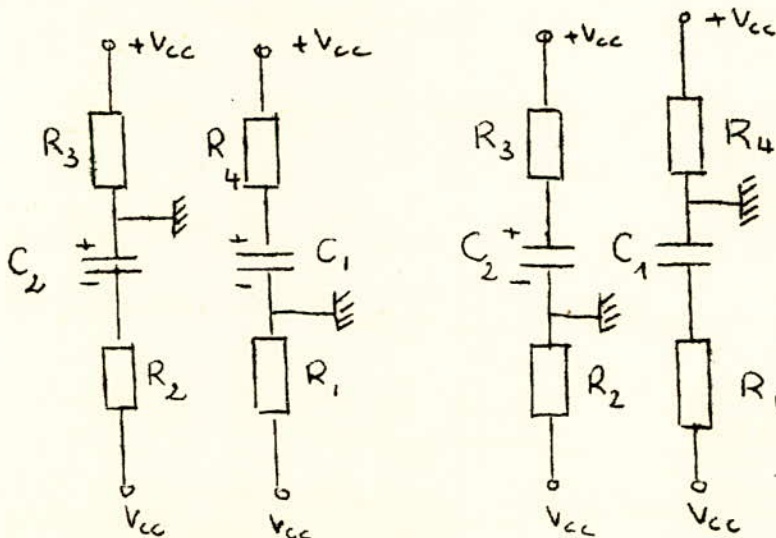
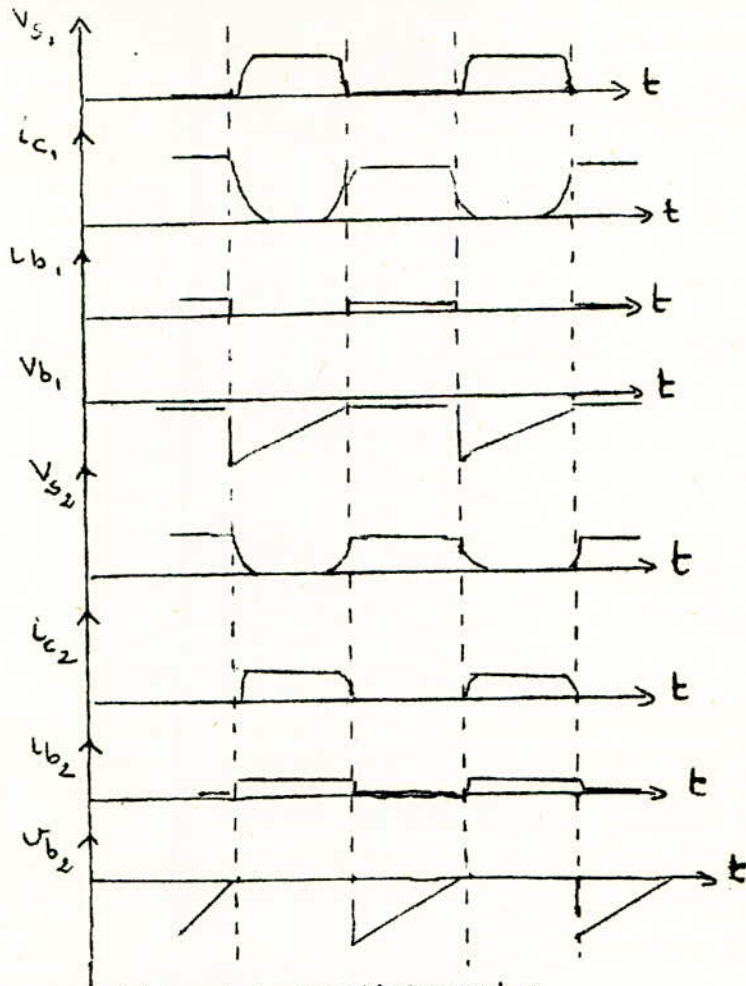


Diagramme des tensions et des courants :



Equations caractérisant le fonctionnement :

Lorsque T_1 est bloqué :

$$\tau_1 = C_2 R_2 \text{ (charge de } C_2)$$

$$\tau_2 = R_1 C_1 \text{ (décharge de } C_1)$$

$$V_{s1} = V_{cc} (1 - e^{-t/\tau_1})$$

$$V_{b1} = (V_{cc} + V_{bb}) (1 - e^{-t/\tau_2}) - V_{cc}$$

à $t=0$ $V_{b1} = 0$

$$e^{-t_1/\tau_2} = \frac{E_{bb}}{E_{bb} + V_{cc}}$$

$$t_1 = -\tau_2 \ln \frac{E_{bb}}{E_{bb} + V_{cc}}$$

Lorsque T_2 est bloqué : $0 = (V_{cc} + V_{bb}) (1 - e^{-t/\tau_1}) - V_{cc}$

$$\tau_4 = C_2 R_2$$

$$t_2 = -\tau_4 \ln \frac{E_{bb}}{E_{bb} + V_{cc}}$$

Période des impulsions de sortie :

$$T = t_p + t_p$$

$$T = t_1 + t_2 = -\ln \left(\frac{E_{bb}}{E_{bb} + V_{cc}} \right) (R_1 C_1 + R_2 C_2)$$

fréquence f_s : $f_s = \frac{1}{T}$

-Calcul du circuit :

$f_s = 0,5 \text{ Hz}$

$T = 2s$

$E_{bb} = V_{cc}$

$Q = 2 = \frac{1}{\alpha} \quad \alpha = \frac{t_d}{T} = 0,5$

On utilise des transistors T(2N 2222).

$20 I_{comax} \ll I_{cs} \leq I_{cm} \quad I_{cs} = 12 \text{ mA}$

$R_3 = R_4 = R_U = \frac{V_{cc} - V_{ces}}{I_{cs}} = \frac{V_{cc}}{I_{cs}} \quad \underline{R_U = 1 \text{ k}\Omega}$

$R_1 = R_2 = R_b$

$R_b = \frac{E_{bb}}{I_b} \quad I_b = I_{bs} \cdot N = \frac{I_{cs} N}{\beta} = \frac{V_{cc} N}{R_U \beta}$

$R_b = \frac{E_{bb}}{V_{cc}} \frac{\beta}{N} R_U \quad R_b = \frac{12 \cdot 1 \cdot 50}{12 \cdot 2} \quad \underline{R_b = 25 \text{ k}\Omega}$

$t_p = \frac{1}{2f_s} = R_b C \ln 2 = 0,69 \cdot 25 \cdot 10^3 \cdot C$

$C = \frac{1}{0,69 \cdot 25 \cdot 10^3} \quad \underline{C = 58 \mu\text{F}}$

Calcul du temps de montée de l'impulsion de sortie : t_m

$t_m = \tau_\beta \ln \frac{1}{1 - \frac{1}{N}} = 0,69 \tau_\beta \quad \tau_\beta = \frac{\beta + 1}{2\pi f_d} \quad \tau_\beta = 0,032 \mu\text{s}$

$t_m = 0,69 \cdot 0,032 = 0,022 \quad \underline{t_m = 22 \text{ ns}}$

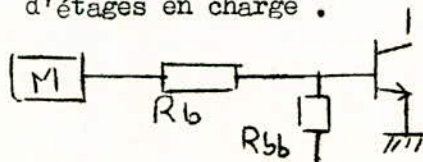
Vérification des conditions de fonctionnement :

$0,69 R_b C > (3 \div 5) R_U C$

$0,69 \cdot 25 \cdot 10^3 \cdot 58 \cdot 10^{-6} > 5 \cdot 10^3 \cdot 58 \cdot 10^{-6}$

Remarque : Le multivibrateur astable aura pour charge soit :

- 1- La résistance R_b de l'étage inverseur, ou $\frac{R_b}{m}$ selon le nombre d'étages en charge.



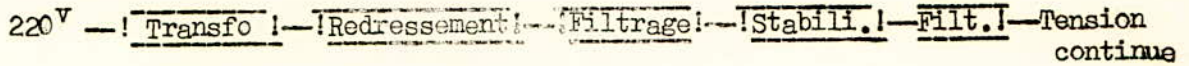
- 2- La charge d'un opérateur quelconque.

F-)

B L O C - D' A L I M E N T A T I O N

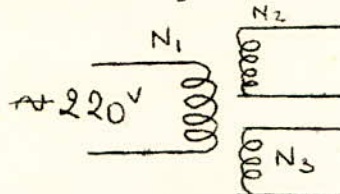
*- Ce bloc devra délivrer les tensions stabilisées de +12V et de -5V nécessaire à l'alimentation des circuits .

1-Principe : En redressant la tension sinusoïdale du transformateur on obtient la tension continue ondulée nécessaire d'où le schéma bloc :



2-Transformateur :

-Il possède un enroulement primaire & deux enroulements secondaires .



Pour le noyau magnétique on utilise des tôles normalisées "ET" à 26 W/Kg . Ces tôles sont à 2% de silicium , ce sont les plus courantes leur épaisseur est de 0,5 mm .

La puissance que doit fournir le transformateur : est en moyenne.

Nombre de portes : 40	}	I = 12mA	E = 12V
Nombre de transistors : 40		I = 12mA	E = 12V
Nombre d'entrées Ebb : 10		Ib = 50 uA	E = 5V
Nombre de lampes : 5		I = 100mA	E = 6,5V

A ces puissances nécessaires s'ajoute la puissance à fournir aux amplificateurs

$$- P = \sum I_1 \cdot U_1 + \sum I_2 \cdot u_2 = 7,64 + P (\text{ampli}) + P (\text{inverseurs d'entrées})$$

on aura en moyenne

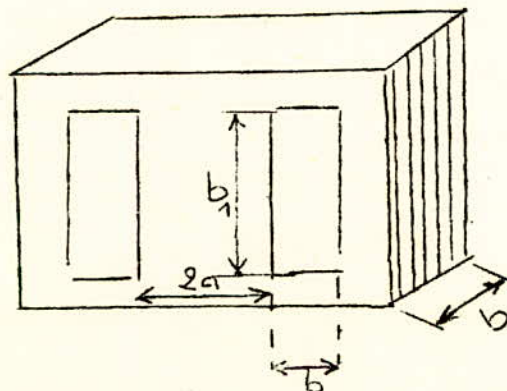
$$P = 30 \text{ V.A}$$

Surface du noyau magnétique :

$$S = (7 \div 8) \sqrt{\frac{P}{f}}$$

$$S = (7 \div 8) \sqrt{\frac{30}{50}} \approx 1,2 \sqrt{P} \quad S = 6,6 \text{ cm}^2$$

on prend $S = 7 \text{ cm}^2$



$S = 2a \cdot b$ on prend pour a une valeur normalisée $a = 16 \text{ mm}$
 Nombre de tôles à utiliser $b = \frac{S}{2a} = \frac{7}{2 \cdot 1,6} = 2,18 \text{ cm}$

$e = 0,5 \text{ mm}$ (épaisseur d'une tôle)

$n = \frac{b}{e} = \frac{2,18 \text{ cm}}{0,05} \approx 44$ tôles

Nombre de spires au primaire :

la formule de Boucherot s'écrit : $V = 4,44 \cdot f \cdot B_m \cdot K_a \cdot N_1 \cdot S$

K_a = coefficient de remplissage

$K_a = 0,8 - 0,9$

($B_m = 1 \text{ tesla}$)

N_1 = Nombre de spires au primaire.

$V = 220 \text{ V}$

$f = 50 \text{ hz}$

$B_m = 1 \text{ tesla}$

$K_a = 0,9$

$S = 7 \text{ cm}^2$

$$N_1 = \frac{V}{4,44 \cdot f \cdot B_m \cdot S \cdot K_a} = \frac{220}{4,44 \cdot 50 \cdot 1 \cdot 7 \cdot 10^{-4} \cdot 0,9} = 1415 \text{ spires}$$

Calcul du nombre de spires N_2 & N_3 :

de rapport de transformation

$N_1 = \frac{N_2}{N_1} = \frac{E_2}{E_1} = \frac{17}{220} \Rightarrow N_2 = N_1 \cdot \frac{17}{220} = 109 \text{ spires}$

$N_2 = \frac{N_3}{N_1} = \frac{E_3}{E_1} = \frac{10}{220} \Rightarrow N_3 = N_1 \cdot \frac{E_3}{E_1} = 1415 \cdot \frac{10}{220}$

$N_3 = 64 \text{ spires}$

Nombre total des spires à placer dans la fenêtre du transformateur :

$N = N_1 + N_2 + N_3 = 1415 + 109 + 64 = 1588 \text{ spires}$

Courant traversant le primaire :

Si le (rapport) rendement du transformateur est :

$\eta = 75\% \quad \eta = \frac{P_2}{P_1} = \frac{75}{100} \quad P_2 = 30 \text{ V.A} \quad P_1 = 40 \text{ V.A.}$

$I = \frac{40}{220} = 0,18 \text{ A}$

Si l'on veut une densité de courant $J = 2,5 \text{ A / mm}^2$
Il faut avoir du fil pour section

$$S = \frac{I}{J} = \frac{0,182}{2,5} = 0,073 \text{ mm}^2$$

Longueur du fil nécessaire :

$$L = N \cdot l \quad \text{avec } l = 2(2a + ne) = 2(2a + b)$$

l = périmètre du noyau magnétique.

$$l = 2(2 \cdot 1,6 + 2,2) = 10,8$$

$$L = 1588 \times 10,8 \quad \boxed{L = 165 \text{ m}}$$

La section du fil étant de $0,073 \text{ mm}^2$ ce qui permet à l'aide d'un abaque de déterminer le nombre de spires à loger dans 1 cm^2 de la fenêtre du circuit magnétique ...

Pour notre cas : $N' = 810$ spires / cm^2

$$\text{Surface de la fenêtre : } S' = b_1 \cdot a \quad b_1 = 4a$$
$$S' = 4a^2 = 10 \text{ cm}^2$$

vérification d'emplacement : on doit avoir $N \cdot S \cdot K < S' = B_1 a$
avec $K = 3 \div 4$ coefficient de remplissage fixé à cette valeur en tenant compte de l'espace d'isolement entre les enroulements.

$$N = 1588$$
$$1588 \cdot 7,3 \cdot 3 \cdot 10^{-4} < 10 \quad \text{ce qui est vérifié}$$

Il est donc clair qu'il sera possible de loger les 1588 spires dans la fenêtre .

III . Détermination de point, à Diodes :

-* Le courant maximal lorsque tous les circuits fonctionnent en même temps

$$I_t = 2,5 \text{ A}$$

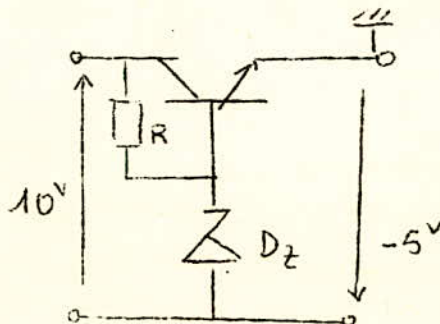
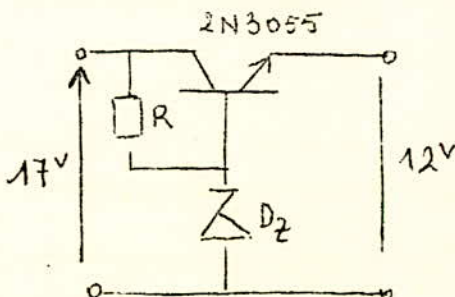
- Pour les transistors (environ 40) $50 \cdot I_{2mA} = 600 \text{ mA}$
- Pour les portes : $20 \cdot I_{2x3} = 720 \text{ mA}$
- Pour les lampes : $5 \cdot I_{100mA} = 500 \text{ mA}$

Cependant ce courant I_t se partage entre 2 diodes redresseuses .

Si nous prenons un coefficient de travail de 50% ; c'est à dire que 50% des transistors sont saturés et 50% sont bloqués . On peut choisir des diodes redresseuses du type 0A 85 .

Les même diodes seront utilisées pour les 2 ponts de redressement .

IV . C I R C U I T STABILISATEUR :



Calcul des résistances Ballast : R

$$u_1 = E \sqrt{2} = 30 \sqrt{2} \quad u_1 = 42,5 \text{ V}$$

$$U_2 = 7 \cdot \sqrt{2} = 10 \text{ V} \quad U_2 = 10 \text{ V}$$

La diode Zener a pour caractéristique :

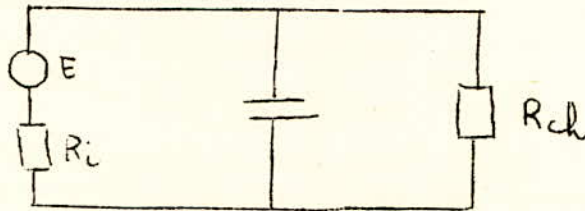
$$V_{dz} = 5 \text{ V} \quad I_{dzopt} = 5 \text{ mA}$$

$$R_1 = \frac{U_1 - 2V_{dz}}{I_{dz}} = \frac{42,5 - 10}{5 \cdot 10^{-3}} = 6,4 \text{ K} \Omega$$

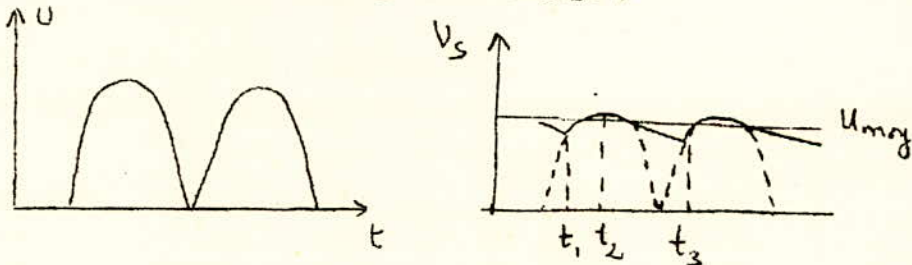
$$R_2 = \frac{U_2 - V_{dz}}{I_{dz}} = \frac{10 - 5}{5 \cdot 10^{-3}} = 1 \text{ K} \Omega \quad R_2 = 1 \text{ K} \Omega$$

Détermination de la capacité de filtrage : C

-Le schema peut se réduire à :



- E ..étant la tension recueillie au secondaire du transformateur
- Ri ..résistances de l'enroulement secondaire (qui est faible) +résistance du primaire ramené au seconaire .-
- Rch .. représente toutes les résistances en charge .



Au temps $t_1 - t_2$ la capacité se charge à travers R_i : constante de charge est

$$\frac{R_i C}{}$$

Entre $t_2 - t_3$: la capacité se décharge à travers R_{ch} : contante de ^{temps} décharge

$$\frac{R_{ch} C}{}$$

$$\frac{R_i C \ll R_{ch} C}{}$$

$$R_i \ll R_{ch}$$

Le coefficient à ondulation :

$$R_{ch} = \frac{V_s}{I_{max}} = \frac{I_2}{5 \cdot 10^{-3}} = 2,4 \text{ K} \Omega$$

-Pour avoir un bon filtrage on doit avoir :

2ω : pulsation de tension ondulé

$$C \gg \frac{1}{2 \cdot 100} = \frac{1}{24 \cdot 10^{-3}} = 0,67 \mu\text{f} \quad \frac{1}{2\omega C} \ll R_{ch} \quad \boxed{C \gg \frac{1}{2 \omega R_{ch}}}$$

on prend $C=100 \mu\text{f}$

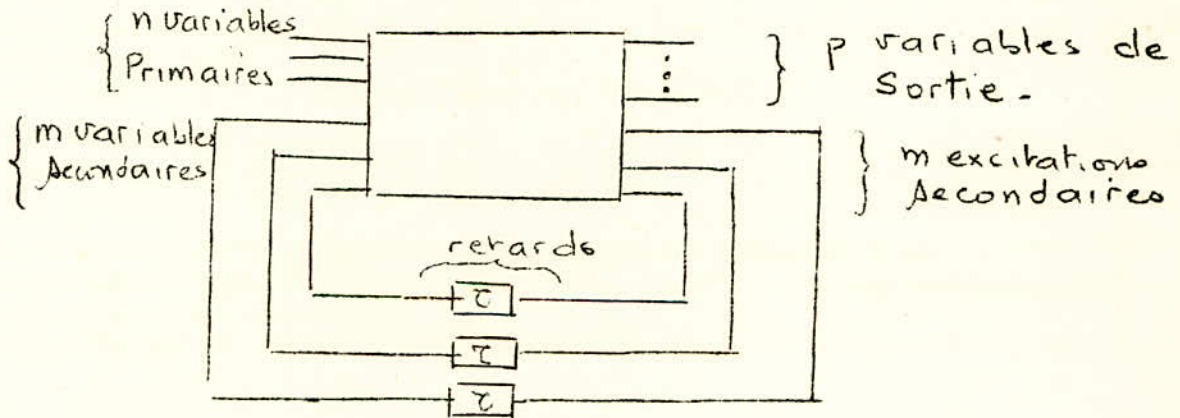
G -) SYNTHESE D'UN DISPOSITIF SEQUENTIEL :

-* 1 Généralités :

Pour les circuits combinatoires il existe une relation bien définie entre les variables d'entrée et de sortie. Les circuits réels présentent une caractéristique supplémentaire importante : ils dépendent du temps ou, plus précisément sont dotés de mémoire. Les variables de sortie ne dépendent pas uniquement des variables d'entrée, la suite des états antérieurs intervient également : c'est ~~la raison~~ pour cette raison que l'on qualifie ces circuits par l'adjectif séquentiel.

-* 2 Structure d'un système séquentiel :

L'étude des circuits séquentiels les plus généraux montre que l'on peut généralement les ramener à un système purement combinatoire et un certain nombre d'organes ; comme le montre la fig. 22



Les X_j représentent les variables d'entrées et les Z_j les variables de sortie. Les excitations secondaires y_j : composantes du vecteur $y(t + \tau)$ fournissent après un certain délai, des variables secondaires Y_j . Dans les circuits électroniques, les retards sont introduits volontairement (circuit de temporisation) ou bien existe d'une manière inhérente au matériel utilisé (par exemple temps de montée ou de descente du transistor). Les boucles de réactions doivent contenir des éléments amplificateurs convenables. -Ce sont des excitations secondaires y , qui, en introduisant des effets de mémoire donne le caractère séquentiel, caractérisé par le fait que les sorties Z ne dépendent pas seulement des entrées X , mais aussi des états Y .

-Un tel système est entièrement défini :

---Par une matrice d'excitation ou table des adresses :

qui donne, pour toute combinaison $(X, Y)_k$ des variables primaires et secondaires la valeur correspondante de y du vecteur d'excitation secondaire, c'est à dire l'état suivant du système.

---Par une matrice de sortie qui donne pour tout couple $(xy)_k$ des variables primaires et secondaires la valeur correspondante de Z_k du vecteur de sortie.

Le système séquentiel est entièrement défini par un système de 2 équations soient $X_{j,t}$ et $Y_{j,t}$ les valeurs des variables primaires et secondaires soient enfin $Z_{j,t}$ les valeurs des variables de sortie à l'instant t et $y_{j,t+\tau}$ les valeurs des excitations secondaires mises en mémoire à l'instant $t + \tau$

$$y_j, t \rightarrow C = g_j (X_1, t \dots X_m, t , Y, t \dots Y_m, t)$$
$$Z_j, t = f_j (X_1, t \dots X_m, t , Y_1, t , \dots Y_m, t)$$

La première équation correspond à la matrice des excitations ,la seconde à la matrice de sortie .La première relation définit la fonction mémoire du système .

^
de sortie.

II . M E T H O D E D' H U F F M A N N :

-1- Principe de la méthode :

La méthode d'Huffmann consiste à effectuer la synthèse d'un système séquentiel dans l'ordre de étapes suivantes :

-o- A partir de la description du processus on effectue le dénombrement des états stables.Cette première étape peut être menée ,soit à partir du raisonnement,soit en utilisant le diagramme de fluence du système séquentiel sur tout ,dans ce dernier cas ,si le système est susceptible de présenter un grand nombre de séquences différentes.

-o-Établissement de la table des phases primitives :

Chaque ligne de cette table ,établie selon le nombre d'états au paragraphe précédent ne contient qu'un seul état stable et comporte l'indication de la variable de sortie

-o-Organisation des variables secondaires et codage des états internes .

-o- Etablissement de la matrice des excitations secondaires qui conduit à l'expression des fonctions d'excitation par emploi de la méthode de Karnaugh .

-o-Établissement de la table ou matrice de sortie .Ce qui nous amène à l'établissement du schéma logique général du système séquentiel considéré .

Matrices des Phases Primitives :

---On utilise une matrice dont les colonnes sont marquées au moyen des combinaisons des variables d'entrée,combinaisons disposées suivant le Code Gray (binaire réfléchi) pour faciliter la mise en forme ultérieure (fonctions de diagramme de Karnaugh).

On représente une phase par ligne et les phases par des numéros arbitraires cerclés,dans la colonne correspondant^e à la combinaison des variables d'entrée donnant cette phase .On peut envisager des séquences différentes suivant les modifications des variables d'entrée . Les traits représentent les états que l'on ne peut pas atteindre ou qui sont indifférents.

L'établissement de la matrice des phases primitives ,oblige à une analyse complète de ce que doit faire le circuit .

-2- Réduction de la Table des Phases primitives :

Le nombre définitif de variables secondaires qu'il conviendra de faire intervenir dépend du nombre de lignes de la table des phases.Il est intéressant de réduire le plus possible ce nombre et cela peut être fait par fusionnement des lignes : Le fusionnement permet ainsi de supprimer,sur la table des phases primitives,certaines phases instables introduites et qui s'avèrent en définitive inutiles.La fusion de 2 lignes est possible si dans chaque colonne on a le même numéro, ou un numéro et un état indifférent ou deux états indifférents. Il est préférable de ne fusionner que des lignes présentant les mêmes combinaisons de sortie.Après fusionnement on aura la matrice des phases primitives réduite ou fusionnée .

Remarque : On n'a aucun intérêt de réduire la table au dessous d'un nombre égal à la plus petite puissance de 2 possible . Si la matrice réduite comporte un nombre de lignes compris entre 2^{n-1} et 2^n on devra utiliser obligatoirement n variables secondaires . Le fait de conserver une table à 2^n ligne facilitera le codage des variables secondaires .-

—3— Organisation ou Codage des variables secondaires :

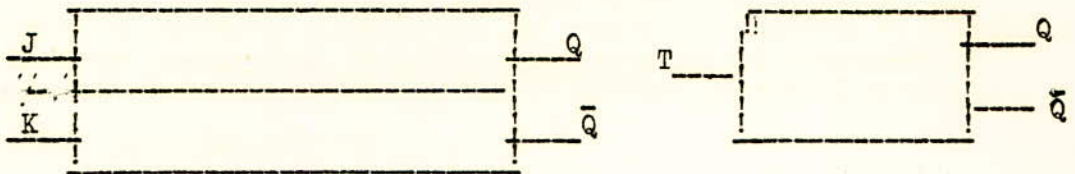
On convient alors d'affecter à chaque ligne une combinaison de valeurs secondaires et on doit le faire de telle sorte que pour une transition spontanée le long d'une colonne d'un état instable à l'état stable correspondant cette transition respecte les conditions d'adjacences (changement d'une seule variable secondaire).

—4— Matrice des excitations secondaires :

De cette table on va déduire la matrice des excitations secondaires qui donne les excitations secondaires y_j (ou états internes) en fonction des variables primaires X_j et des variables secondaires Y_j .

Pour les circuits à réaction direct les valeurs des excitations secondaires sont fixées en considérons les états stables pour lesquels on a : $Y_j = Y_j$.

Dans le cas ou le circuit de réaction est une mémoire binaire (J.K ou T) on est amené à établir des circuits d'excitation de cette mémoire .



La manière d'utiliser les matrices d'excitation dépend du type de bistable utilisé.

J=d	K=e	Q_n	Q_{n+1}
\emptyset	0	0	0
\emptyset	1	0	1
0	\emptyset	1	1
1	\emptyset	1	0

T	Q	Q_{n+1}
0	0	0
1	0	1
1	1	0
0	1	1

A partir de cette matrice des excitations secondaires il est facile d'établir les matrices de Karnaugh relatives à chacun des états internes .

—5— Etablissement de la matrice de sortie :

Cette matrice définit les valeurs des variables Z_j en fonction des variables primaires et secondaires. Les valeurs Z_j sont directement relevées sur la table des phases en faisant intervenir les considérations suivantes :

- a-) Dans chaque case qui correspond à un état stable on indique la valeur de Z_j .
- b-) Pour les cases indifférentes (instables) correspondantes à des phases instables, on peut réaliser des circuits de sortie avec condition de temps de réponse .

-Pour un fonctionnement rapide , les valeurs des variables de sortie des états instables seront celles qu'elles doivent prendre après la transition . Dans ce cas la sortie prendra la nouvelle valeur dans le changement des variables primaires sans attendre le changement des variables secondaires .

-Dans le cas où l'on désire un fonctionnement le plus long possible on donnera aux variables de sortie correspondantes à des transitions les valeurs de l'état initial. La matrice de sortie obtenue on peut procéder comme on l'avait fait pour la matrice des excitations secondaires c'est à dire établir les tables de Karnaugh des variables de sortie.

—6— Etablissement du diagramme logique :

Des expressions $Z_j = f (X_j \dots X_k \dots X_n , Y_1 \dots Y_m)$

On déduit directement le diagramme logique représentatif de l'automatisme séquentiel considéré .-

APPLICATION DE LA METHODE D'HUFFMANN
SUR DEUX EXEMPLES.

EXEMPLE 1

Soit un système donnant le schéma bloc d'un DISPOSITIF D'OUVERTURE AUTOMATIQUE d'un HANGAR :

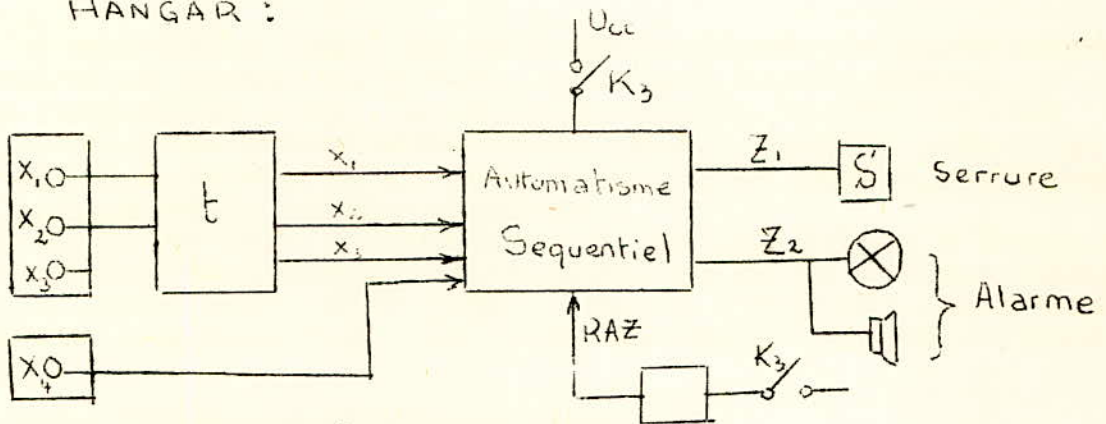


fig 1

La porte du Hangar est disposée comme le montre la fig 2

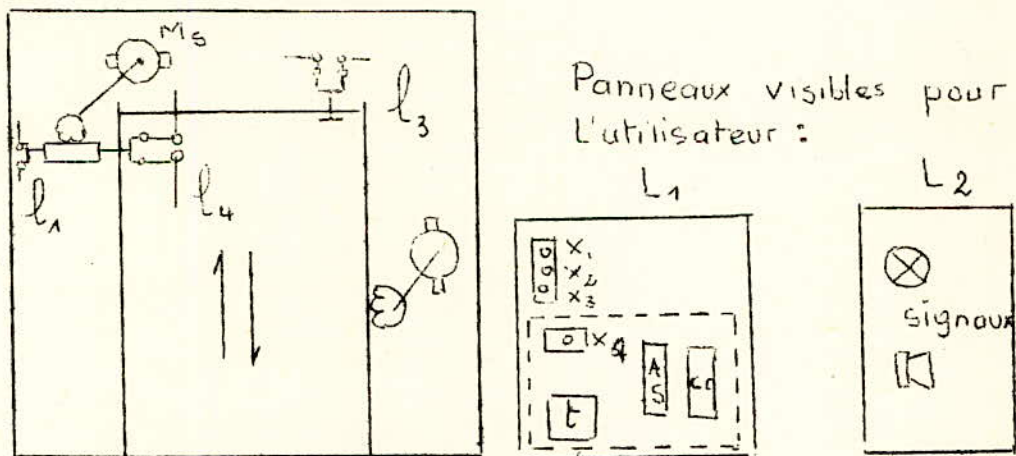


fig 2

désignations :

Mp = moteur pour ouverture et fermeture de la porte
Ms = " pour " et " de la Serrure

l₁, l₂, l₃, l₄ = Contacts

A.S = automate Séquentiel

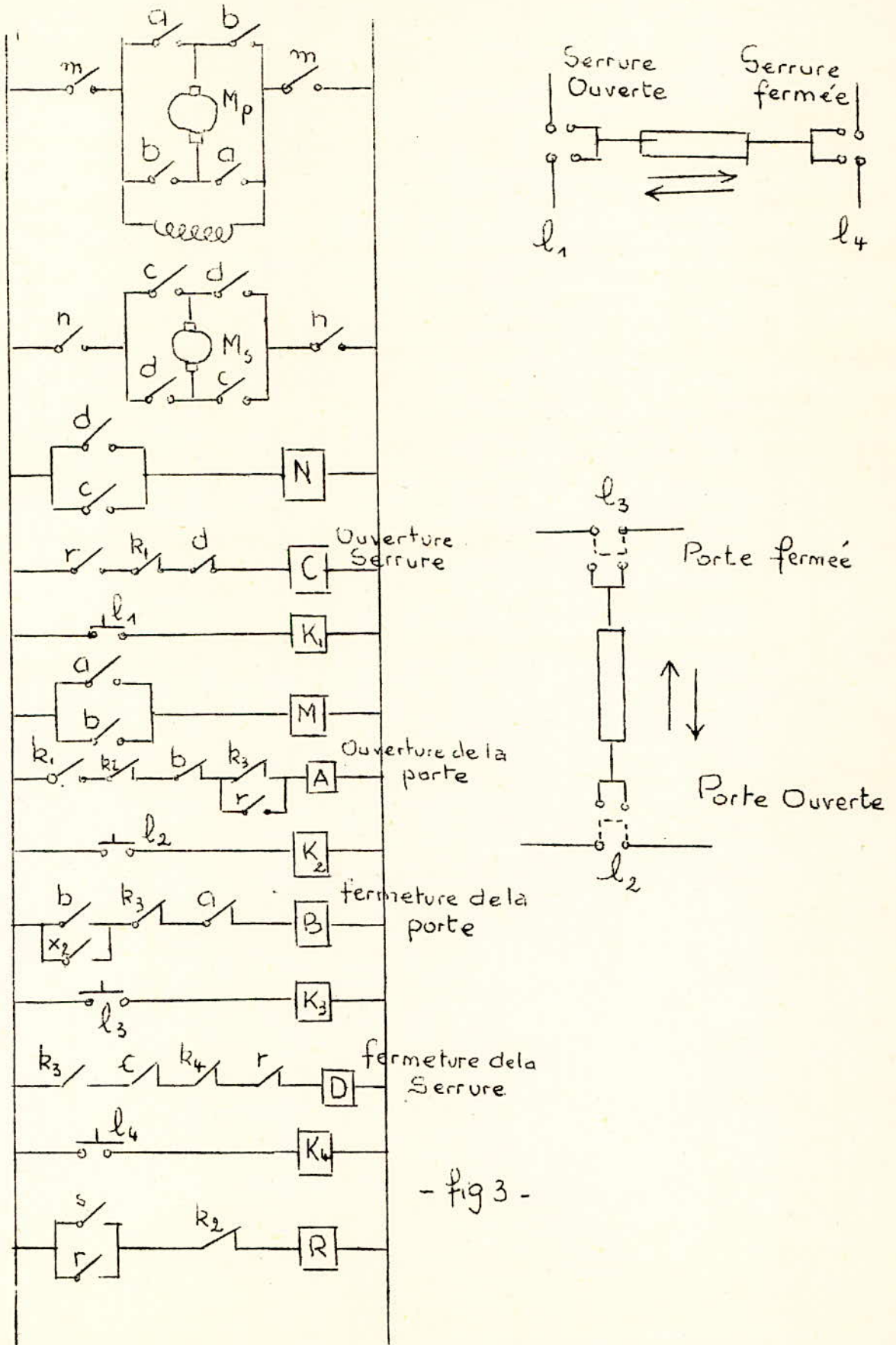
CC = alimentation courant Continu

t = temporisation

x_i avec i = 1 à 3 boutons poussoirs

x₄ bouton poussoir de Remise à zéro.

Circuit de Commande

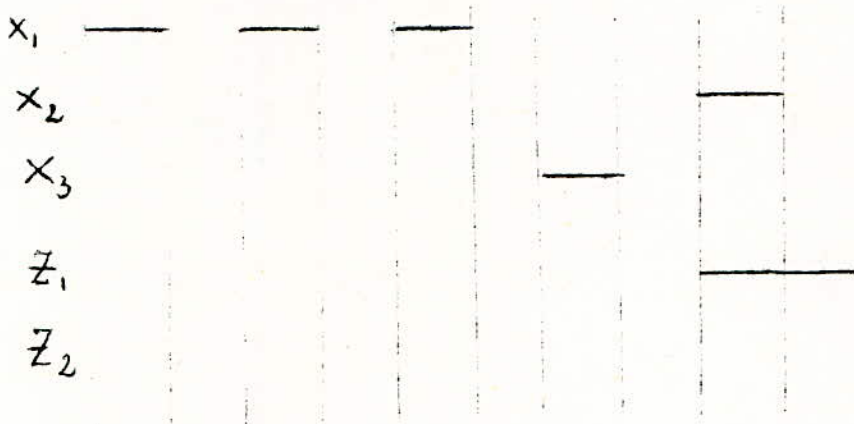


- fig 3 -

Les conditions de fonctionnement de l'automate séquentiels sont les suivantes :

- Les entrées sont sous forme d'impulsions.
 - Une seule séquence: $X_1-X_1-X_1-X_3-X_2$ conduit à l'ouverture de la porte $Z_1=1$; l'apparition de Z_1 assure l'ouverture de la porte qui est effectuée grâce au schéma de commande donnée par la fig 3.
 - Toutes les autres séquences conduisent à la signalisation d'alerte: $Z_2=1$ X_4 assure la remise à zéro manuelle quand il y a alarme .
- Le changement simultané de quelques signaux d'entrée est impossible.

-LE DIAGRAMME des temps des impulsions pour aboutir à l'ouverture de la porte est :

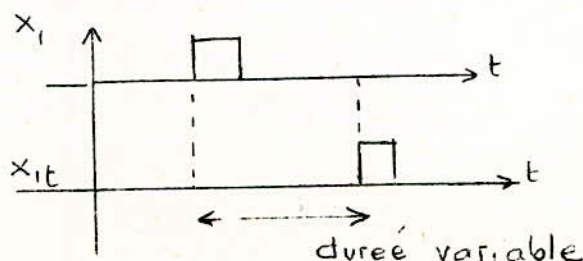


-Pour déclencher le système de fermeture de la porte on doit appuyer sur l'un des boutons poussoirs soit par exemple X_2 .

On se propose de faire la synthèse de l'automate séquentiel:

- Réaliser le circuit avec les éléments logiques "NOR"
- dans les boucles de réaction (sortie--entrée) on fait intervenir des mémoires binaires du type JK.

t étant un dispositif de temporisation des signaux X_1, X_2, X_3 , il sert à créer des complications en réduisant ou en augmentant le temps séparant deux impulsions d'entrée, on règle ce temps de façon que le système ait le temps de réagir avant l'application de l'impulsion suivante



1-Dénombrement des états stables et table des phases primitives

L'analyse des états nous permet d'établir la table des phases primitives. Le système possède 26 états stables représentés par des numéros arbitraire cerclés. Les états instables, permettant la transition d'un état stable à un autre, sont représentés par des chiffres non cerclés.

La table des phases primitives est donnée par le tableau I

2-Table des phases primitives réduite.

Il est intéressant de réduire le plus possible la table des phases primitives, on fusionne les lignes.

(9, 10, 17, 18, 19, 20, 21, 24, 25, 26,) qui donnent l'état K
et (11, 12, 13, 14, 15, 16, 22, 23,) qui donne l'état L

Les états (0, 1, 2, 3, 4, 5, 6, 7, 8,) sont représentés respectivement par les lettres a, b, c, d, e, f, g, h, i,

Les nouveaux états a, b, c, d, e, f, g, h, i, ont pour combinaison de sortie 00

K ----- 10

L ----- 01

La matrice fusionnée est donnée par le tableau 2

3-Organisation et codage des variables secondaires:

La matrice fusionnée comprend 11 états stables (donc 11 lignes)

Pour différencier ces 11 lignes on a recours à 4 variables secondaires car $2^3 < 11 < 2^4$.

Les cases vides ou indifférentes représentent des états que l'on ne peut pas atteindre. Les variables secondaires sont organisées de telle manière que l'adjacence reste respectée C'est à dire que le passage d'un état instable à l'état stable correspondant nécessite le changement d'une seule variable secondaire. Ce qui est vérifié pour la plupart des cas si les variables secondaires sont disposées comme sur le tableau II. On prend comme variables secondaires X4, X5, X6, X7

Matrice de sortie

Pour la sortie Z1: on représente dans les cases la combinaison de sortie Z1 correspondante. Cette matrice est donnée par le tableau III

Les groupements de karnaugh nous donne :

$$Z1 = X4\bar{X}5X7 + X2\bar{X}5X7 \quad \text{Soit :} \quad Z1 = \bar{X}5X7 (X2 + X4)$$

De manière analogue pour la sortie Z2 :

$$\boxed{Z2 = \overline{X4} \overline{X5}} \quad (\text{sortie lente})$$

$$Z2 = \overline{X3} \overline{X6} + \overline{X2} \overline{X7} + \overline{X3} \overline{X5} + \overline{X7} \overline{X5} + \overline{X3} \overline{X4} \overline{X5} \overline{X7} + \overline{X1} \overline{X3} \overline{X7} + \overline{X1} \overline{X5} \overline{X6} \overline{X7} + \overline{X1} \overline{X4} \overline{X5} \overline{X6}$$

(Sortie rapide)

Remarque:

On obtient une sortie lente en effectuant à l'état instable la combinaison de sortie de l'état précédent. Par contre la sortie rapide s'obtient en effectuant à l'état instable la combinaison de sortie de l'état suivant.

Matrice d'excitations secondaires:

On utilise dans les boucles de réaction des mémoires (J, K)

Problème: connaissant la sortie Xj (j=4 à 7) on détermine les entrées J = Z~~X~~j et K = Z~~X~~j (j= 4 à 7)

Le mode de fonctionnement de la bascule J, K nous permet le remplissage des tableaux donnant les excitations secondaires Z'_{xj} et Z''_{xj}.

La méthode de remplissage des tables de Karnaugh donnant :
 J_2, K_2, J_3, K_3, J_4 et K_4 étant la même que précédemment
 on aboutit aux équations suivantes :

$$Z'_{x_5} = K_2 = x_2 \bar{x}_7 + \bar{x}_1 \bar{x}_2 x_4 \bar{x}_6 + x_3 \bar{x}_6 + x_1 \bar{x}_4 \bar{x}_5 x_6 + x_1 x_6 \bar{x}_7 + x_3 \bar{x}_4 \bar{x}_5 x_7$$

$$Z''_{x_5} = J_2 = \bar{x}_1 \bar{x}_2 x_4 x_6 \bar{x}_7 + \text{RAZ}$$

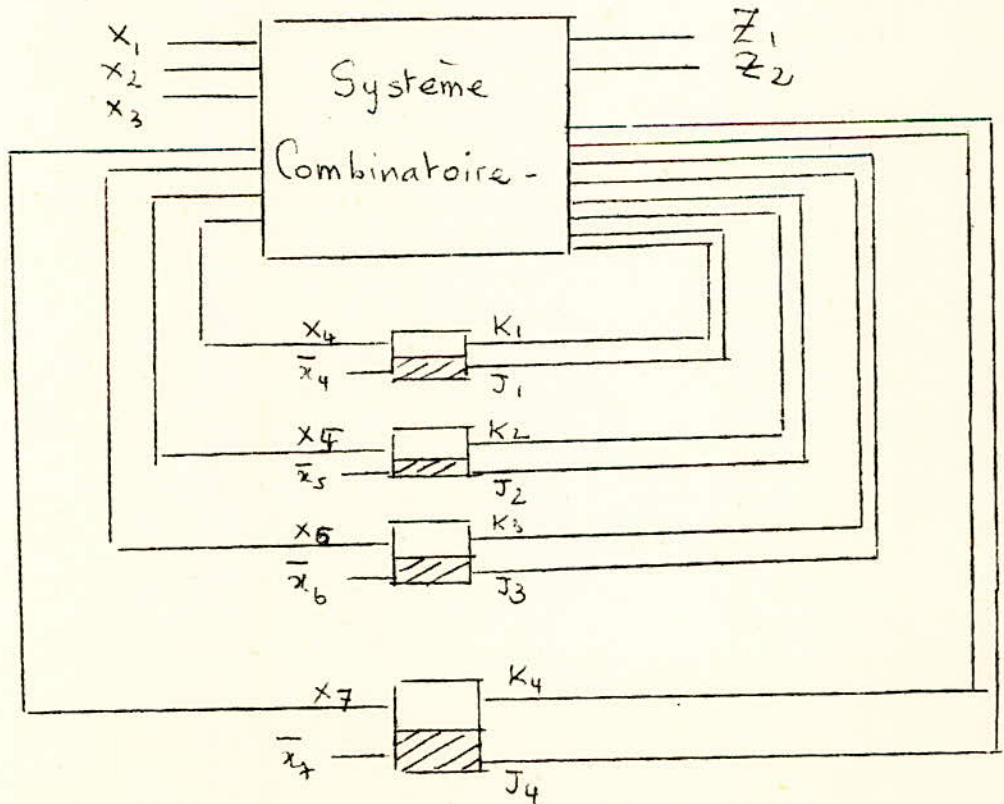
$$Z'_{x_6} = K_3 = x_2 + x_3 + \bar{x}_1 \bar{x}_4 x_5$$

$$Z''_{x_6} = J_3 = \text{RAZ}$$

$$Z'_{x_7} = K_4 = x_2 + x_3 \bar{x}_6 + x_1 \bar{x}_5 x_6 + x_3 x_5 + \bar{x}_3 \bar{x}_4 \bar{x}_5 x_6$$

$$Z''_{x_7} = J_4 = \text{RAZ}$$

Le système séquentiel a pour schéma bloc :



Expression de Z_1 , K_1 , et J_1 à l'aide de l'opérateur "NOR"
 Seulement :

$$Z_1 = x_4 \bar{x}_5 x_7 + x_2 \bar{x}_5 x_7$$

$$\bar{Z}_1 = \bar{Z}_1 \downarrow \bar{Z}_1$$

$$\bar{Z}_1 = (x_7 \bar{x}_5 x_2) \downarrow (\bar{x}_7 \bar{x}_5 x_4) = (\bar{x}_7 \downarrow x_5 \downarrow \bar{x}_2) \downarrow (\bar{x}_7 \downarrow x_5 \downarrow \bar{x}_4)$$

$$K_1 = x_2 + x_3 x_7 + x_3 \bar{x}_6 + x_1 \bar{x}_5 + x_6 x_1 + x_3 x_5$$

$$K_1 = \bar{K}_1 \downarrow \bar{K}_1$$

$$\bar{K}_1 = (\bar{x}_2 \downarrow \bar{x}_2) \downarrow (\bar{x}_3 \downarrow \bar{x}_7) \downarrow (\bar{x}_3 \downarrow x_6) \downarrow (\bar{x}_1 \downarrow x_5) \downarrow (\bar{x}_6 \downarrow x_1) \downarrow (\bar{x}_3 \downarrow \bar{x}_5)$$

$$J_1 = \bar{x}_1 x_3 x_4 x_6 + x_1 x_4 x_5 \bar{x}_6 + \text{RAZ}$$

$$J_1 = \bar{J}_1 \downarrow \bar{J}_1$$

$$\bar{J}_1 = (x_1 \downarrow \bar{x}_3 \downarrow \bar{x}_4 \downarrow \bar{x}_6) \downarrow (\bar{x}_1 \downarrow \bar{x}_4 \downarrow \bar{x}_5 \downarrow x_6)$$

EXEMPLE 2

Dispositif de contrôle

Soit le dispositif donné par la fig1:il est destiné à la vérification de la justesse d' une solution d'un problème.

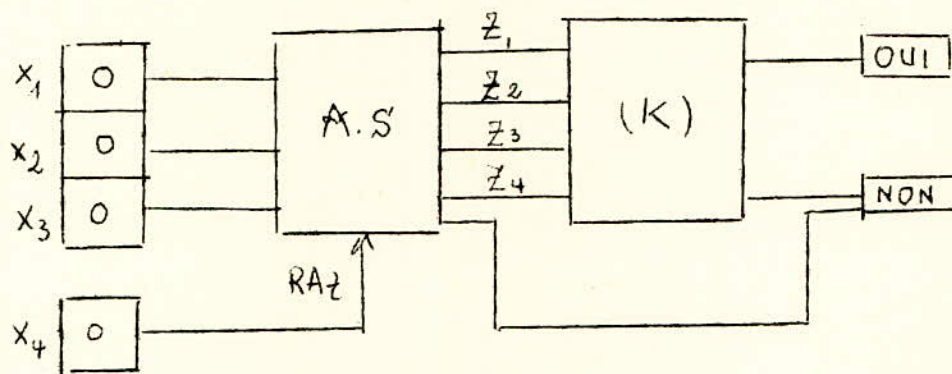
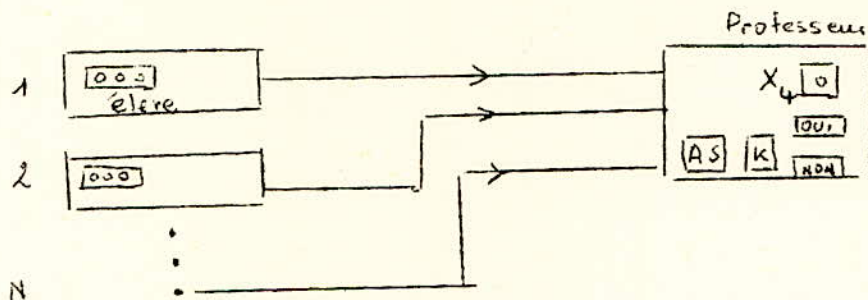


fig 1

Ce dispositif est installé dans une salle de contrôle et le lien entre les élèves et le professeur est donné par la fig 2



X_i : $i=1\text{à}3$ étant les impulsions d'entrée.

Conditions de fonctionnement: le professeur propose un problème et il donne quatre sortes de solutions dont une seule est vraie

$X_3 - X_2 - X_1 \text{ --- } Z_1$

$X_2 - X_3 - X_1 \text{ --- } Z_2$

$X_1 - X_2 - X_3 \text{ --- } Z_3$

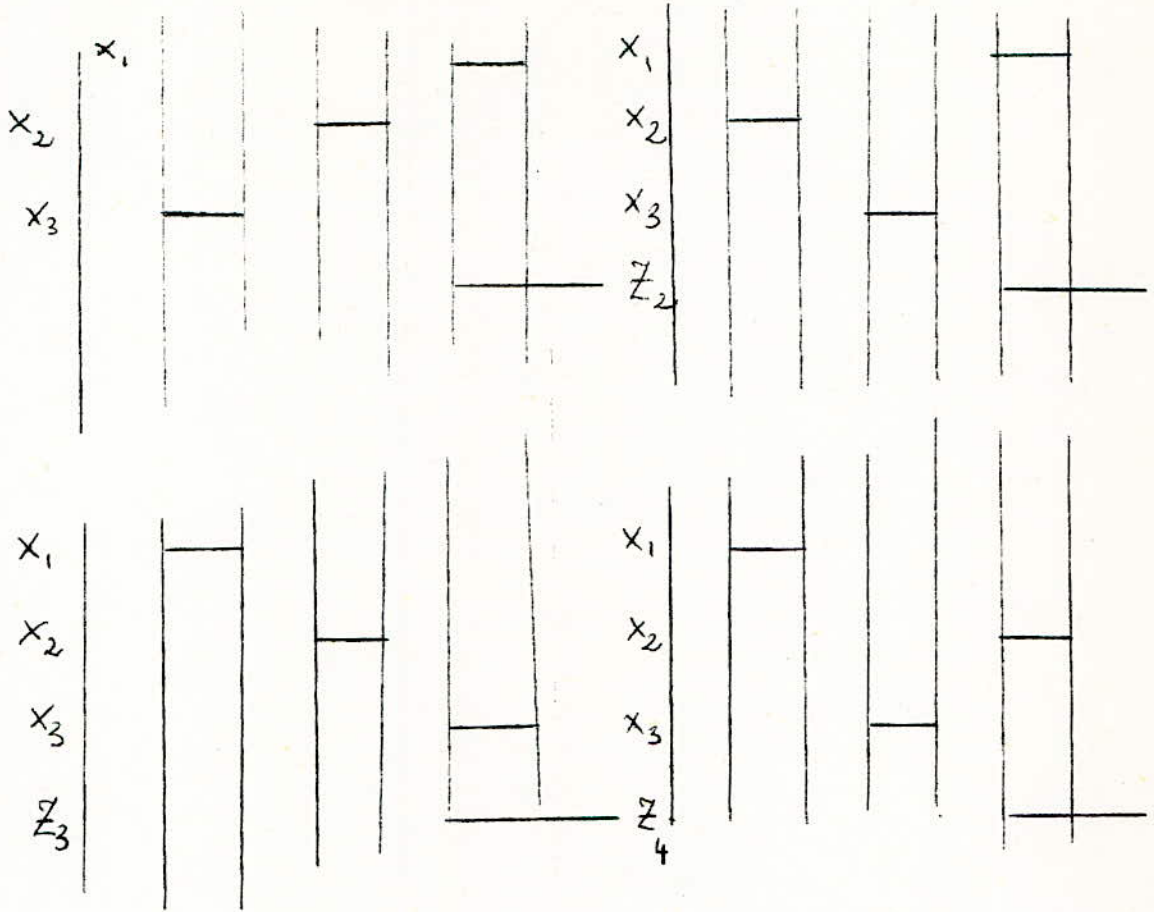
$X_1 - X_3 - X_2 \text{ --- } Z_4$

Variantes de réponses

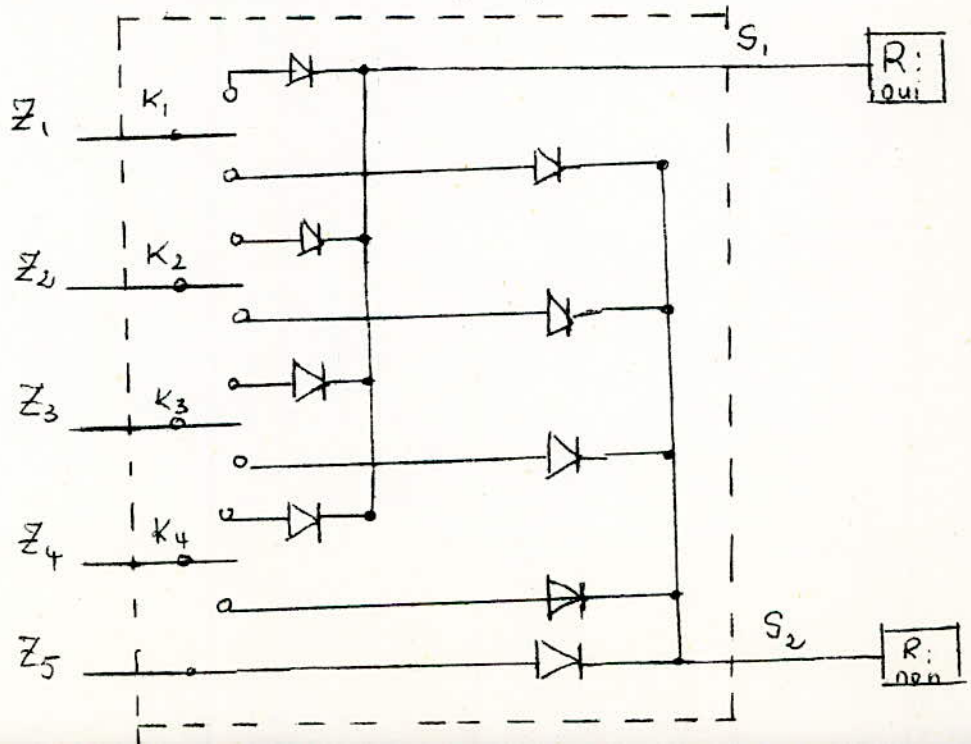
Toutes les autres séquences possibles forment Z_5 .

-Le changement simultané de quelques signaux d'entrée et la pression de deux ou trois boutons simultanément sont impossibles.

Les diagrammes de temps donnant les différentes réponses Z_1, Z_2, Z_3 et Z_4 sont donnés par:



Circuit commutateur : (K)



A l'aide du commutateur K un professeur peut proposer au préalable une réponse vraie (une seule des 4 réponses est vraie), les autres sont erronées. Mais à l'aide de ce commutateur, le professeur peut faire varier le nombre de solutions vraies à la sortie de l'automate. IL y a possibilité d'avoir soit

- un commutateur pour chaque table.
- un commutateur commun pour toutes les tables

on se propose de faire la synthèse de l'automate asynchrone en faisant intervenir au niveau des boucles de réactions des mémoires binaires du type T. Le bouton X4 est utilisé pour la formation du signal REZ (remise à zéro) du dispositif après la solution d'un problème.

SYNTHESE DU SYSTEME PROPOSE:

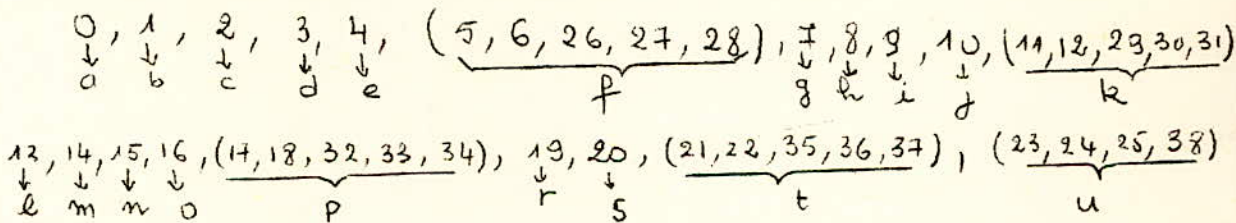
1-Dénombrement des états:

on a trois entrées Xi: i = 1 à 3 et cinq sorties Zm: m = 1 à 5

L'analyse du système nous permet de déterminer 38 états stables qui nous permettent de définir la table des phases primitives tableau IV

2-Réduction de la table des phases:

En composant chacune des lignes du tableau à toutes les suivantes on sera amené à fusionner les états entre parenthèses.



Il est préférable de fusionner des états (lignes) ayant mêmes sorties, on aboutit à un tableau VIII donnant la table des phases réduites composée de vingt (20) états stables

3-Codage des variables secondaires.

La matrice fusionnée comprend 20 états stables, pour pouvoir les différencier on a recours à 5 variables secondaires X4, X5, X6, X7, X8 disposées comme le montre le tableau VII'

4-Matrice de sortie. Pour la sortie Z1: on affecte à chaque état stable la valeur de la sortie Z1 qui lui correspond; pour avoir une sortie :
-lente on affecte à l'état instable l'état de la sortie de l'état stable précédent.

-rapide, on affecte à l'état instable la valeur de la sortie de l'état stable suivant.

Le tableau VIII nous donne Z1

$$Z_1 = x_4 x_1 x_2 \bar{x}_7 \quad (\text{Sortie lente})$$

$$\bar{Z}_1 = x_5 x_6 (x_4 \bar{x}_7 + x_1 \bar{x}_7) \quad (\text{Sortie Rapide})$$

d'une manière analogue on obtient les sorties Z_2, Z_3, Z_4 et Z_5

$$Z_2 = x_4 x_5 x_6 x_7 \quad (\text{fonctionnement lent})$$

$$\bar{Z}_2 = x_4 x_6 x_7 (x_5 + x_1) \quad \text{fonctionnement rapide}$$

$$Z_3 = \bar{x}_4 \bar{x}_5 \bar{x}_6 x_7 \bar{x}_8 \quad (\text{f.l})$$

$$\bar{Z}_3 = \bar{x}_5 \bar{x}_6 x_7 x_8 (\bar{x}_4 + \bar{x}_2 x_3) \quad \text{f.r}$$

$$Z_4 = x_4 x_5 x_7 x_8 \quad (\text{f.l})$$

$$\bar{Z}_4 = x_4 x_7 x_8 (x_5 + x_2) \quad (\text{f.r})$$

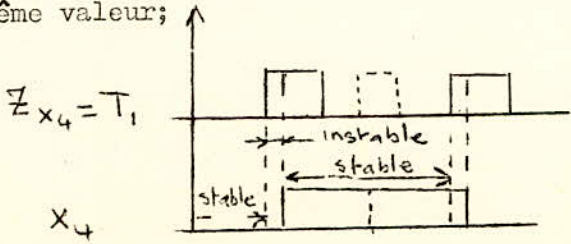
$$Z_5 = \bar{x}_4 x_5 x_8 \quad (\text{f.l})$$

$$\bar{Z}_5 = \bar{x}_4 x_5 x_8 + x_1 \bar{x}_5 x_8 + x_1 x_4 \bar{x}_6 \bar{x}_8 + x_1 \bar{x}_5 x_6 \bar{x}_7 + x_1 x_5 \bar{x}_6 \bar{x}_8$$

$$= x_8 (\bar{x}_4 x_5 + x_1 \bar{x}_5) + x_1 (x_4 \bar{x}_6 \bar{x}_8 + \bar{x}_5 x_6 \bar{x}_7 + x_5 \bar{x}_6 \bar{x}_8)$$

5-Matrices d'excitation secondaire

On utilise dans les boucles de réactions des mémoires binaires du type T
 Problème: connaissant X_i : $i = 4$ à 8 on détermine l'entrée T_i de la bascule, si l'état de la variable X_i passe de 0 (par l'état instable) à 1 ou l'inverse c'est à dire de 1 à 0 : on affecte alors l'état instable de la valeur logique 1 et l'état stable d'indifférence .PAR CONTRE si X_i passe de 0 à 0 ou de 1 à 1 lorsqu'on passe de l'état instable à l'état stable correspondant/: on affecte à l'état instable la valeur 0 et à l'état stable la même valeur;



Ainsi le tableau IX nous donne :

$$T_1 = \sum x_4 = x_3 \bar{x}_6 x_7 + x_1 x_5 \bar{x}_7 + x_2 \bar{x}_7 \bar{x}_6 + x_4 \bar{x}_5 x_6 \bar{x}_7 + x_2 \bar{x}_4 x_5 x_7 + x_2 \bar{x}_5 x_6 x_7 + x_3 x_4 + x_2 x_4 \bar{x}_6 \bar{x}_8 + \bar{x}_2 \bar{x}_3 \bar{x}_5 \bar{x}_6 x_8 + \bar{x}_3 \bar{x}_4 \bar{x}_5 x_6 x_7 + x_1 x_4 \bar{x}_6 x_8$$

de manière analogue On obtient :

$$T_2 = \sum x_5 = x_1 x_4 \bar{x}_6 x_7 x_8 + x_2 \bar{x}_5 x_6 x_7 + x_2 \bar{x}_4 \bar{x}_5 x_6 + x_1 \bar{x}_5 \bar{x}_6 x_8 + x_1 \bar{x}_5 x_6 x_7 + x_1 \bar{x}_4 \bar{x}_5 x_6 + x_1 \bar{x}_5 \bar{x}_6 \bar{x}_7 + \bar{x}_3 x_4 \bar{x}_5 \bar{x}_6 \bar{x}_7 + x_2 x_4 \bar{x}_5 \bar{x}_6 x_8 + x_3 x_4 \bar{x}_5 x_7 x_8 + x_3 \bar{x}_4 x_5 x_7$$

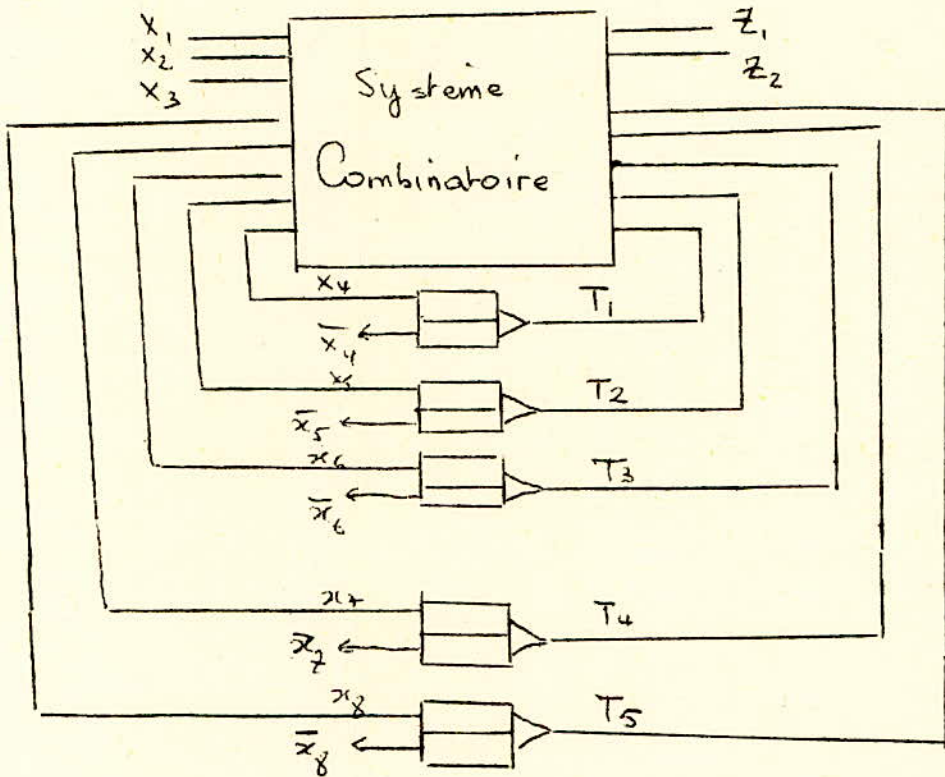
$$T_3 = \sum x_6 = x_3 \bar{x}_4 x_5 x_6 + x_2 \bar{x}_4 \bar{x}_5 \bar{x}_7 + x_3 x_4 \bar{x}_5 x_6 + \bar{x}_2 \bar{x}_3 \bar{x}_4 x_5 \bar{x}_6 x_7 + x_2 \bar{x}_4 \bar{x}_5 x_6 + x_2 x_4 \bar{x}_5 x_6 + x_2 \bar{x}_4 x_5 x_6 + \bar{x}_1 \bar{x}_2 x_5 x_6 x_7 \bar{x}_4$$

$$T_4 = \sum x_7 = x_2 \bar{x}_4 \bar{x}_5 x_6 + x_3 \bar{x}_4 \bar{x}_5 x_6 + x_1 x_4 \bar{x}_6 \bar{x}_7 + x_2 \bar{x}_4 \bar{x}_5 \bar{x}_7 + x_3 x_5 \bar{x}_6 \bar{x}_7 + x_3 \bar{x}_4 x_5 \bar{x}_7 + x_2 \bar{x}_4 \bar{x}_5 x_6 \bar{x}_7$$

$$T_5 = \sum x_8 = x_3 x_4 \bar{x}_5 x_6 + x_3 x_5 x_7 \bar{x}_4 + x_3 \bar{x}_4 x_5 \bar{x}_7 + x_2 x_4 \bar{x}_5 x_7 \bar{x}_8 + x_1 \bar{x}_4 \bar{x}_5 x_6 + x_1 x_5 \bar{x}_6 \bar{x}_8 + x_3 x_5 \bar{x}_6 \bar{x}_8 + x_1 x_4 \bar{x}_5 \bar{x}_6 \bar{x}_8$$

6° Diagramme fonctionnel:

Le système séquentiel a pour schéma bloc :



x_3 x_2 x_1	x_3 x_2 x_1	000	001	011	010	110	111	101	100	Z_1	Z_2
0	0	(0)	1		11				12	0	0
1	1	2	(1)	13				14		0	0
2	2	(2)	3		11				12	0	0
3	3	4	(3)	13				14		0	0
4	4	(4)	5		11				12	0	0
5	5	6	(5)	13				14		0	0
6	6	(6)	15		11				7	0	0
7	7	8				16		14	(7)	0	0
8	8	(8)	15		9			14	12	0	0
9	9	10		18	(9)	17				1	0
10	10	(10)	19		20				21	1	0
11	11	22		13	(11)	16				0	1
12	12	22				16		14	(12)	0	1
13	13		15	(13)			23			0	1
14	14		15				23	(14)	12	0	1
15	15	22	(15)	13				14		0	1
16	16				11	(16)	23		12	0	1
17	17				9	(17)	24		25	1	0
18	18		19	(18)	9		24			1	0
19	19	10	(19)	18				26		1	0
20	20	10		18	(20)	17				1	0
21	21	10				17		26	(21)	1	0
22	22	(22)	15		11				12	0	1
23	23			13		16	(23)	14		0	1
24	24			18		17	(24)	26		1	0
25	25	10				17		26	(25)	1	0
26	26		19				24	(26)	25	1	0

Tableau I

$x_4 x_3 x_2 x_1$	$x_3 x_2 x_1$			$x_3 x_2 x_1$				Z_1	Z_2		
	000	001	011	010	110	111	101				101
a	(a)	b		l				l	0	0	0000
b	c	(b)	l				l		0	0	0001
c	(c)	d		l				l	0	0	0011
d	e	(d)	l				l		0	0	0010
e	(e)	f		l				l	0	0	0110
f	g	(f)	l				l		0	0	0111
g	(g)	l		l				h	0	0	0101
h	i				l		l	(h)	0	0	0100
i	(i)	l		k			l	l	0	0	1100
k	(k)	(k)	(k)	(k)	(k)	(k)	(k)	(k)	1	0	1101
l	(l)	(l)	(l)	(l)	(l)	(l)	(l)	(l)	0	1	1111
											1110
											1010
											1011
											1001
											1000

Tableau II : matrice fusionnée

x_4 7 6 5 4	x_3	x_2	x_1	x_0	Z_1	Z_1	Z_1	Z_1	Z_1	Z_1
0	0		0					0	0	0000
0	0	0						0		0001
0	0		0					0	0	0011
0	0	0						0		0100
0	0		0					0	0	0110
0	0	0						0		0111
0	0		0					0	0	1010
0				0				0	0	0100
0	0		1					0	0	1100
1	1	1	1	1	1	1	1	1	1	1101
0	0	0	0	0	0	0	0	0	0	1111
										1110
										1010
										1011
										1001
										1000

tableau III

$$Z_1 = x_4 \bar{x}_5 (x_2 + x_4)$$

$x_4 x_3 x_2 x_1$ +65	000	001	011	010	110	111	101	100	
0	1		1					1	0000
									0001
	0								0011
0	0	1					1		0010
0	1		1					1	0110
									0111
								0	0101
0				1		1	0		0100
0	1		1			1	1		1100
									1101
									1111
									1110
									1010
									1011
									1001
									1000

Tableau IV

$$Z'_{x_4} = K_1 = x_2 + x_3 x_7 + x_3 \bar{x}_6 + x_1 \bar{x}_5 + x_1 x_6 + x_3 x_5$$

x_4	x_3	x_2	x_1	x_6	x_5	x_7	x_8	
x_4	x_3	x_2	x_1	x_6	x_5	x_7	x_8	
000	001	011	010	110	111	101	100	
0	0	0	0			0	0000	
0	0	0				0	0001	
0	1	0				0	0011	
	0					0	0010	
	0	0				0	0110	
0	0	0				0	0111	
0	0		0			1	0101	
				0		0	0100	
	0		0			0	0	1100
0	0	0	0	0	0	0	0	1101
0	0	0	0	0	0	0	0	1111
								1110
								1010
								1011
								1001
								1000

Tableau V

$$Z_{x_4}'' = J_1 = \bar{x}_1 x_3 x_4 x_6 + x_1 x_4 x_5 \bar{x}_6 + \text{RAZ}$$

	000	001	011	010	110	111	101	100	Z ₁	Z ₂	Z ₃	Z ₄	Z ₅
(0)	13		7					1	0	0	0	0	0
2								(1)	0	0	0	0	0
(2)	23		3					24	0	0	0	0	0
4			(3)						0	0	0	0	0
(4)	5		25					24	0	0	0	0	0
6	(5)								1	0	0	0	0
(6)	26		27					28	1	0	0	0	0
8			(7)						0	0	0	0	0
(8)	23		25					9	0	0	0	0	0
10								(9)	0	0	0	0	0
(10)	11		25					24	0	0	0	0	0
12	(11)								0	1	0	0	0
(12)	29		30					31	0	1	0	0	0
14	(13)								0	0	0	0	0
(14)	23		15					19	0	0	0	0	0
16			(15)						0	0	0	0	0
(16)	23		25					17	0	0	0	0	0
18								(17)	0	0	0	0	0
(18)	32		33					34	0	0	1	0	0
20								(19)	0	0	1	0	0
(20)	23		21					24	0	0	0	0	0
22			(21)						0	0	0	1	0
(22)	35		36					37	0	0	0	1	0
38	(23)								0	0	0	0	1
38								(24)	0	0	0	0	1
38			(25)						0	0	0	0	1
6	26								1	0	0	0	0
6			27						1	0	0	0	0
6								(28)	1	0	0	0	0
12	29								0	1	0	0	0
12			(30)						0	1	0	0	0
12								(31)	0	1	0	0	0
18	(32)								0	0	1	0	0
18			(33)						0	0	1	0	0
18								34	0	0	1	0	0
22	(35)								0	0	0	1	0
22			36						0	0	0	1	0
22								(37)	0	0	0	1	0
(38)	23		25					24	0	0	0	0	1

Tableau VI : Table de phases primitives

	000	001	011	010	110	111	101	100	x_8	x_7	x_6	x_5	x_4
a	(a)	b		c				d	0	0	0	0	0
b	c							(b)	0	0	0	0	1
c	(c)	e		d				e	0	0	0	1	1
d	e			(d)					0	0	0	1	0
e	(e)	f		e				e	0	0	1	1	0
f	(f)	(f)		(f)				(f)	0	0	1	1	1
g	h			(g)					0	0	1	0	1
h	(h)	e		e				i	0	0	1	0	0
i	j							(i)	0	1	1	0	0
j	(j)	k		e				e	0	1	1	0	1
k	(k)	(k)		(k)				(k)	0	1	1	1	1
l	m	(l)							0	1	1	1	0
m	(m)	e		e				e	0	1	0	1	0
n	o			(n)					0	1	0	1	1
o	(o)	e		e				e	0	1	0	0	1
p	(p)	(p)		(p)				(p)	0	1	0	0	0
q	r							(r)	1	1	0	0	0
s	(s)	e		t				e	1	1	0	0	1
t	(t)	(t)		(t)				(t)	1	1	0	1	1
u	(u)	(u)		(u)				(u)	1	1	0	1	0
									1	1	1	1	0
									1	1	1	1	1
									1	1	1	0	1
									1	1	1	0	0
									1	0	1	0	0
									1	0	1	0	1
									1	0	1	1	1
									1	0	1	1	0
									1	0	0	1	0
									1	0	0	1	1
									1	0	0	0	1
									1	0	0	0	0

Tableau VII table reduite

Tableau VII': Codages des Variables Secondaires

$x_3 x_2 x_1$

000	001	011	010	110	111	101	100	x_8	x_7	x_6	x_5	x_4
0	0		0				0	0	0	0	0	0
0							0	0	0	0	0	1
0	0		0				0	0	0	0	1	1
0			0					0	0	0	1	0
0	1		0				0	0	0	1	1	0
1	1		1				1	0	0	1	1	1
0			0					0	0	1	0	1
0	0		0				0	0	0	1	0	0
0							0	0	1	1	0	0
0	0		0				0	0	1	1	0	1
0	0		0				0	0	1	1	1	1
0	0							0	1	1	1	0
0	0		0				0	0	1	0	1	0
0			0					0	1	0	1	1
0	0		0				0	0	1	0	0	1
0	0		0				0	0	1	0	0	0
0							0	1	1	0	0	0
0	0		0				0	1	1	0	0	1
0	0		0				0	1	1	0	1	1
0	0		0				0	1	1	0	1	0
								1	1	1	1	0
								1	1	1	1	1
								1	1	1	0	1
								1	1	1	0	0
								1	0	1	0	0
								1	0	1	0	1
								1	0	1	1	1
								1	0	1	1	0
								1	0	0	1	0
								1	0	0	1	1
								1	0	0	0	1
								1	0	0	0	0

tableau VIII : $f_1 = x_5 x_6 \bar{x}_7 (x_4 + x_1)$

$x_3 x_2 x_1$

	000	001	011	010	110	111	101	100	x_8	x_7	x_6	x_5	x_4
a	0	0		1				1	0	0	0	0	0
b	0								0	0	0	0	1
c	0	1		1				1	0	0	0	1	1
d	0								0	0	0	1	0
e	0	1		0				0	0	0	1	1	0
f	0			0				0	0	0	1	1	1
g	1								0	0	1	0	1
h		0		0				0	0	0	1	0	0
i	1							0	0	1	1	0	0
j		0		1				1	0	1	1	0	1
k	0	0		0				0	0	1	1	1	1
l	0	0							0	1	1	1	0
m	0	0		1				0	0	1	0	1	0
n	0								0	1	0	1	1
o	0	1		1				1	0	1	0	0	1
p	0	0		0					0	1	0	0	0
r	1							0	1	1	0	0	0
s		1		0				1	1	1	0	0	1
t	0	0		0				0	1	1	0	1	1
u	0								1	1	0	1	0
									1	1	1	1	0
									1	1	1	1	1
									1	1	1	0	1
									1	1	1	0	0
									1	0	1	0	0
									1	0	1	0	1
									1	0	1	1	1
									1	0	1	1	0
									1	0	0	1	0
									1	0	0	1	1
									1	0	0	0	1
									1	0	0	0	0

tableau IX : $Z_{x_{11}} = T_1$

CONCLUSION

Le simulateur logique à semi-conducteurs étudié et réalisé ici, a été conçu dans un double but:

- Ils'agit non seulement de se familiariser tant avec la logique combinatoire qu'avec la logique séquentielle.
- Mais aussi d' un appareil pour la conception et la mise au point de circuits logiques.

Ce simulateur doit faciliter la tâche de l'étudiant en lui permettant la vérification très rapide et la modification éventuelle d'un schéma logique étudié théoriquement.

oooOooo

BIBLIOGRAPHIE

A-OUVRAGES GENERAUX:

- J P Perrin, M Denouette, E Daclin....systèmes logiques tome I
P Debraine.....Etude logique et construction de circuits
tome I
Cours polycopié de M.....V Ilisov
J Lagasse:logique combinatoire et séquentielle

B-OUVRAGES SPECIALISES:

- Toute l'électronique.....Mars 1974
- L'onde électrique