

10/74



PROJET DE FIN D'ETUDES

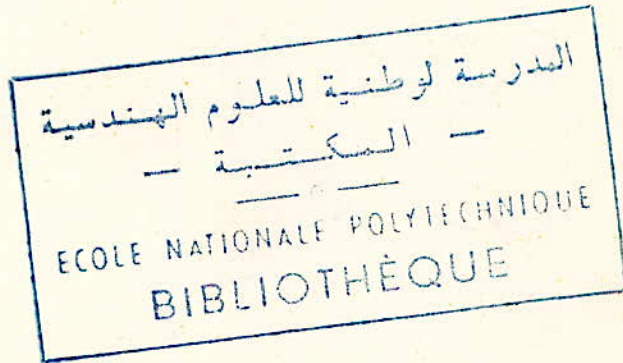


PROPOSÉ PAR :
Mme G. MONDON

ETUDIÉ PAR :
HAMEG L.

Qu'il me soit permis d'exprimer tous mes remerciements et toute ma profonde gratitude à tous mes professeurs, ainsi qu'à Madame G. MONDON qui m'a vivement aidé dans l'élaboration de mon projet.

Je remercie également M.Ms. M. MAZOUNI et A. AMARA, pour leur aide précieuse.



P L I I I I I I

-----0-----

<u>INTRODUCTION</u>	page 5
1 <u>DEFINITION</u>	page 5
2 <u>GENERALITES</u>	page 6
<u>CHAPITRE I : Les mémoires Actuelles</u>	page 8
<u>I.1 LES MEMOIRES A TORES DE FERRITE.</u>	page 8
I.1.1. Le tore de ferrite.	
I.1.2 Ecriture et lecture d'une information.	
I.1.3 Mémoire à coïncidence.	
I.1.4 Autres types de mémoires à ferrite.	
I.1.5 Conclusion.	
<u>I.2 LES MEMOIRES A TAMBOURS MAGNETIQUES.</u>	page 10
I.2.1 Conclusion	
<u>I.3 LES DISQUES MAGNETIQUES</u>	page 11
<u>I.4 LA BANDE MAGNETIQUE</u>	page 11
I.5 Conclusion	page
<u>CHAPITRE II : Les Mémoires à CI M.O.S</u>	page 13
<u>II.1 LE TRANSISTOR M.O.S.</u>	page 13
<u>II.2 CELLULES STATIQUES - CELLULES DYNAMIQUES.</u>	page 19

- II.2.1. Fonctionnement en statique
- II.2.2 Fonctionnement en dynamique.
- II.2.3 La cellule M.O.S statique
- II.2.4 La cellule M.O.S en dynamique.

II.3 LES MEMOIRES VIVES

page 26

- II.3.1 RAM statiques
- II.3.2 R.A.M. dynamiques

II.4. LES MEMOIRES MORTES

page 37

- II.4.1 Les P.R.D.M.
- II.4.2 Structure des R.O.M.
- II.4.3 Les R.E.P.R.O.M.

II.5 LES MEMOIRES ASSOCIATIVES

page 44

II.6 R.A.M. A M.O.S. COMPLEMENTAIRES

page 45

- II.6.1 Les circuits C/M.O.S
- II.6.2 Les cellules en C/M.O.S. de R.A.M.

CHAPITRE III : LES PERSPECTIVES D'AVENIR

page 49

III.1 ETAT ACTUEL ET AVENIR DES MEMOIRES A C.I

page 49

III.2. LES MEMOIRES A SEMI-CONDUCTEURS AMORPHES.

page 51

- III.2.1. Les semi-conducteurs amorphes.
- III.2.2. Le commutateur amorphe.
- III.2.3 Une mémoire à s-c amorphes, la R M M 256.

III.3. LES MEMOIRES A DECALAGE.

page 57

III.3.1. Mémoires C.C.D

page 57

III.3.2 Mémoires à bulles magnétiques

page 64.

III.3.2.1 Théorie du ferronagnétisme

III.3.2.2. Obtention des bulles magnétiques

III.3.2.3 Méthode de déplacement des bulles

III.3.2.4 Méthodes de détection des bulles

III.3.2.5 Mémoires à bulles magnétiques

III.4 MEMOIRES A SUPRACONDUCTEURS

page 74.

III.4.1 LA supraconductivité

III.4.2 Etude d'une cellule supraconductrice.

III.4.3 Réalisation des mémoires à supraconducteurs.

III.4.4. Avantages et inconvénients des mémoires à supraconducteurs.

III.5 MEMOIRES A HOLOGRAMMES

page 79

III.5.1 Introduction

III.5.2 Mémoires holographiques à matériaux magnéto-optiques.

III.5.3 Mémoires holographiques à matériaux électro-optiques.

III.5.4 Mémoires holographiques à matériaux photochromes.

III.5.5. Mémoires holographiques à films de bismuth.

III.5.6 Mémoires holographiques à enregistrements thermoplastiques.

III.6 LES MEMOIRES A FILMS MAGNETIQUES MINCES

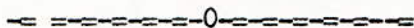
page 87

III.6.1 Les films magnétiques minces

III.6.2 Fonctionnement d'une cellule de mémoire

III.6.3 Constitution d'une mémoire

III.6.4 Mémoires à fils.



IV. CONCLUSION

page 95

* ANNEXE

page 96

* BIBLIOGRAPHIE

page 99

INTRODUCTION.

Les performances des mémoires d'ordinateurs entrent pour une très large part dans celles des systèmes informatiques et leur évolution semble être destinée à s'accroître encore. Aussi, les perspectives des mémoires d'ordinateurs conditionnent l'évolution future des systèmes informatiques.

Notre étude porte sur une synthèse d'ordre technologique des mémoires. Ce qui est extrêmement délicat pour un sujet aussi vaste et intéressant que celui des mémoires. C'est pourquoi, nous avons insisté sur l'étude des mémoires qui présentent un intérêt certain - du moins, nous le pensons - comme les mémoires à M.O.S. et celles qui sont au stade de recherche. Quant aux autres mémoires (toros de ferrites, disques magnétiques, tambours etc...) , nous ne dirons que l'essentiel car elles sont encore utilisées à l'heure actuelle.

Le domaine d'étude des mémoires présente donc deux intérêts:

- INTERET D'ORDRE TECHNIQUE : recherche du type de mémoire et des caractéristiques les plus importantes par rapport aux autres types.
- INTERET D'ORDRE ECONOMIQUE: s'il est un marché en pleine évolution c'est bien celui des mémoires, les débouchés sont nouveaux et importants: automatisme, télécommunications, enseignement programmé, traduction automatique, etc...

1.1 DEFINITION:

La mémoire est un organe électronique capable de contenir, d'enregistrer et de restituer des informations à un organe de traitement lorsque celui-ci se manifeste en interrogeant la mémoire.

Les dispositifs utilisés sont à 2 états d'équilibre stable. Le support de l'information sera donc une cellule binaire. Les phénomènes utilisés pour le stockage d'énergie sont:

- l'énergie magnétique
- l'énergie électrostatique
- l'énergie qui accompagne un changement d'état (transfert d'énergie).

On distingue deux aspects essentiels du fonctionnement d'une mémoire : la lecture et l'écriture.

On dit qu'il y a écriture lorsque l'on enregistre des informations en mémoires et lecture lorsque l'on sort des informations précédemment enregistrées.

1.2 GENERALITES :

1.2.1 CAPACITE :

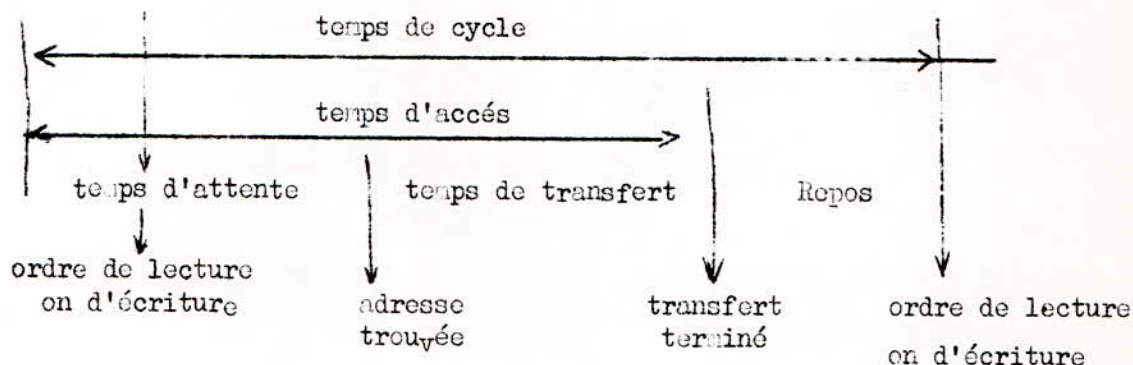
Elle s'exprime par le nombre de bits qu'il est possible de stocker la capacité s'exprime par des puissances de 2 - L'unité de capacité est le K= 2^{10} = 1024 bits (à peu près kilo-information).

.2.2. VOLATILITE:

On dit qu'une mémoire est volatile si l'information stockée risque d'être modifiée ou perdue par défaut d'alimentation électrique et non volatile dans le cas contraire.

.2.3 TEMPS DE CYCLE

C'est le temps minimal qui s'écoule entre 2 opérations successives de lecture ou d'écriture. Il se décompose suivant le schéma:



- Temps d'accès: temps qui s'écoule entre l'arrivée de l'ordre et de la fin de l'exécution de cet ordre. Ce temps varie de la ns à quelques secondes.

- Temps d'attente: temps qui s'écoule entre l'arrivée de l'ordre de lecture ou d'écriture et le moment où l'on trouve l'adresse indiquée.

.2.4. les types de mémoires:

*- les mémoires statiques où le support de l'information est fixe: tubes de ferites, transistors....

*- les mémoires dynamiques où le support de l'information ou l'information sont en mouvement: tambours, ci (circuits intégrés)

Les mémoires à propagation: les discontinuités physique se propagent de manière cyclique : ébranlements électromagnétiques, ébranlements soniques, cheminement de bulles magnétiques sous l'effet d'un champ magnétique tournant.

.2.5 LES MODES D'ACCES A UNE ADRESSE TROUVEE:

*- accès séquentiel: les informations se présentent à la sortie dans un ordre préétabli c'est à dire qu'on peut avoir accès à l'adresse $n + 1$ qu'après avoir fait défiler devant la tête de lecture toutes les positions de mémoires depuis 0 jusqu'à n.

*-accès aléatoire ou direct ou libre : ce temps d'accès est le même pour toutes les adresses.

*-accès cyclique: Dans les tambours et disques magnétiques un ensemble d'adresse repasse périodiquement et toujours dans le même ordre en face de la tête de lecture.

*- ACCES PAR BLOC: l'accès au début du bloc est aléatoire à vitesse moyenne mais la lecture est séquentielle et à grande vitesse.

.2.6 UTILISATION DES MEMOIRES:

* - Les mémoires de travail (strach-pad memories) de très petites capacités et de grande vitesse - Elles sont intégrées appelées mémoires toujours on mémoires bloc-notes à accès aléatoire dans l'unité de traitement leur capacité est 100 à 500 éléments binaires et le temps d'accès de 20 à 500 ns.

*-La mémoire principale centrale: Elle contient les programmes et les données, elle est de grande capacité (10^5 à 10^7 éléments binaires) et de temps d'accès court (200 ns à 10 ns).

*-LES MEMOIRES SECONDAIRES ADRESSABLES: Elles forment une extension de la mémoire principale- capacité de 10^7 à 10^8 éléments binaires et le temps d'accès très court (1 pas à 20 ns). Elles sont de conception relativement récente- les solutions magnétique statiques sont les seules disponibles actuellement.

*- LES MEMOIRES FICHIERS ON MEMOIRES DE MASSE: De très grande capacité (10^8 e. b) et de temps d'accès très long très supérieur à 10 ns. Elles sont à accès sélectif. On distingue: les tambours et disque à tête fixes (tps d'accès 5 à 20 ms). disque à tête mobiles souvent amovibles (tps d'accès 50 à 100 ms). mémoires à feuillets magnétique (200 à 600 ms). Les mémoires magnétiques dynamiques sont très utilisées: faible coût au bit, capacités importantes, vitesse de transfert de plusieurs mégabits par seconde.

Les mémoires fichiers sont constitués par des bandes magnétiques à accès séquentiel.

CHAPITRE I

LES MEMOIRES ACTUELLES:

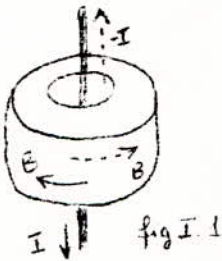
Nous ne parlerons pas des mémoires à lignes de retard car elles sont très peu utilisées vu leur encombrement et la déformation du signal lorsque le retard devient considérable. A l'heure actuelle, les mémoires les plus répandues sont les mémoires à tors de fenite. Elles sont simple, de grande fiabilité, de temps d'accès très court (μ s), de prix de revient et de consommation relativement faibles.

I. 1 LES MEMOIRES A TORES DE FENITE

I. 1.1. LE TORE DE FENITE:

Les fénites sont des oxydes mixte de fer trivalent et d'un métal divalent. Ils ont des propriétés magnetiques voisines de celles des corps ferromagnetiques, les fenites utilisés pour les mémoires sont à base de manganèse; ayant un champs coercitif assez faible et une réduction rémanente voisine de l'iriduction de saturation, ils ont donc un cycle d'hystérésis rectangulaire.

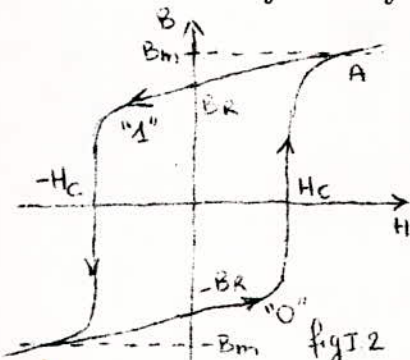
Un courant dans le fil traversant le tore de fenite crée dans l'espace un champ magnetique \vec{H} qui produit une réduction magnetique \vec{B} dans le tore (fig II1).



Du fait de la taille et de la forme du tore, l'iriduction \vec{B} est constante et ne dépend pas de la position ou de l'inclinaison du fil à l'intérieur du tore.

I. 1.2. : ECRITURE ET LECTURE D'UNE INFORMATION

Le cycle d'hystérésis est rectangulaire (fig II 2.):

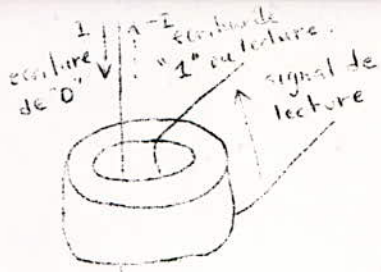


Une impulsion de courant positive crée un champs \vec{H} positif qui fait déplacer le point de fonctionnement à droite au delà du point C. et vient se placer au point + BR- Une impulsion négative place le point de fonctionnement au point -BR- le tore se place donc dans une position ou dans l'autre suivant le signe de l'impulsion de courant. Il reste ensuite dans cette position jusqu'à nouvel ordre se souvenant du signe de l'impulsion. Il constitue donc une mémoire unitaire. On adoptera la convention suivante:

induction + BR pour l'information 1.

induction - BR pour l'information 0 -

la fig II 3 montre que pour écrire un 0, on envoie un courant I dans le fil avec un sens tel que le point de fonctionnement soit au point



bas du cycle d'hystérésis - Pour écrire un 1, on envoie une impulsion de courant de signe opposé. Pour lire on envoie dans le fil d'écriture une impulsion I, dont le sens est choisi de façon à amener le point de repos

fig 13

du tore au point haut du cycle à l'iriduction + Br. Si le tore avait emmagasiné l'information 0, en grande variation d'iriduction - Br à + Br donne une forte tension induite sur le fil de lecture.

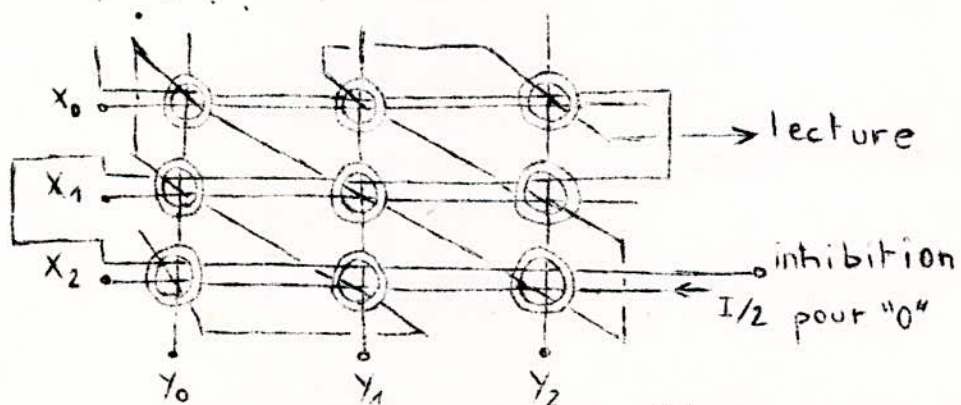
Si le tore avait emmagasiné l'information 1, la faible variation d'induction + Br à + Br donne une faible tension induite sur le fil de lecture.

En fin d'impulsion de lecture l'induction revient sur + Br quelle que soit l'information lue. La lecture détruit donc l'information contenue dans le tore. Elle est destructive. Dans la mémoire, les tores sont groupés en mots - Toute la technique des mémoires à fenite consiste à mettre en oeuvre des organes de sélection économiques permettant de atteindre facilement le contenu du mot que l'on désire lire. Les mémoires à fenite se classent suivant le mode de sélection utilisé.

I. 13 MEMOIRE A COINCIDENCE:

C'est le mode de réalisation le plus usuel. Chaque tore est traversé par 4 fils: fil X, fil y, fil d'inhibition, fil de lecture.

Supposons tous les tores dans l'état 0 (soit - Br) Pour écrire 1 dans un tore déterminé, on envoie un courant + I/2 (I étant le courant nécessaire au basculement sur le fil X de la rangée où se trouve le tore choisi et un courant + I/2 sur le fil Y de la colonne correspondante; seul le tore choisi subira le champ du courant I et passera à l'état + Br (fig 14).



Pour écrire 0, on envoie un courant - I/2 sur le fil d'inhibition. Pour lire le tore, on fera passer -I/2 dans le fil X et -I/2 dans le fil Y, ce qui fera basculer le tore sélectionné en Br et donnera naissance à une impulsion sur le fil de lecture. Toute écriture doit être suivie soit d'une lecture soit d'une remise à Zéro (R à Z). La lecture est destructive lorsqu'elle se fait par R à Z de tous les tores.

C'est un grand inconvénient car on peut en avoir besoin par la suite. On procédera à une réécriture après chaque lecture.

Le temps minimal entre 2 ordres de lectures successifs d'une même mémoire est de l'ordre de la microseconde pour les mémoires de plus d'un millier de mots.

I. 1.4. AUTRES TYPES DE MEMOIRES A FERRITE

On utilise des plaques de ferrites percées de trous dans lesquels passent les fils de commande. Le courant passant dans les fils aimante les bords du trou qui acquièrent une aimantation rémanente dont le sens dépend du sens du courant. RCA fabrique actuellement de telles mémoires avec un temps de cycle de 0,31. Ces dispositifs sont rapides et évitent le câblage des tores.

I. 1.5 CONCLUSION:

Les mémoires de tores sont encore utilisées de façon systématique à cause de leur:

- très grande robustesse.
- encombrement réduit
- temps d'accès moyen faible et en constante diminution grâce aux progrès réalisés dans la fabrication des tores.
- Insensibilité relative aux variations de température grâce aux progrès récents de la technologie.
- Les informations restent en mémoire même en cas de panne ou d'arrêt de la machine. Les inconvénients sont:
 - Les courants de commande ont des valeurs élevées (quelques centaines de ma par tore).

Il est impossible de remplacer un tore défectueux dans une matrice et, en cas d'avarie d'un tore il faut éliminer la totalité de la matrice.

- un prix élevé dû aux difficultés de câblage.

I.2 LES MEMOIRES A TAMBOURS MAGNETIQUES.

Un tambour magnétique est constitué par un support cylindrique recouvert d'une couche d'oxydes magnétiques. Le tambour qui tourne à vitesse uniforme est divisé en un certain nombre de pistes; à chacune desquelles est affectée une tête de lecture-écriture. Chacune des têtes est un électro-aimant comportant un entrefer très petit et disposé très près de la surface du tambour.

Pour écrire, on envoie une impulsion sur l'électro - aimant qui crée un

petit doublet magnétique sur la surface cylindrique; lorsque l'amplitude de l'impulsion est suffisante, la couche magnétique est saturée et le doublet persiste après suppression du courant. Lorsque ce doublet repasse sous la tête de lecture, il induit dans l'électro-aimant une f.é.m qui pourra donner naissance à une impulsion si l'ampli de lecture est débloquent.

On notera que la lecture est non destructive et l'information non volatile.

I.2.1 CONCLUSION:

Les tambours magnétiques sont utilisés comme mémoires secondaires de grandes capacité. En effet, la densité d'information est de l'ordre de 2 à 10 bits /mm de piste et l'on fait des tambours pouvant stocker jusqu'à 10⁸ caractères. Le prix de revient du bit stocké est faible. En outre, la fiabilité est grande et le temps d'accès relativement court (quelques ns).

I.3 . LES DISQUES MAGNETIQUES.

Ils sont obtenus en recouvrant les 2 faces d'un disque rigide (1 à 2 mm d'épaisseur, 40 à 120 cm de diamètre) d'un enduit magnétique et empilés jusqu'à 50 disque/ pile. La disposition des têtes de lecture-écriture est variable. Pour une tête de lecture - écriture par pile, le positionnement est obtenu par voie pneumatique en deux temps:

- Positionnement en face du disque sélectionné.
- Positionnement sur la piste sélectionnée.

Une des mémoires à disques IBM comportait 50 disques à 1200 tours/mn sur un axe vertical commune chaque disque comportait 200 pistes pouvant stocker 600000 bits. Il y a une seule tête de lecture - écriture et le temps d'attente est inférieur à 800 ns. D'autres ont une tête de lecture-écriture par face de disque, ce qui réduit le temps d'accès (50 à 100 ns). Il existe des mémoires à disques où la pile est interchangeable (dispacks I B M). Leur utilisation est très commode. Le dispack standard permet de stocker jusqu'à 8.10⁶ caractères.

I.4 LABANDE MAGNETIQUE:

La bande magnétique est réalisée avec un ruban de matière plastique (nylar) très résistant et recouvert d'une couche magnétique homogène comprenant des pistes .

La mise en vitesse (1 à 5 m/s) pose des problèmes à cause des accélérations très importantes mises en jeu. Il existe 2 solutions usuelles pour la réalisation:

- Utilisation de 2 bobines sur lesquelles est enroulée la bande, mais celle -ci présente un "nœud" important entre les bobines et le dispositif de lecture-écriture.

- utilisation d'un carter plat dont les 2 faces sont exactement distantes

de la largeur de la bande et dans lequel elle repose librement; la bande ne peut guère dépasser quelques dizaines de mètres de longueur si elle forme une boucle sans fin, et une centaine de mètres dans le cas où les extrémités sont libres. La bande magnétique est le moyen de stockage le plus dense et le plus économique. En effet, la densité d'enregistrement est comprise entre 20 bits /cm et 60 bits /cm et la vitesse de transfert est de l'ordre de 800000 bits /s. Le temps d'attente est considérable, plusieurs dizaines de secondes. La bande magnétique n'est intéressante que lorsqu'il est possible de procéder à des enregistrements de grande longueur (enregistrement par blocs, tenue de fichier). Sa lecture est non destructive et l'écriture non volatile.

Dans le domaine de la gestion et du dépouillement statistique ou dans le domaine de la recherche automatique de l'information (bibliographie et documentation), le volume à stocker est gigantesque et l'emploi de la bande magnétique s'y prête bien. Actuellement, les bandes magnétiques tendent de plus en plus à remplacer les disques.

1.5 CONCLUSION:

L'évolution des calculatrices met en évidence une tendance permanente à l'accroissement du volume de la mémoire.

- Les mémoires auxiliaires (mémoires périphériques et de masse). inexistantes sur les premières machines sont passées de la dizaine de milliers de mots à quelques millions pour atteindre le milliard de mots et plus.

CHAPITRE II :

Les mémoires à CI (Circuits Intégrés) nos

Jusq'en 1970, les mémoires magnétiques ont dominé un marché dont l'Informatique et le calcul ont été les principaux clients. Avec les Mos, le marché des mémoires commence de plus en plus à devenir important. Le premier coup d'envoi fut donné en 1970 par la firme IBM en annonçant le 370/145 et L'IBM 3, doté de mémoires à circuits Intégrés dont le rapport performances/ Prix est supérieur à celui des tores, pour plusieurs raisons, entre autres:

- La densité en bits- mémoires est plus élevée avec les circuits intégrés.
- La consommation est faible : quelques micro-watts avec la MOS dynamique, alors qu'elle est de un milliwatt par tore.
- Le temps de cycle: 700 ns avec la MOS statique
200 - 400 ns avec la MOS dynamique
10 ns avec la logique non saturée
à mode de courant type MECL Motorola
500 à 1000 ns avec les tores.
- Le prix du bit - mémoire est de plus en plus en baisse.

III. 1 LE TRANSISTOR M.O.S.

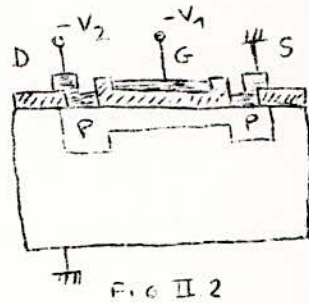
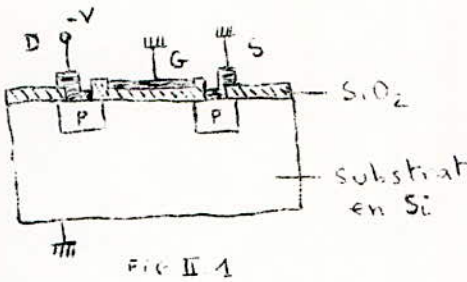
Le transistors à effet de champ à grille isolée ou MOS (métal -oxyde-semi-conducteur) se prête parfaitement à l'intégration.C'est ce que prouve son processus de fabrication, qui va tout d'abord être d'écrit.

Soit un substrat de silicium de type N (fig II . 1). On procède à une oxydation, suivie par une première opération de photo gravure et par la diffusion d'une couche P qui constituera la source et le drain.

Puis la surface du substrat est réoxydée et l'on ouvre une fenêtre pour la métallisation de l'électrode de commande, la grille (ougate).

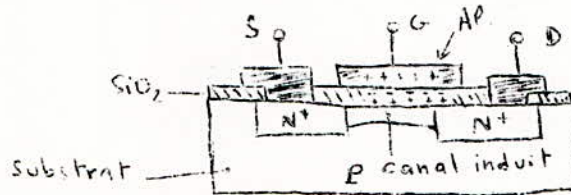
La couche d'oxyde est alors attaquée pour être portée à l'épaisseur voulue, tandis qu'un autre masque permet de créer les fenêtres pour les connexions. Une métallisation en aluminium recouvre le tout, alors qu'une dernière opération de photogravure permet de ne laisser subsister cet aluminium que là où il est nécessaire.

Nous venons de réaliser un M.O S à canal P, à enrichissement. En effet l'application d'une tension négative à la grille donne naissance à un canal P, comme le montre la fig II.. 2.



La grille étant portée au même potentiel que la source, le transistor est bloqué, il ne devient conducteur que si la grille se trouve portée à un potentiel négatif au moins égal à une certaine tension de seuil V_t , Par rapport à la source. Aucune différence de principe ne se manifeste si l'on part d'un substrat de type P, si ce n'est qu'alors, c'est une tension positive qui doit être appliquée à la grille pour attirer les porteurs négatifs et crée un canal (fig II . 3).

L'élément produit est du type à enrichissement, mais à canal N, cette fois.



- Fig II 3 -

Les circuits à MOS offrent un certain nombre d'avantages. Tout d'abord, on constate que la jonction entre substrat et drain ou source constitue, par construction, une diode Polarisée en inverse : avec les circuits intégrés (C I) à M.O.S il n'est pas nécessaire de prévoir des caissons d'isolement.

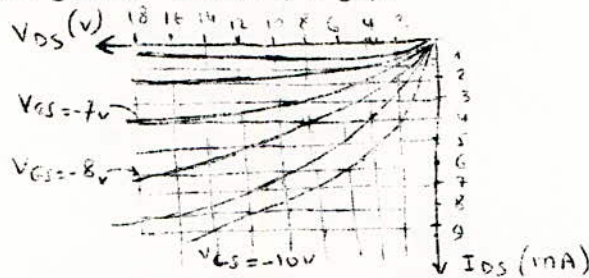
Ensuite, on a pu voir qu'une seule opération de diffusion suffisait pour réaliser le M.O.S, alors qu'il en faut quatre pour réaliser un transistor classique. D'autres part, Il n'est plus besoin d'apitaxie. Il en résulte que le prix de revient d'un circuit intégré à M.O.S est inférieur à celui d'un circuit intégré à transistors bipolaires. D'autre part, la densité d'éléments peut être accrue, en particulier en raison de l'absence des caissons d'isolement.

Le gain fourni par un M.O.S dépend de sa géométrie et non des caractéristiques de diffusion ou de dopage. D'autre part , le M.O.S se présente avec ses avantages et ses inconvénients: forte impédance d'entrée- supérieure à 10^{10} ohms -, faible dissipation, réponse en fréquence limitée par ses capacités.

Notons que, en principe, les zones de drain et de source peuvent être interverties, l'élément étant bidirectionnel. Cependant, par convention, on désigne par source la région P la moins négative, laquelle se trouve reliée au même potentiel que le substrat.

La polarisation négative appliquée à la grille a pour objet de repousser les électrons superficiels du substrat, juste en dessous de la métallisation de grille, et d'attirer les porteurs positifs, donc d'enrichir cette région en trous, afin d'y créer un canal P. Une tension minimale de seuil V_t , est donc nécessaire pour obtenir ce résultat.

Un réseau typique de courbes donnant le courant drain-source (I_{ds}) en fonction de la tension drain-source (V_{ds}) d'un M.O.S a été fig. II 4 pour différentes tensions grille-source (V_{gs}).



- FIG II 4 -

Linéaires pour de faibles courants, ces courbes marquent une très nette tendance à la saturation lorsque v_{ds} augmente. Pratiquement, pour qu'un canal existe, il faut que:

$$V_{gs} - V_t = V_{DS} .$$

En valeurs absolues, en supposant que les polarités correctes sont respectées.

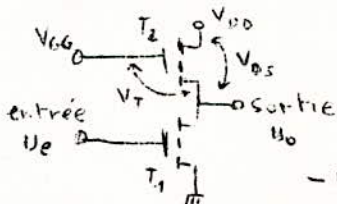
La saturation se manifeste pour : $V_{GS} - V_t = V_{DS}$, et le courant I_{DS} est alors relativement indépendant de la tension V_{DS} .

Dans la région linéaire, on a : $V_{GS} - V_t = V_{DS}$.

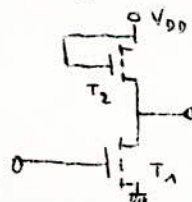
Le M.O.S peut servir de résistance de charge. Cependant, il convient de distinguer deux modes de fonctionnement:

a) Régime saturé (Zone pentode):

Soit le schéma de la fig II 5, lequel représente un M.O.S



- FIG II 5 -



- FIG II 6 -

Avec, en série, une impédance de charge constituée par un second M.O.S.

Si l'on appelle V_{GG} la tension appliquée à la grille à la grille de T_2 , les conditions de saturation sont:

$$|V_{GG} - V_T| \leq |V_{DS}| .$$

La méthode la plus simple, pour aboutir à ce résultat consiste à relier la grille de T₂ à la tension négative d'alimentation VDD (fig II 6). A ce moment, en effet V_{GG} = VDD et V_{GS} = V_{DS}.

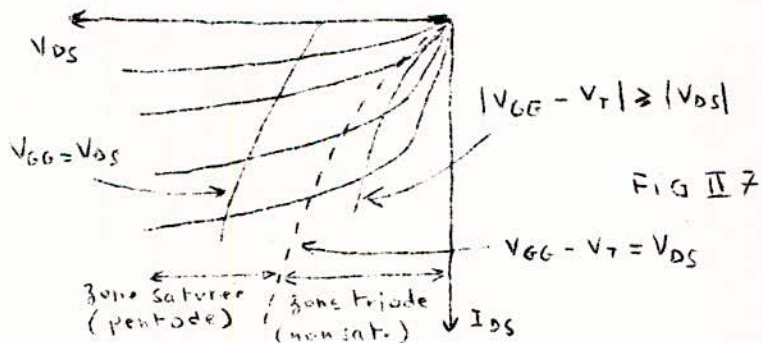
Supposons alors que le courant de saturation de T₁ soit largement supérieur à celui de T₂, et plaçons nous dans les conditions extrêmes. Si T₁ est saturé, la tension de sortie est proche de la masse. Au contraire, si T₁ est bloqué, son faible courant de fuite traverse également T₂, produisant

Une chute de tension égale à V_T -

b) REGIME NON SATURE (Zone triode):

La condition de non saturation s'écrit: $V_{GG} - V_T < V_{DS}$ et s'obtient en appliquant à la grille de T₂ une tension plus négative que V_{DS} d'une quantité égale ou supérieure à V_T - si à ce moment, T₁ est bloqué, on trouve pratiquement VDD à la sortie. En revanche, si T₁ est passant, la sortie est approximativement au niveau de la masse, En effet, la chute de la tension drain - source d'un M.O.S. non saturé est très faible.

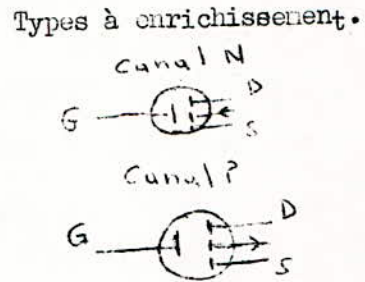
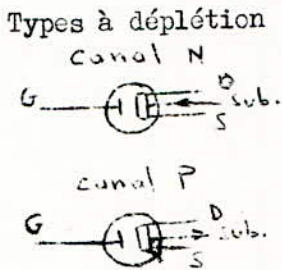
Les courbes de la figure III. 7 montrent comment évoluent les caractéristique drain - source du courant en fonction de la tension V_{DS}, Pour un M.O.S utilisé en résistance de charge.



REMARQUES:

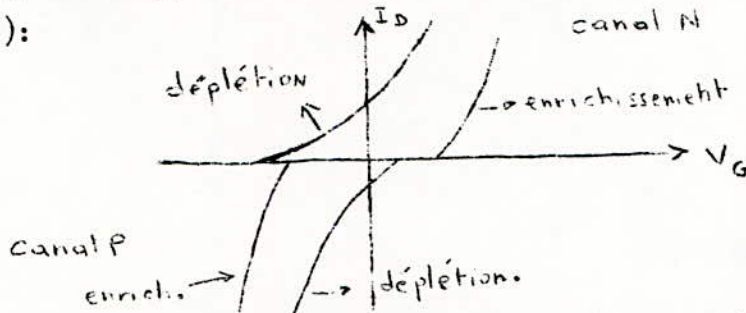
* - On a vu que la grille est l'électrode de commande. En effet, quand on applique une tension entre la source et le drain, le courant qui circule entre ces 2 électrodes est contrôlé par la tension appliquée sur la grille. Le MOS présente alors une conduction par trous ou par électrons. Les éléments qui utilisent des électrons comme porteurs sont dénommés "à canal N" ceux qui utilisent des trous sont "à canal P". ceux qui sont bloqués lorsque la tension grille - source V_{GS} est nulle sont du type à enrichissement et ceux qui sont passants en l'absence de polarisation de la grille sont du type à appauvrissement ou déplétion. Pour les besoins de la logique, nous utiliserons donc le MOS à enrichissement.

*- La représentation symbolique d'un MOS n'a pas subi une normalisation. Un mode de dessin, proposé par certains fabricants, est indiqué fig II-8.



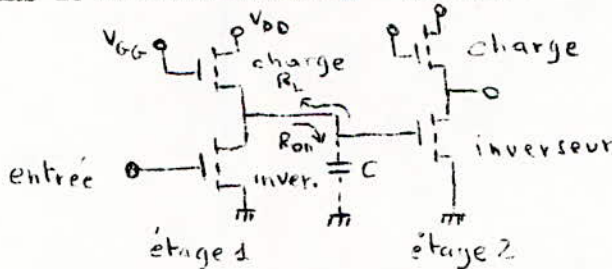
- FIG II 8 -

Pour les 4 types de MOS on obtient les caractéristiques suivantes (fig II . 9) :



- FIG II 9 -

*- La capacité gate-substrat ou capacité de structure joue un rôle important dans le fonctionnement en " dynamique de l'élément (fig II.10):



- FIG II 10 -

L'opération de charge et de décharge de la capacité s'effectue par le MOS inverseur ou la charge de l'étage précédent. Lorsque l'inverseur est bloqué, le condensateur se charge par le MOS en charge de l'étage 1 de résistance R_2 (constante de temps $R_1 C$).

Lorsque l'inverseur est saturé, la capacité se décharge par l'inverseur de l'étage 1, dont la résistance du canal R_{on} est à peu près 10 fois plus faible que R_L . La décharge est donc plus rapide que la charge.

On utilise la capacité de structure pour mémoriser une information (fig II. 11) :

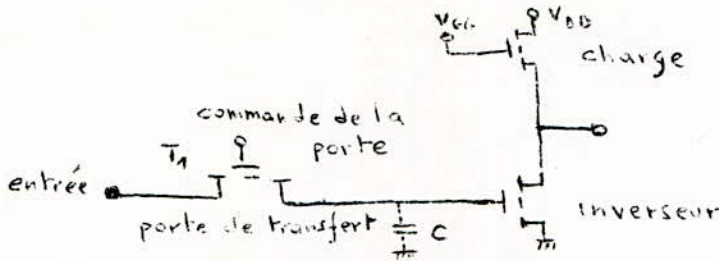


FIG II 11

Le MOS T_1 est utilisé comme interrupteur. Il sert à charger C au niveau 1 ou 0, puis il est bloqué. La capacité de structure est isolée et conserve sa charge; celle-ci s'éliminera peu à peu par le courant de fuite source-drain de T_1 , mais la constante de temps est suffisamment importante pour qu'il n'y ait pas perte d'information.

AVANTAGES ET INCONVENIENTS DES MOS:

a) Rappelons les avantages:

- les MOS sont plus faciles à intégrer.
- les caissons d'isolement sont inutiles.
- la densité d'intégration est plus grande.
- la forte impédance d'entrée
- la faible consommation.
- le couplage direct est possible, ce qui permet de les utiliser comme interrupteurs, résistances de charges. et en éléments de mémoire.

-Possibilité de concevoir des circuits à fonctions complexes.

b) les inconvénients sont:

- les MOS sont très sensibles à la contamination aux impuretés et aux charges d'électricité statique.

- la limitation de la fréquence maximale de fonctionnement

- les tensions de seuil élevées

La dérive temporelle et thermique.

Ces inconvénients sont plus ou moins atténués par de nouvelles conceptions technologiques qui ont pour but de:

- diminuer la tension de seuil par l'implantation ionique.

- augmenter la rapidité par l'emploi des MOS

complémentaires

- diminuer les capacités d'entrée pour augmenter la rapidité (implantation ionique).

- agrandir les intervalles de température de fonctionnement.

II.2 CELLULES STATIQUE- CELLULES DYNAMIQUES:

La tension d'alimentation V_{DS} et la tension de commande V_{GS} sont positives avec le canal N, négatives avec le canal P. Le principe de fonctionnement est identique pour les deux types. Avant d'aborder l'étude des cellules, il est intéressant d'étudier les deux modes de fonctionnement du circuit inverseur en MOS à enrichissement.

II.2.1. FONCTIONNEMENT EN STATIQUE:

Le circuit inverseur est le circuit de base de toutes les portes logiques "et-non". Comme on l'a vu, on le réalise avec un transistor MOS T^2 de grande résistance qui constitue la résistance de charge et d'un transistor MOS T^1 de faible résistance qui est l'élément de commutation. On rappelle que le circuit a deux modes de fonctionnement: régime saturé et régime non saturé.

Le niveau de sortie lorsqu'on applique un état 1 sur la grille T_1 dépend de la géométrie des deux éléments T_1 et T_2 , de la tension d'alimentation et des tensions de commande sur les deux grilles.

II.2.2. Fonctionnement en dynamique:

Dans les circuits MOS la fréquence de coupure est de l'ordre de 1 GHz. Cependant, dans les circuits complexes, elle est beaucoup plus basse, parce qu'à chaque commutation, des capacités doivent être chargées et déchargées à travers des impédances qui atteignent souvent de grandes valeurs. Deux types de capacité dominent:

- La capacité entre la grille et le substrat ou capacité de structure
- Les capacités d'interconnexions, formées par les interconnexions, l'oxyde épais et le substrat.

En dynamique, on trouve deux types de fonctionnement, le mode source commune et le mode source follower. Le mode source commune est représenté par la figure III 12 a. Il est caractérisé par la décharge d'un condensateur à travers T_R lorsqu'on applique un échelon sur son entrée. Plus la constante $R_{ds} \cdot C$ sera petite et plus la décharge sera rapide. Le mode source follower (fig.II 12 b) consiste en la charge de la capacité C à travers T_R , Lorsqu'on applique un échelon de tension sur son entrée. Comme dans le cas précédent, la réponse en temps dépend de la constante de temps $R_{DS} \cdot C$. Mais tandis qu'en mode source commune, la tension V_{GS} est constante, elle diminue au fur et à mesure que la capacité C se charge en mode source follower, donc la résistance R_{DS} et la constante de temps $R_{DS} \cdot C$ augmente.

La réponse en temps (fig .II.12 C) d'abord rapide sera lentit donc au fur et à mesure que la charge de c croît. D'autre part, la valeur finale de charge de la capacité est égale à $V_{GS}-V_T$.

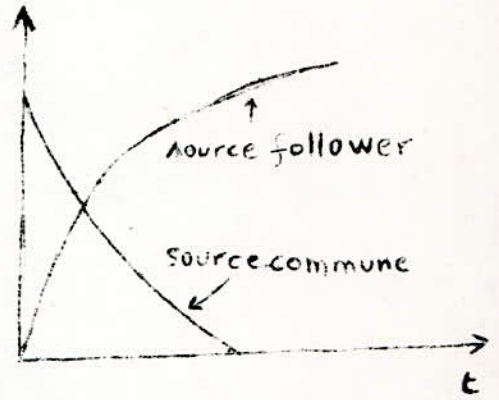
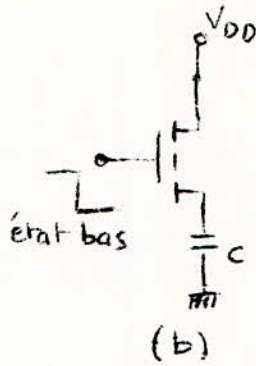
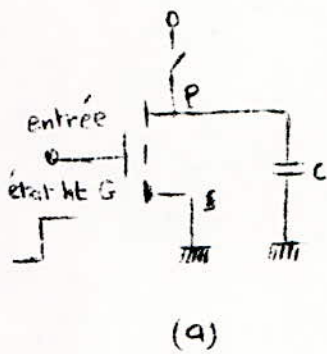


fig II 12

II. 2.3. LA CELLULE MOS STATIQUE:

C'est un simple flip-flop doté de deux portes de transfert T_5 et T_6 et deux circuits inverseurs (fig II 13) dont l'entrée

de l'un est relié à la sortie de l'autre. T_1 et T_2 sont les transistors de commutation, T_3 et T_4 les transistors de charge. T_5 et T_6 sont des portes qui mettent la cellule en contact avec l'extérieur par l'intermédiaire de deux lignes de bits.

Chaque ligne de bit véhicule une des deux informations binaires (0 et 1) entre l'extérieur et la cellule mémoire.

Si T_5 et T_6 sont fermées, la cellule est isolée et conserve en mémoire

l'information écrite. Dans ce cas, l'un des inverseurs est à l'état bas (le transistor de commutation est conducteur), l'autre est à l'état haut. L'inverseur à l'état bas dissipe de l'énergie tandis que l'inverseur à l'état haut laisse passer un très faible courant et ne consomme pratiquement aucune puissance.

Supposons qu'un " 1 " soit stocké en mémoire, c'est à dire que l'inverseur (T_1, T_3) soit à l'état haut et que l'inverseur (T_2, T_4) soit à l'état bas.

Pour lire la cellule, T_5 et T_6 sont rendus passants par l'intermédiaire d'une impulsion appliquée sur la ligne de sélection. Un courant s'écoule dans la ligne de bit 1 à travers T_8, T_6 et T_2 . Aucun courant ne s'écoule dans la ligne de bit 0. La détection du courant sur la ligne de bit 1 caractérise donc l'état 1. La présence d'un 0 dans la cellule mémoire donnerait un courant sur la ligne de bit 0. La lecture est une opération rapide, qui ne subit aucun retard de la part de la cellule. Elle n'est pas destructive de l'information. L'opération d'écriture débute, comme celle de lecture, par l'ouverture des portes T_5 et T_6 . La cellule mémoire est alors en relation avec les circuits d'écriture.

L'écriture d'information à l'intérieur de la cellule se fait en portant l'une des lignes de bit à l'état bas. Si la ligne de bit 1 est reliée à la masse, rien ne se produit, car la grille de T_1 est déjà à l'état bas. Si la ligne de bit 0 est à l'état bas, la cellule doit changer d'état.

Cette opération se déroule en deux temps:

- la capacité de grille C_2 de T_2 se décharge à travers T_5 fonctionnant en source commune. Dès que la tension aux bornes de C_2 est inférieure à la tension de seuil de T_2 , ce dernier se bloque.

- La capacité de grille C_1 de T_1 se charge en mode source follower à travers T_6 et T_8 (T_u est une grande impédance et a peu d'influence). Lorsque la tension aux bornes de C_1 est supérieure à la tension de seuil de T_1 , T_1 se met à conduire. La charge de C_1 doit être suffisamment grande, pour que le transistor T_1 soit suffisamment conducteur et qu'il y ait un état bas à la sortie de l'inverseur (T_1, T_3).

Nous avons vu précédemment que la charge d'une capacité en source follower est beaucoup plus longue que la décharge en source commune. La séquence d'écriture dépend donc essentiellement de la charge de la capacité de l'un des transistors de commutation. La durée de cette charge conditionne la durée des impulsions appliquées sur la ligne de sélection, car T_5 et T_6 doivent être passants pendant la durée de cette charge. Les performances d'écriture peuvent être améliorées en augmentant les gains de T_5, T_6, T_7, T_8 , donc en diminuant leurs résistances. Cependant il y a une

limite supérieure sur le gain de ces éléments. En effet, en lecture, la cellule peut être perturbée par un courant trop intense à travers le transistor de commutation passant (T_1 ou T_2) dont le drain monte à un potentiel supérieur au seuil du transistor de commutation bloqué. Ce dernier se met alors à conduire et peut perturber le contenu de l'information.

La réalisation d'une cellule à six éléments est un compromis entre plusieurs exigences. Elle est relativement complexe, car elle nécessite plusieurs types de transistors de commutation très conducteurs, des transistors de charge très résistifs et des portes suffisamment conductrices pour que l'écriture soit suffisamment rapide et la lecture non perturbée. De plus, elle occupe une surface relativement importante.

L'intégration sur une pastille de ce type de cellule est donc assez limitée. A l'état de repos, lorsque la cellule n'est pas adressée, l'information est conservée en permanence. C'est le fonctionnement statique. Ce type de fonctionnement apporte de la souplesse à la logique. qui entoure la mémoire et permet de lire l'information stockée à n'importe quel moment. Cet avantage entraîne cependant une dissipation permanente de puissance dans la cellule.

II.2.4. LA CELLULE M.O.S. EN DYNAMIQUE

En dynamique, la cellule à six éléments est complexe, difficile à réaliser et ne permet pas de tirer tous les avantages de la technologie MOS. Les inconvénients sont:

- dissipation de la cellule à l'état de repos.
- surface importante occupée par la cellule.
- cycle d'écriture long.

Dans la mémoire à six éléments, l'information est conservée sur l'une des capacités de grille C_1 ou C_2 des transistors de commutation (T_1 ou T_2), et le rôle des résistances de charge T_3 et T_4 est de compenser les courants de fuite qui ont tendance à décharger ces capacités. Les transistors T_3 et T_4 ont une grande résistance pour limiter la dissipation et occupent une grande surface.

Pour réduire la puissance dissipée à l'état de repos, les transistors T_3 et T_4 peuvent être rendus passants périodiquement par des impulsions appliquées sur leur grille. En l'absence de ces impulsions, T_3 et T_4 sont bloqués, la consommation est négligeable. En présence de ces impulsions T_3 et T_4 sont passant et viennent recharger ou " rafraîchir les capacités des éléments actifs (T_1 ou T_2). Le cycle de lecture se déroule comme précédemment. Le cycle d'écriture ne peut avoir lieu

que si T_3 et T_4 sont passants. L'intervalle séparant deux impulsions est de quelques millisecondes. Les cycles d'écriture ou de lecture ne sont pas affectés par l'opération de rafraîchissement. Ce type de fonctionnement où l'information est périodiquement régénérée, est appelé fonctionnement dynamique.

Les transistors T_3 et T_4 occupent une place importante et ne sont pas, en fait, nécessaires pour les cycles de lecture, d'écriture et de rafraîchissement. leur suppression permet de réduire substantiellement la taille de la cellule (fig II 14).

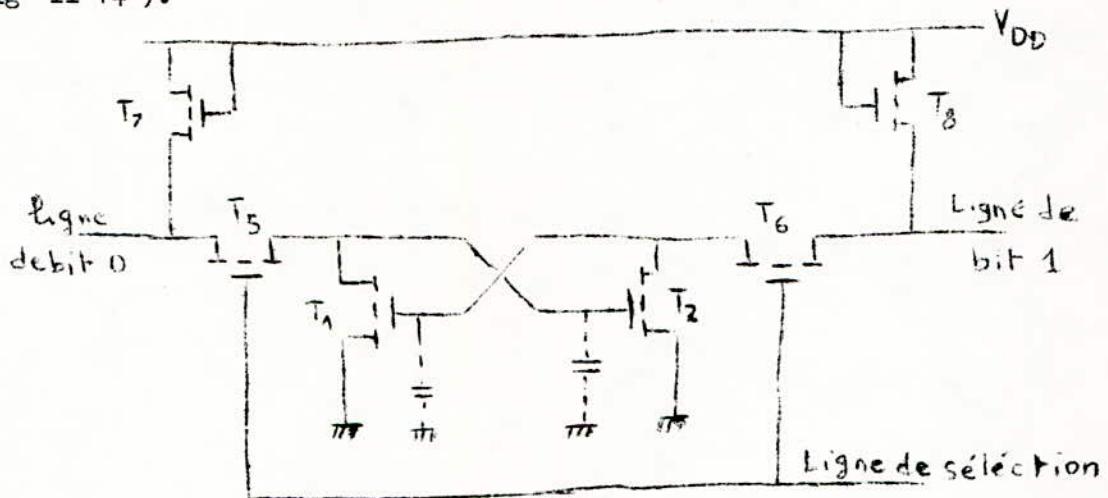


fig II 14

La régénération de l'information se fait au cours d'un cycle lecture. En appliquant une impulsion sur la ligne de sélection, T_5 et T_6 sont passants et se comportent comme des charges les éléments actifs T_1 et T_2 . Un bistable est ainsi reconstitué et la capacité de grille qui contient l'information est rechargée par le courant qui s'écoule à travers la ligne de bit associé.

Le principe de fonctionnement de cette cellule est identique à celui de la cellule à six éléments. En dynamique, la consommation est légèrement supérieure, puisque T_5 et T_6 sont des résistances moyennes. Les cycles d'écriture, de lecture et de rafraîchissement ne peuvent se dérouler que si T_5 et T_6 sont conducteurs, donc lorsqu'une impulsion est appliquée sur la ligne de mot, cette contrainte nouvelle permet de diminuer la taille de la cellule.

Dans le montage précédent, l'information est stockée dans une des capacités des transistors de commutation (T_1 ou T_2). Ceci est redondant; une seule suffit donc (fig II 15).

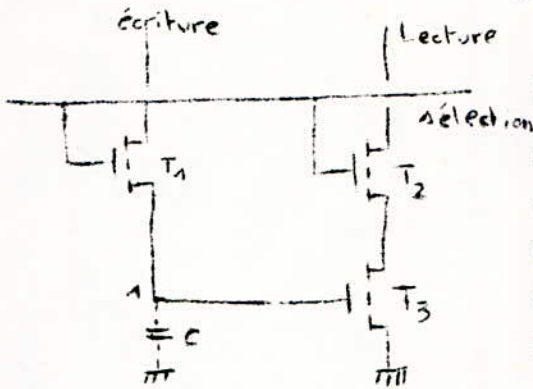


FIG II 15

Cette cellule comprend: l'élément mémoire proprement dit, constitué par T₃ et sa capacité de grille et deux portes, T₁ qui met en contact la cellule avec les circuits d'écriture et T₂ qui transmet l'information emmagasinée sur C vers les circuits de lecture. Le cycle de lecture s'obtient en activant T₂ - Les éléments T₂ et T₃

forment une porte " ET." T₃ est passant ou non suivant que l'information stockée est un 1 ou 0. La présence ou l'absence d'un courant sur la ligne de lecture détermine l'état de la cellule, donc l'information emmagasinée.

T₁ et T₂ ont des tensions de seuil différentes. La tension de seuil de T₁ est supérieure à celle de T₂, pour que le cycle de lecture ne déclenche pas simultanément un cycle d'écriture. Pour que le cycle de lecture ne déclenche pas simultanément un cycle d'écriture. Pour tourner cette sujétion, on utilise deux lignes de sélection: d'écriture et de lecture (figII . 16).

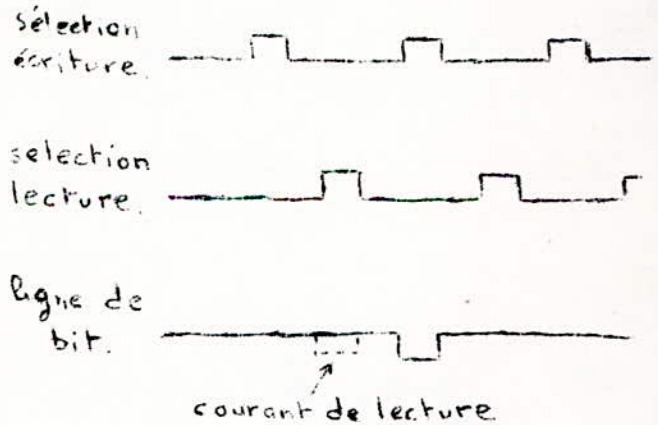
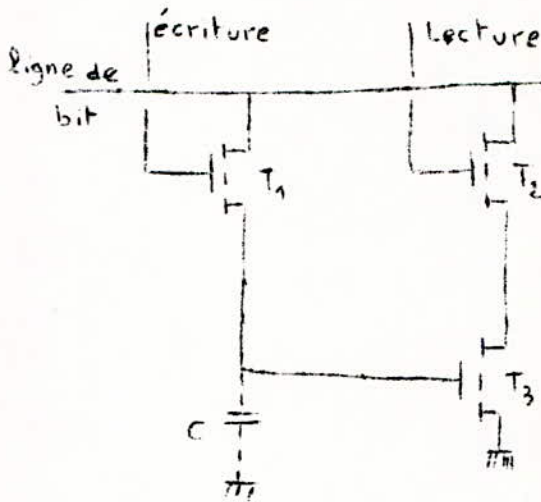
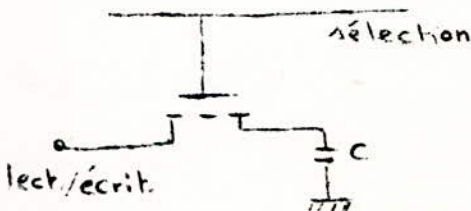


FIG II 16

On voit ici que les ordres de sélection sont l'amplitude égale. Si l'on mémorise l'information dans une capacité de grille, la plus simple des cellules est celle de la figure II 17.



L'inscription s'effectue en portant la ligne bit au niveau voulu et en débloquent le transistor MOS à l'aide de la ligne sélection. La lecture est également assurée

Par le déblocage du MOS, soit en appréciant la tension de charge C, soit en utilisant l'impulsion de décharge.

Ici, la lecture est destructive, et la charge stockée par c est redistribuée à la lecture aux capacités de la ligne bit; de plus, la vitesse d'écriture est limitée par la capacité de C qui doit être suffisamment importante.

C'est cette formule qu'a choisi en 1971 General Instrument en annonçant une RAM de 2048 bits. La surface occupée par un point - mémoire est de 0,002 mm², la puce de silicium mesurant à peu près 3,5 X 3,5 mm, circuits de décodage et de logique compris.

Le temps d'accès en lecture serait inférieur à 250 ns, pour un cycle de moins de 400 ns ; la consommation aux fréquences les plus élevées n'atteindrait que 300 mw.

II.3 MEMOIRES VIVES.

Elles sont encore appelées RAM (Random Access Memory) ou mémoires à accès aléatoire ou à accès direct. La mémoire vive a MOS se présente sous forme de boîtier DIL à 14, 16, 18, 24 broches ou plus. Elle est constituée par un ensemble de cellules élémentaires disposées en matrice, comprenant x rangées et y colonnes. Chaque cellule peut être écrite ou lue. Elles sont toutes directement accessibles par adressage. L'adressage se fait en sélectionnant le numéro de la rangée et le numéro de la colonne de la cellule concernée. Le plus souvent, l'adresse est appliquée en code binaire sur le boîtier, la décodification étant en terme. La décodification des adresses sur la pastille de la mémoire vive a un certain nombre d'inconvénients. Les circuits de décodification augmente la surface de la pastille et la puissance dissipée. Ils sont faits avec des transistors MOS qui ont le désavantage d'être lents, donc d'augmenter les temps d'écriture et de lecture. Par contre, l'incorporation de la décodification diminue le nombre d'interconnexions, permet l'utilisation de boîtier avec un nombre de broches réduit et donne peut-être une fiabilité plus grande.

La décodification à l'extérieur du boîtier par des circuits bipolaires est souvent le moyen optimal pour beaucoup d'applications. La technologie bipolaire permet d'attaquer les lignes d'interconnexions à grande charge capacitive sous faible impédance, donc de diminuer les constantes de temps.

La lecture ou l'écriture d'une cellule mémoire se fait par l'intermédiaire d'amplificateurs dont la première qualité est de présenter une faible impédance. La technologie bipolaire est bien adaptée à ce genre de circuits mais ne peut être intégrée sur la pastille mémoire. Par contre, la technologie MOS permet de fabriquer des amplificateurs de lecture et d'écritures d'impédance moyenne. L'intégration de derniers favorise la fiabilité de l'ensemble, mais se fait aux dépens de la rapidité. Les critères de choix entre les mémoires entièrement décodées et celles qui ne le sont pas, dépendent essentiellement des performances qu'attend l'utilisateur. Les fabricants semblent vouloir de plus en plus s'orienter vers des circuits mémoires complètement décodés.

* Rappelons que les mémoires vives sont des mémoires volatiles.

II.3.1 RAM STATIQUES:

En statique, une RAM MOS recourt à des cellules fonctionnant en statique (paragraphe II.2.3.).

L'assemblage d'un certain nombre de cellules en un réseau déterminé, de 8 mots de 8 bits par exemple, mène à une mémoire dont le synoptique de principe est donné par la figure II 18

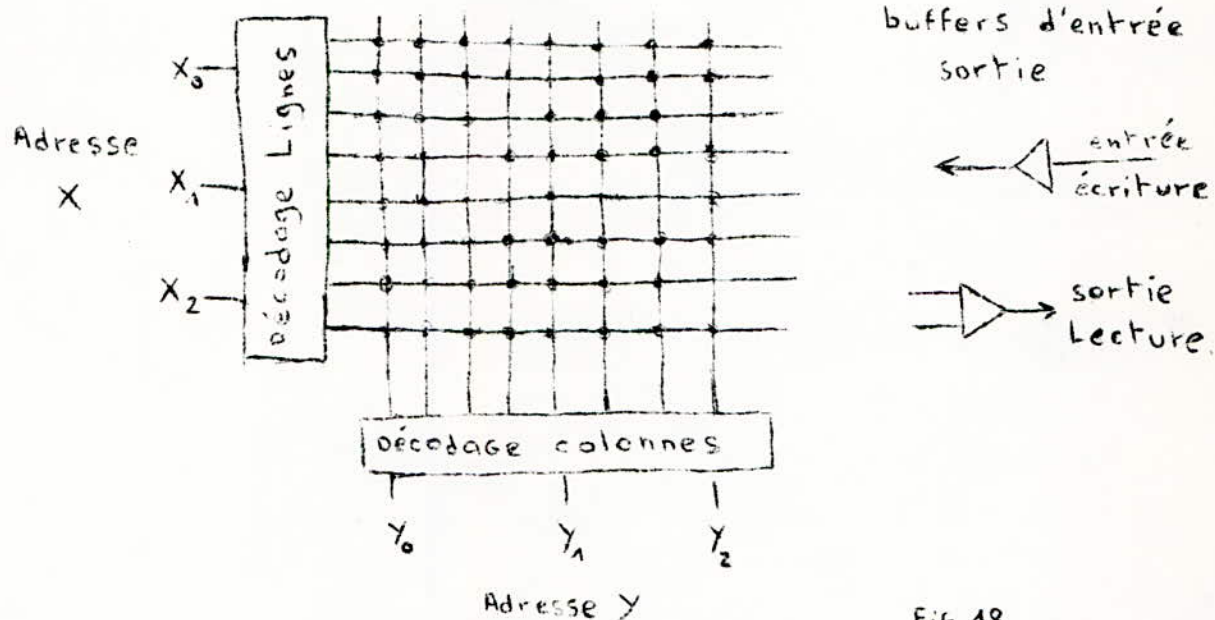


FIG.18

On y trouve les circuits de décodage d'adresse: dans ce cas, l'adresse est fournie sur 3 bits ; chaque point de croisement représente une cellule-mémoire. Les circuits d'écriture et de lecture sont été symbolisés.

II.3.2 RAM DYNAMIQUE:

Les cellules utilisées sont dynamiques (voir paragraphe II. 2.4.). D'où une grande densité d'intégration, la vitesse est plus élevée et la consommation est relativement moindre.

considérons un type de mémoire vive dynamique dont les cellule sont à 3 éléments (fig II 19).

Se déroulement des cycles de lecture et d'écriture est conditionné par 3 rythmes: la précharge, la sélection de la mémoire et l'autorisation d'écriture;

* CYCLE DE RAFRAICHISSEMENT:

Le signal " validation de la mémoire " est appliqué. La ligne de sélection "Lecture " reçoit une impulsion qui rend conducteur T₂ et provoque la décharge conditionnelle des lignes de t_{ransfert} " Lecture". Les lignes dont la cellule contient un état haut sur C se déchargent à travers T₁, tandis que les autres dont la cellule contient un état bas conservent leur état haut. Dès que les lignes de transfert "lecture" sont chargées, le signal "précharge" est supprimé, provoquant

l'ouverture de T_7 et de T_3 . Les capacités des lignes de transfert " écriture", chargées pendant la " précharge", ne se déchargent à travers T_7 et T_6 que si les lignes de transfert " lecture" associées sont à l'état haut. L'information stockée sur C est ainsi transmise sur la ligne de transfert " écriture" qui vient à travers T_3 régénérer C.

* - CYCLES DE LECTURE :

Les informations lues dans les cellules de la rangée sélectionnée sont transférées sur les lignes d'écriture. Le décodeur de colonnes valide une ligne de transfert " écriture" en rendant conducteur T_1 et T_{11} . Selon la charge emmagasinée sur la capacité de cette ligne, T_9 est passant ou non et un courant s'écoule ou non dans la ligne de lecture. A la fin du cycle, les informations stockées sur les lignes d'écriture sont réécrites dans les cellules de la rangée sélectionnée.

* - CYCLE D'ECRITURE :

Il débute par le rythme de "précharge" suivi du rythme de "Validation de la mémoire". La "précharge" permet de valider les décodeurs. "La validation de la mémoire" ouvre la porte T_3 d'accès à la capacité de la cellule mémoire sélectionnée.

L'opération d'écriture est conditionnée par la séquence d'autorisation d'écriture qui ferme T_6 et ouvre T_8 , permettant ainsi d'acheminer à travers T_{10} , T_8 et T_3 l'information à écrire.

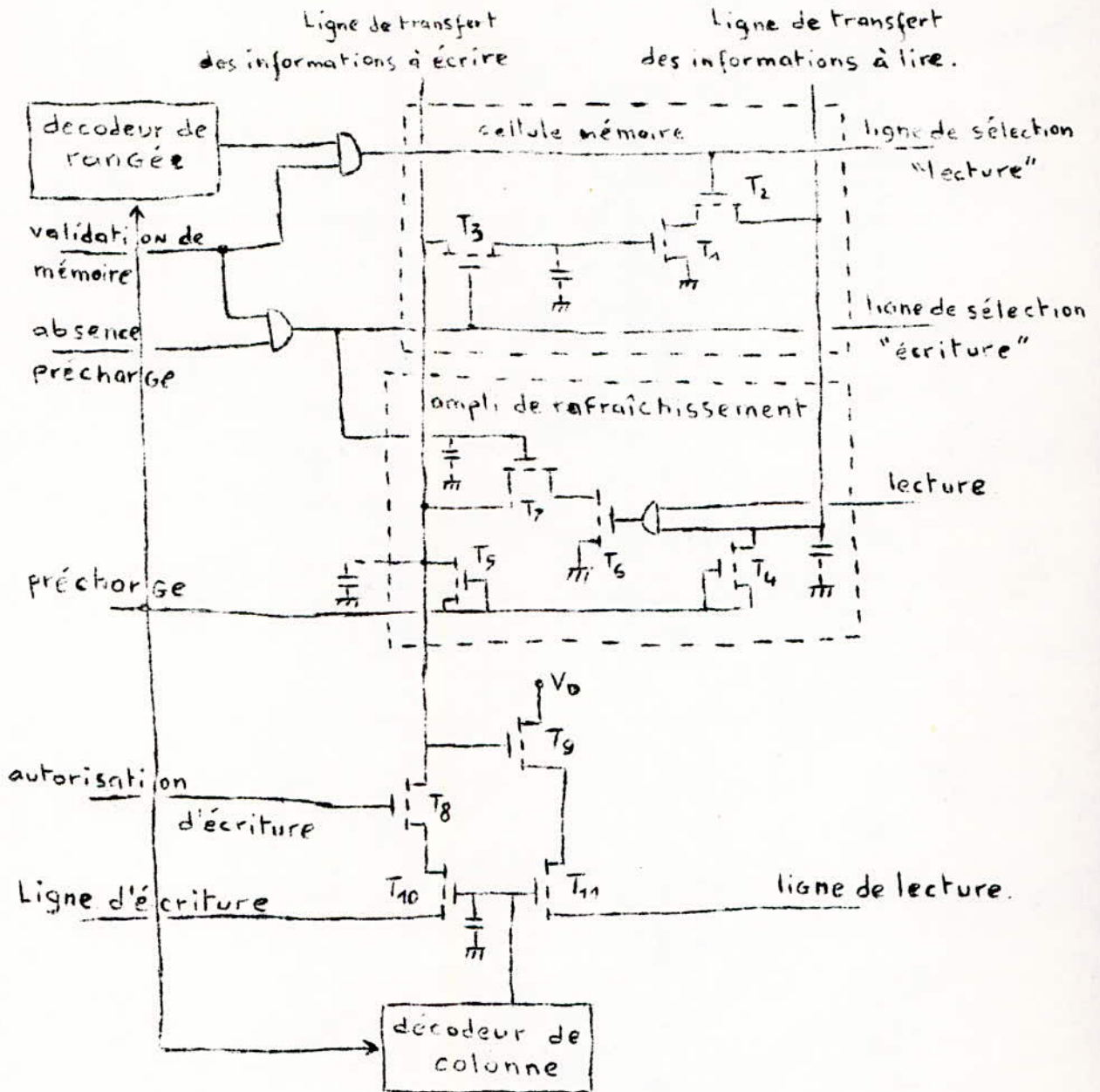


Fig II 19.

II.3.2.1 DEUX EXEMPLES DE RAM DYNAMIQUES.

II.3.1.1 LA RAM DYNAMIQUE i 1103 INTEL.

La mémoire i 1103, commercialisée depuis 1970 par INTEL CORP., est réalisée suivant la technologie du gate au silicium. Une des caractéristiques de cette technologie est une densité très élevée de composants permettant, pour une configuration donnée de mémoire, d'obtenir une réduction des prix en diminuant la surface de silicium nécessaire à la réalisation du circuit intégré.

D'autre part, la technique de mémorisation dynamique utilisée permet

d'obtenir des performances remarquables en ce qui concerne les temps d'accès, niveau d'intégration et dissipation:

- . temps d'accès: 300 ns
- ; niveau d'intégration: 1024 bits
- . Dissipation : 8nw par bit au repos.
250 nw par bit en adressage.

La mémoire i 1103 est organisée en 1024 mots de 1 bit et se présente sous la forme d'un boîtier DIL à 18 terminaisons.

Elle utilise des cellules dynamiques (fig II20) à 3 éléments.

L'information à enregistrer est appliquée à l'entrée E et une commande en A débloque le transistor MOS T_1 . La capacité de grille se charge au niveau 1 ou 0 de l'information à mémoriser, le transistor T_2 restant bloqué. L'information est lue par l'application en B d'une commande qui débloque le transistor T_2 . Auparavant, une tension de "précharge" avait chargé la capacité correspondant à la ligne omnibus à laquelle la sortie lecture s est directement connectée. Selon le niveau 1 ou 0 de l'information mémorisée, le transistor T_3 est passant ou bloqué et, dans le premier cas, décharge la ligne omnibus qui passe à la tension V SS. Le niveau de tension de la ligne omnibus est alors détecté par un amplificateur de lecture et peut être utilisé à la sortie de cet amplificateur de lecture. Le fonctionnement de la cellule de base permet de mettre en évidence la particularité de la mémoire dynamique, à savoir la nécessité d'un rafraîchissement périodique de l'information. En effet, la capacité mémoire de grille de T_3 se décharge progressivement à travers les diverses impédances de fuite. Il est donc nécessaire de rétablir périodiquement le niveau de charge de cette capacité. Ce rafraîchissement est effectué automatiquement par une opération de lecture. En effet, la sortie de l'amplificateur de lecture est reconnectée à l'entrée E de la cellule lue, tandis qu'une commande est appliquée en A.

Il y a donc dans ce cas, régénération automatique de l'information mémorisée.

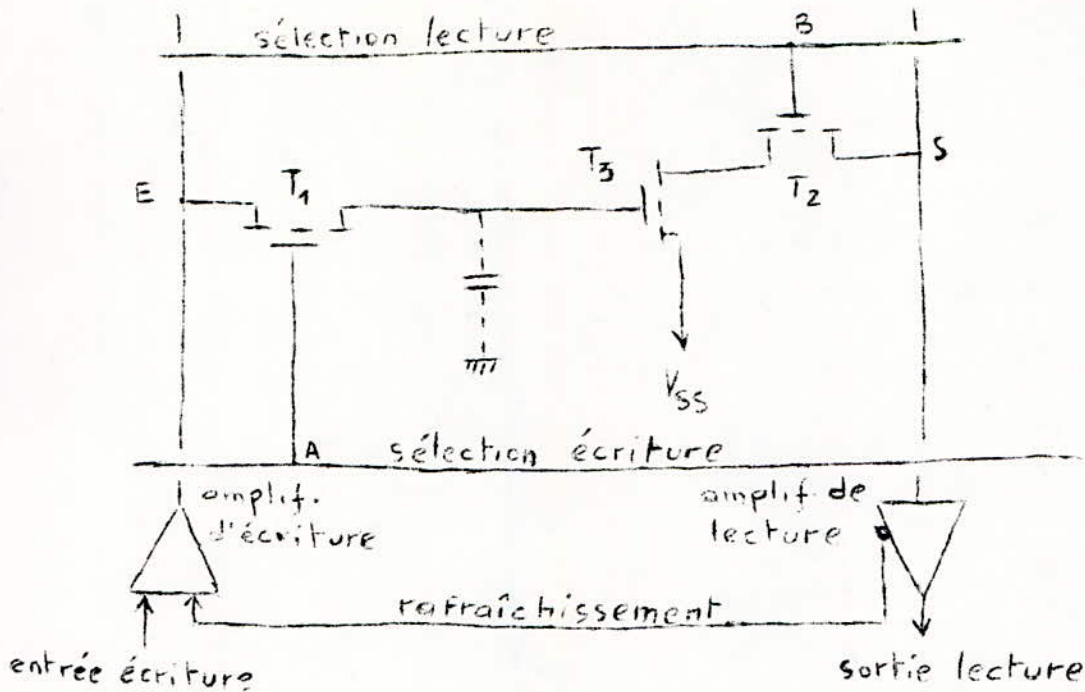


Fig II 20 -

La mémoire nécessite un rafraîchissement toutes les 2ms maximum.

* STRUCTURE DE LA i 1103.

le synoptique de la mémoire est donné fig II 21. Les 1024 cellules mémoire sont organisées en une matrice à 32 lignes et 32 colonnes.

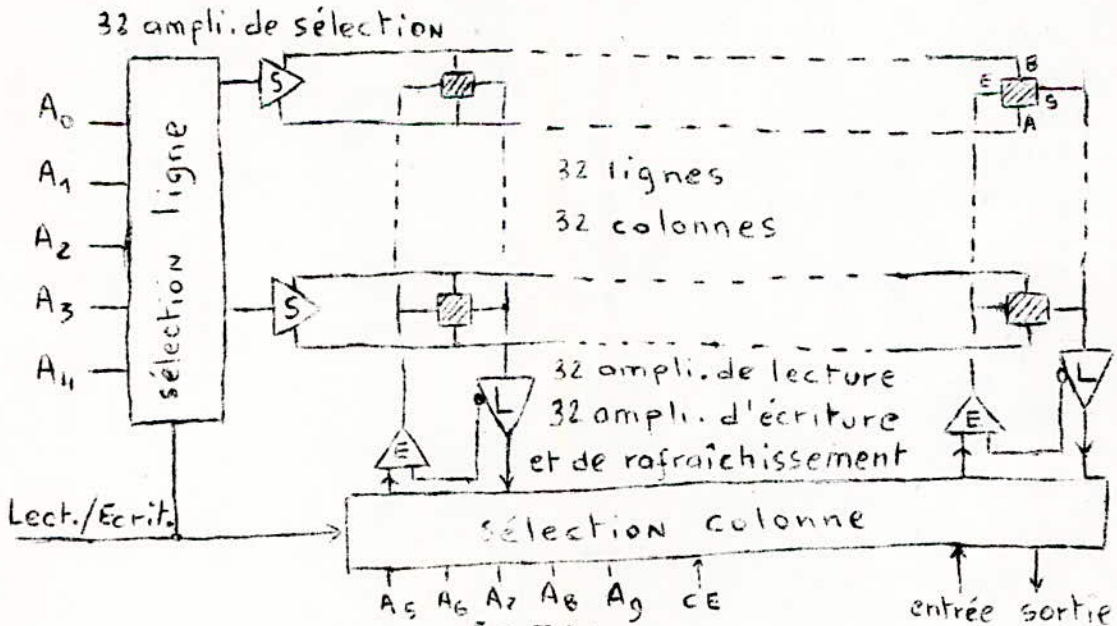


Fig. II 21 -

1) cycle de lecture:

Le décodage des 5 bits d'adresse de plus faible poids (A0 à A4) permet de sélectionner une ligne de 32 cellules dont le contenu est lu par 32 amplificateurs de lecture. Cette configuration permet de "rafraîchir" 32 cellules simultanément,

à partir des 32 amplificateurs de lecture. Le décodage des 5 bits de plus fort poids (A₅ à A₉) permet d'aiguiller sur une sortie unique l'information choisie sur les 32 lues initialement.

2) cycle d'écriture : L'information d'entrée est aiguillée par le décodage des bits de plus fort poids (A₅ à A₉) en direction d'un amplificateur d'écriture sur 32, l'écriture s'effectuant à l'intersection de la colonne correspondant à l'amplificateur d'écriture sélectionné et de la ligne sélectionnée et de la ligne sélectionnée par le décodage des 5 bits de plus faible poids (A₀ à A₄).

3) Rafraîchissement : Dans la mesure où un cycle de lecture entraîne le rafraîchissement automatique des informations contenues dans les 32 cellules d'une ligne, un rafraîchissement complet de la mémoire pourra être effectué simplement en 32 cycles de lecture permettant de sélectionner successivement toutes les lignes.

Il est à noter que ces 32 cycles de lecture nécessaires au rafraîchissement de la totalité de la mémoire correspondent aux 32 combinaisons binaires possibles des 5 bits d'adresse de plus faible poids, l'état des 5 bits d'adresse de plus fort poids étant indifférent durant le rafraîchissement.

La durée du cycle de lecture de la mémoire i 1103 étant de 580 ns, le rafraîchissement global de la mémoire s'effectue en $580 \times 32 = 18,6 \mu s$, ce qui représente moins de 1% du temps utile.

4) Précharge : Le signal de " précharge " dont le but est de précharger la capacité des lignes omnibus de lecture (lignes reliant toutes les sorties S des dispositifs) est commun à toutes les lignes de lecture de la mémoire.

5) Cenable : le signal " cenable " est une commande de validation supplémentaire qui permet, lors d'un assemblage de plusieurs boîtiers, de sélectionner un seul boîtier ou groupe de boîtiers. Ce signal est nécessaire pour permettre la connexion directe en " ou " des sorties de chacun des boîtiers, dans le cas, par exemple, d'un système comprenant plus de 1024 mots. Dans ce cas, le signal " cenable " bloque le transistor MOS de sortie des boîtiers non adressés.

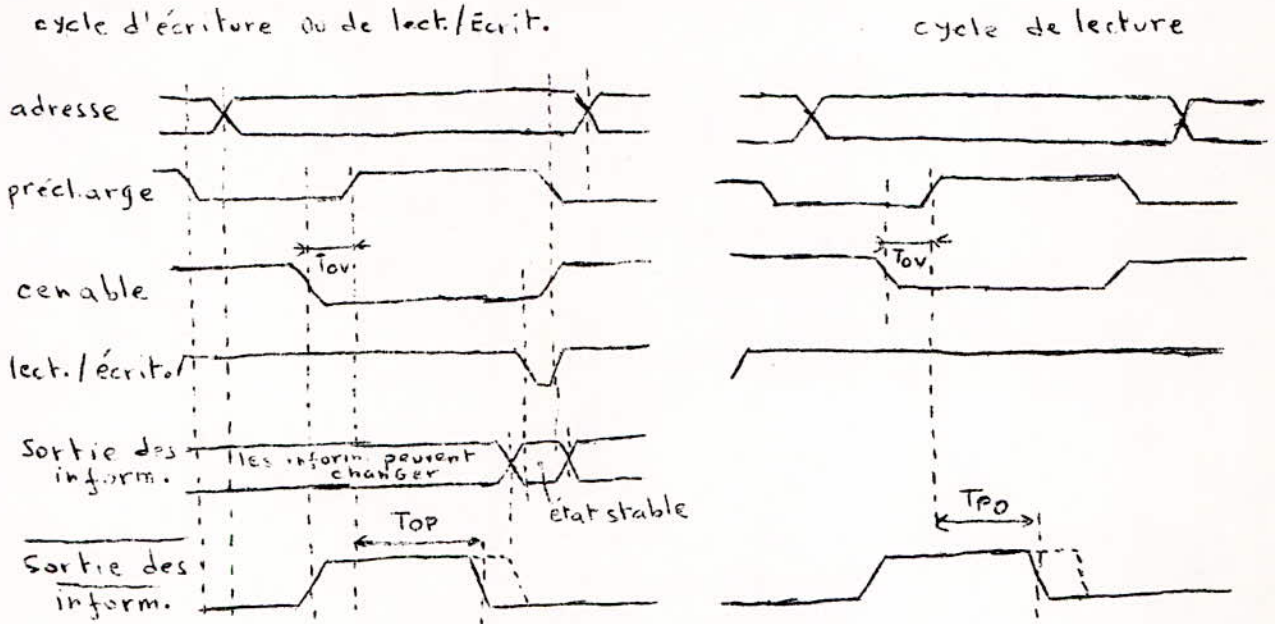
6) Diagramme des temps : Il est à noter que les cycles de rafraîchissement sont tout simplement des cycles de lecture. (fig II 22).

a) cycle de lecture :

Un cycle de lecture commence par la transition négative du signal " précharge ". Ce signal étant commun à toute la mémoire, le pré-chargement des lignes

de sortie peut commencer avant stabilisation des adresses.

Pendant ce pré-chargement, les adresses sont stabilisées et, au bout du temps T_{pc} après transition du précharge ou T_{AC} après stabilisation des adresses, intervient la transition du "cenable" qui valide la mémoire. Puis :



- FIG II 22 -

- Le signal de pré-chargement doit disparaître au bout du temps T_{ov} après la transition de "cenable".

- L'information de sortie sera valide au bout du temps T_{po} après T_{ov} .

- Le signal "cenable" doit disparaître au bout du temps T_{pov} après T_{ov} .

- Un nouveau cycle de lecture peut commencer après un temps T_{cp} de disparition de "cenable".

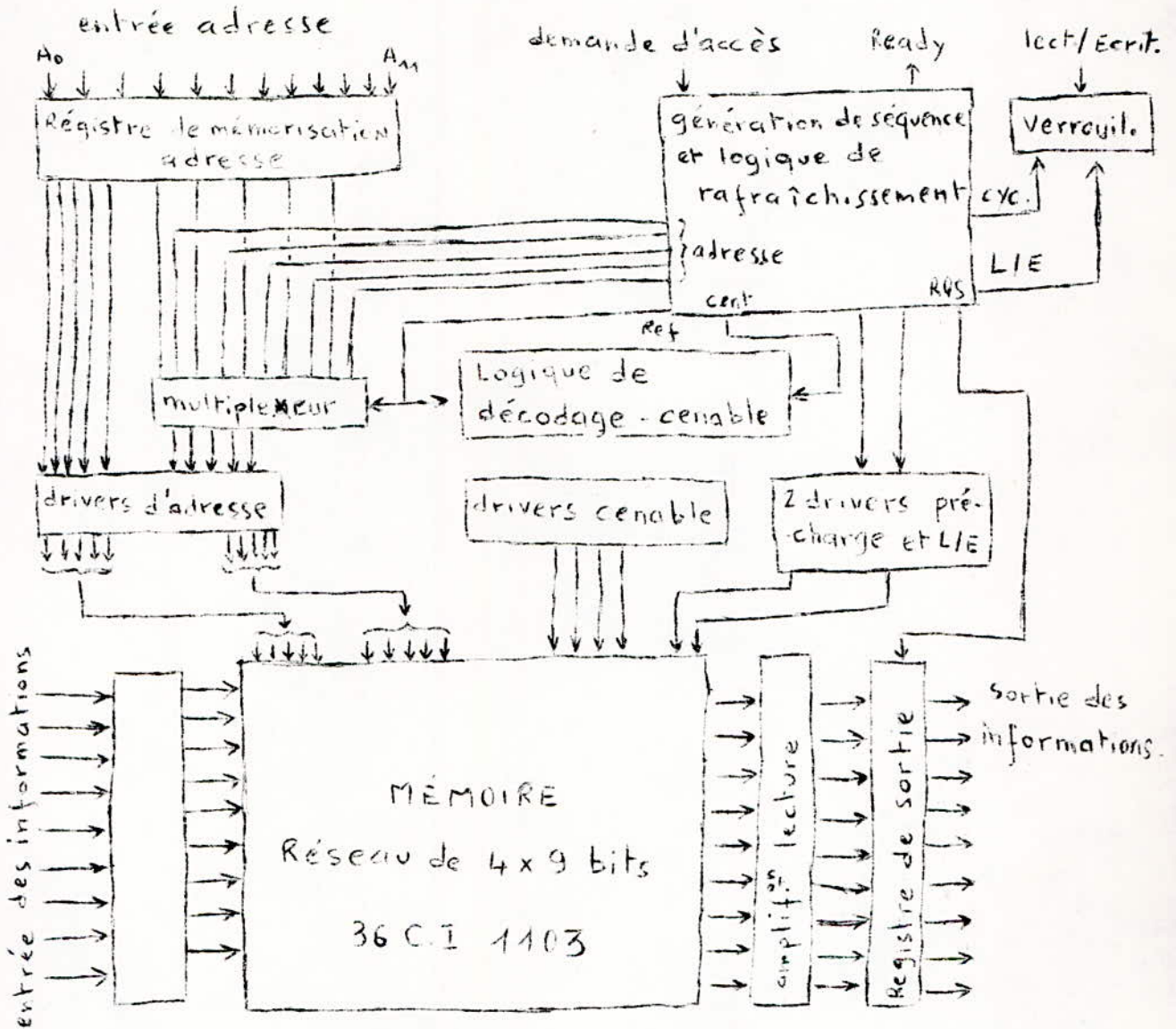
b) Cycle de lecture écriture:

Le cycle de lecture écriture est identique au cycle de lecture jusqu'à la disparition du "précharge"; La lecture s'effectue de la manière au bout de temps T_{po} après disparition du "précharge".

L'écriture peut s'effectuer au bout d'un temps T_{pw} après disparition du "précharge". L'écriture s'effectue par la transition négative du signal écriture lecture qui doit être maintenu négatif pendant le temps T_{wp} , l'information d'entrée devant alors être stabilisée depuis un temps minimum T_{dw} avant la transition négative du signal d'écriture lecture.

7) Réalisation d'une mémoire de 4096 mots de 9 bits

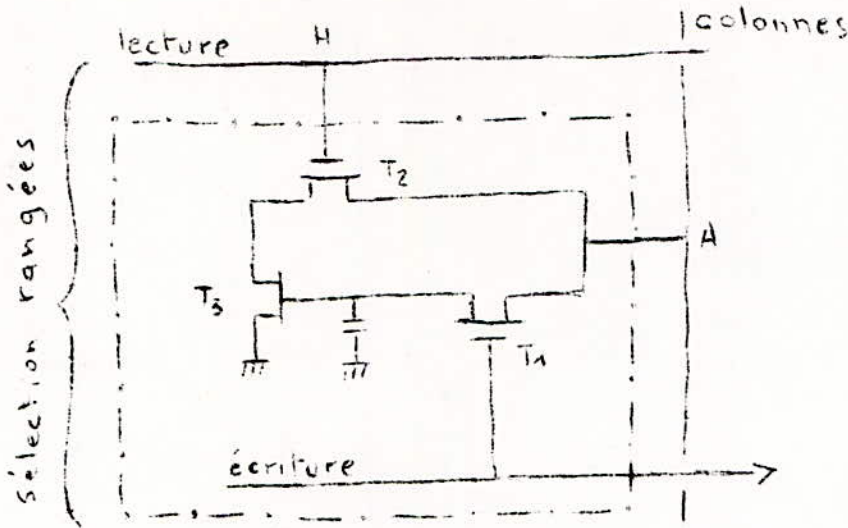
(fig II 23).



- FIG II 23 -

II. 3.2. 1.2 LA RAM DYNAMIQUE MK 4006 MOSTEK

c'est un autre type de RAM dynamique, très avancé, de 1024 mots de 1 bit. Elle ne serait guère différente, en principe, de la précédente si elle n'avait été réalisée par implantation ionique, et si elle ne comprenait des étages inverseurs avec charges MOS à déplétion. Rappelons que la charge à déplétion est conductrice en l'absence même de signal de grille, ce qui permet de gagner en temps de commutation. De ce fait, il n'est plus besoin de commande de précharge. La cellule de base de la MK 4006 comprend 3 éléments (fig II 24) :

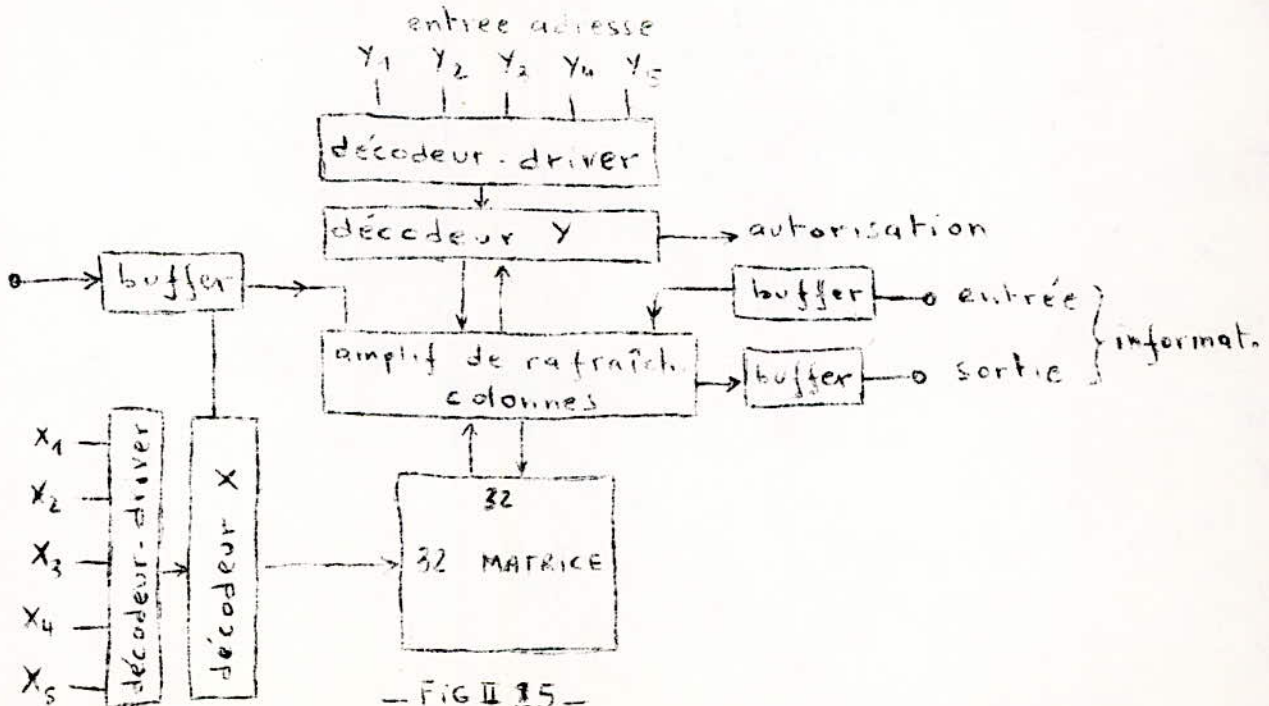


- FIG 21 24 -

Chacune des 32 rangées de sélection des cellules (la mémoire est répartie en réseau de 32 colonnes et 32 rangées) dispose de deux lignes provenant de décodeurs de rangées; toutes les lignes sont au V_{ss} (substrat) pour 31 rangées, mais sont négatives pour la rangée sélectionnée.

En position lecture, le noeud H est négatif et rend conducteur T₂; à l'écriture, c'est J qui, devenant négatif, rend T₁ conducteur. Le point A sert aussi bien à l'introduction qu'à l'extraction des informations binaires.

La figure II 2⁵ donne le synoptique de la M K 4006 et la figure II. 2 6 les séquences de fonctionnement:

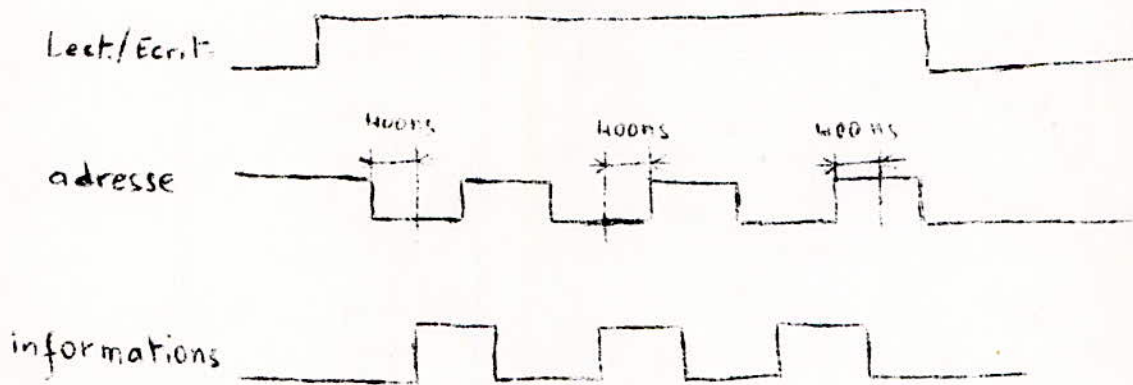


- FIG II 25 -

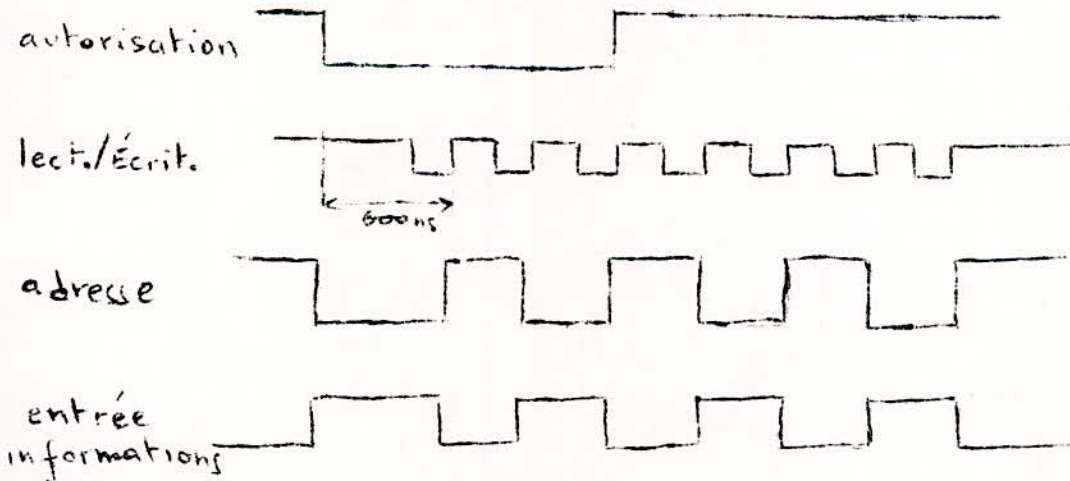
Là encore, le rafraichissement n'occupe qu'environ 1% du $t_{\text{temps utile}}$ (32 cycles 0,65 Ms tous les 2000 Ms).

cette mémoire, comme la précédente et toutes les mémoire MOS plus généralement, peut être assemblée pour constituer des ensembles complexes. La MK 4006 seule consomme 50 Mw et son temps d'accès est inférieur à 400 ns.

lecture (tps d'accès = 400 ns).



écriture / rafraichissement (cycle = 600 ns).

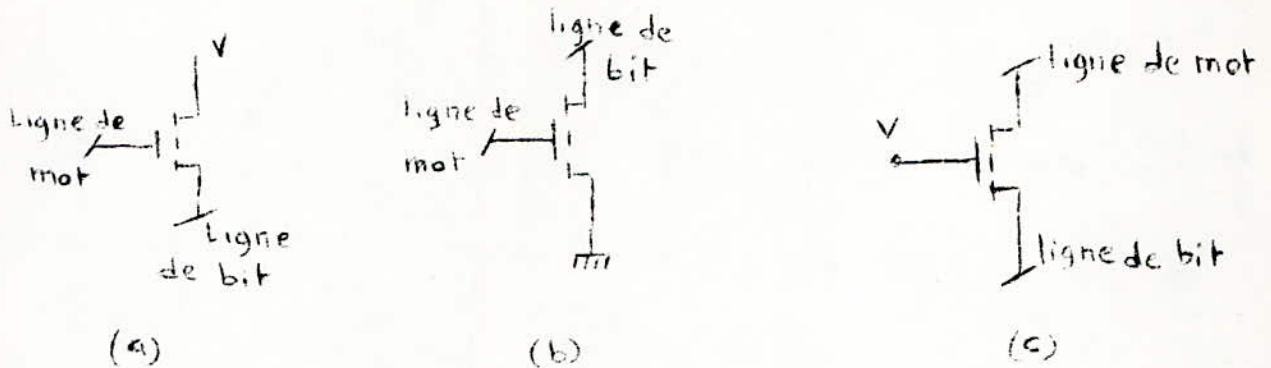


II. 4 LES MEMOIRES MORTES.

Appelées encore ROM (Read only-méory), ce sont des mémoires à lecture seule. Une mémoire morte contient une série d'informations écrites en binaire. Ces informations, contrairement à ce qui se passe dans les mémoires vives, sont écrites pour une application donnée et ne sont généralement pas modifiables. Elles peuvent être ensuite lues à volonté.

L'écriture des données est effectuée en cours de fabrication et n'est pas destructible. Les ROM constituent un domaine important d'application pour la technologie MOS. Elles sont utilisées dans les mémoires de contrôle, les transcodeurs, les générateurs de caractères, la programmation fixe. Dans un ordinateur, elles peuvent remplir le rôle de bloc de calcul et de bloc de commande (microprogrammation). Pour mémoriser l'information, on agit sur l'épaisseur de la couche d'oxyde, placée entre la grille et le substrat. Si cette couche est fine, la tension de seuil du transistor MOS est faible (stockage d'un 1). Si cette couche est épaisse, la tension de seuil est grande (stockage d'un 0). La tension de seuil est donc proportionnelle à la couche d'oxyde. A l'extrême, la création d'une couche épaisse revient à supprimer le transistor M.O.S- En appliquant une impulsion sur la ligne de mot, le transistor MOS à faible tension de seuil conduit tandis que celui à tension de seuil élevée reste bloqué. L'état de conduction et de non conduction d'un transistor MOS en présence d'une impulsion appliquée sur sa grille permet d'identifier la donnée inscrite. La réponse en transitoire d'une telle cellule est rapide, puisque lorsqu'il y a conduction, elle se fait en mode source commune.

La distribution des 0 et des 1 se fait au moyen d'un seul masque pour une organisation déterminée au cours même de la réalisation du circuit intégré, on change le contenu de la mémoire par un simple changement de masque. Donc, l'élimination du cycle écriture permet de simplifier la cellule mémoire qui se réduit à 1 élément (fig II 27) :



- Fig 1 27 -

En a) et b) la tension sur la ligne " Mot " doit être plus élevée que la tension de seuil du transistor pour le débloquer, mais cette ligne n'offre qu'une charge capacitive et l'immunité au bruit est bonne. En c), la tension plus besoin de tenir compte de la tension de seuil, mais l'isolement des lignes " Mot" et " bit " n'est plus assuré aussi parfaitement, et l'immunité au bruit est mauvaise. Fonctionnant en régime d'impulsions, les circuits en a) et b) sont du type dynamique, tandis que le c) est du type statique.

ordres de l'utilisateur; souvent , ce dernier préparera son programme sur carte perforée.

* Remarques.

Les temps d'accès varient entre 300ns et 800 ns pour une mémoire complète; en 1970, le record semblait appartenir à Hughes aircraft, pionnier de l'implantation ionique, qui annonçait une ROM de 2048 bits recourant à cette technique et caractérisée par un temps d'accès de 100 ns.

La densité d'intégration peut, avec les ROM, être très élevée et dépasse plusieurs k bits. Hewlett packard fabriquait en 1971 des ROM DE 4096 bits à MOS, canal N, alors que des 9 K bits étaient annoncées par MONOLITHIC MEMORIES.

enfin, le prix du bit-mémoire qui était de l'ordre de 0,05 F en 1971 par quantité pourrait largement diminuer dans les années à venir.

II.4.2. ROM PROGRAMMABLES PAR L'UTILISATEUR (PROM):

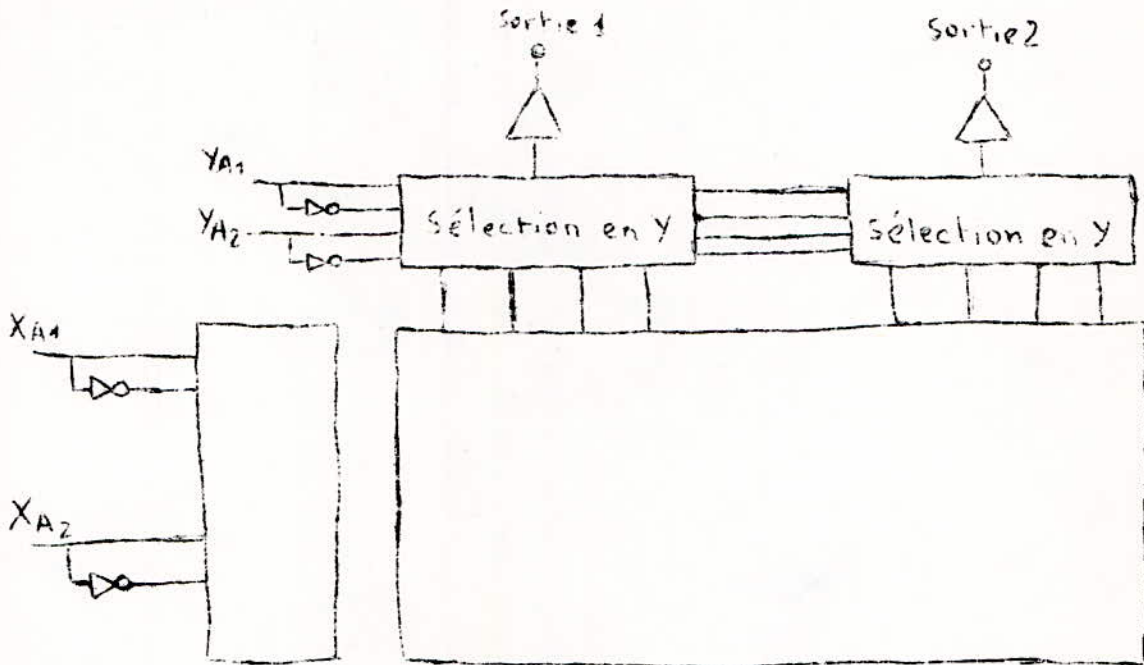
Les PROM sont inscrites électriquement après la livraison des circuits intégrés et ce, par l'utilisateur. L'introduction des PROM rend l'emploi des mémoires mortes plus universel. La souplesse de la programmation est exceptionnelle et permet de travailler avec des circuits intégrés. en petites séries et même unitairement.

Les première PROM en MOS ont été annoncées en 1970 par solid state scientific. Les PROM sont surtout utilisées en microprogrammation.

De nombreuses méthodes de réalisation ont été employées

II.4.1 STRUCTURE DES ROM

Une structure typique d'une ROM est représentée par la figure suivante (fig II 28) :



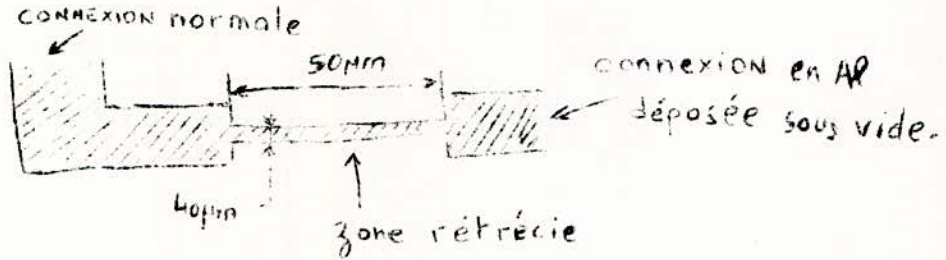
- FIG II 28 -

Il s'agit d'un réseau simple de 16 mots de 2 bits, d'où les MOS servant à enregistrer des zéros ont été exclus. On dispose d'un double circuit de sélection en Y parcequ'il s'agit de mots de 2 bits; la lecture s'effectue en appréciant le courant provenant de l'intersection X Y adressée. La distribution des 0 et des 1, c'est à dire la programmation de la mémoire, est assurée par le fabricant sur mais seules deux techniques semblent actuellement être largement diffusées :

- . La technique dite " à fusible".
- . La technique " par destruction de jonction".

a) Principe du fusible:

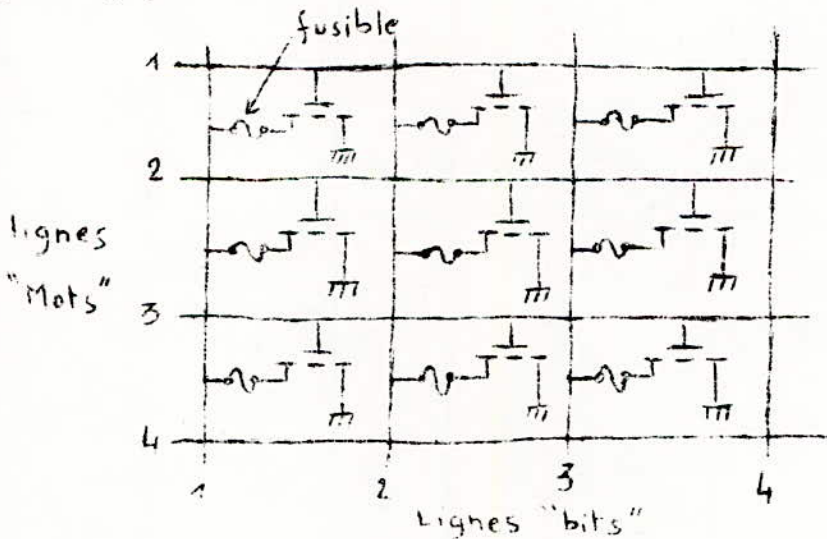
Dans ce type de technologie, la mémoire est construite de telle sorte que chaque ligne de bit est réunie à chaque ligne de mot par une seule jonction polarisée dans le sens direct. En série se trouve un " fusible " constitué par une métallisation de surface fine et étroite (fig II 29).



- FIG II 29 -

La programmation de ce type de mémoire est réalisée en faisant passer dans ce fusible un courant élevé qui le vaporise, créant ainsi le circuit ouvert recherché. considérons par exemple un réseau de 9 MOS (fig II 30). Le fusible étant intact, le MoS adressé fournira le 0; le fusible étant détruit, le MOS fournira un 1.

La destruction du fusible est assurée par une rampe de courant de quelques dizaines de milliampères. On s'arrange pour que le métal fondu ne se volatilise pas au hasard, mais se "rétracte" comme si le métal était absorbé par les bords qui restent nets.



- FIG II 30 -

b) METHODE PAR DESTRUCTION DE JONCTION.

Mise au point par intersil, cette méthode consiste à court-circuiter de façon sélective des jonctions à semi-conducteur en appliquant des séries d'impulsions de courant (fig II 31).

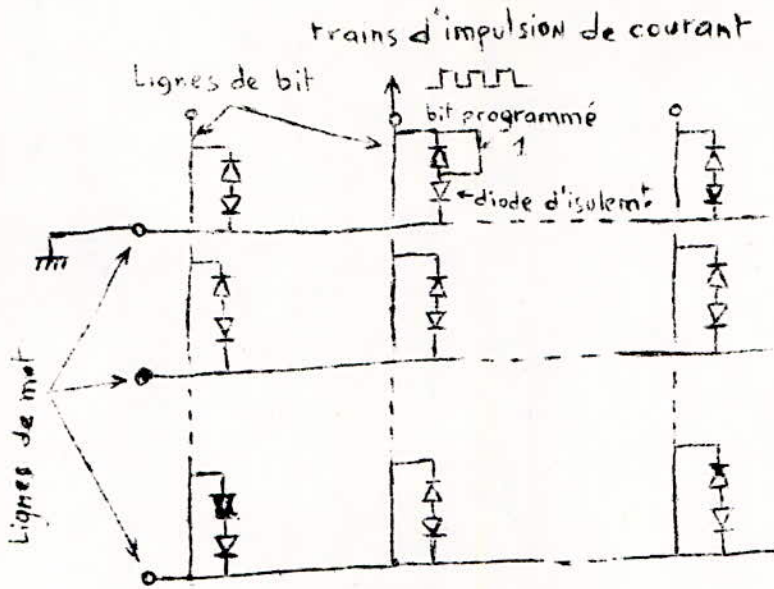


Fig 131

La mémoire est construite sous forme matricielle de N mots de n bits chacun. Chaque Ligne de mot est réunie à chaque ligne de bit par deux diodes tête-bêche correspondant à un circuit ouvert. Tout se passe comme si, à l'origine, les lignes de mot n'étaient pas réunies aux lignes de bit.

La programmation consiste à court-circuiter une des deux diodes au niveau d'un bit préalablement choisi. Pour ce faire, la ligne de mot correspondante est mise à la masse, tandis que sur la ligne de bit, on applique un train d'impulsions de courant. Celui-ci n'a aucun effet destructif sur la diode polarisée en inverse est amenée en régime d'avalanche. Si l'amplitude des impulsions est bien calibrée, leur effet est tel que l'on provoque une fusion locale de la jonction, mettant celle-ci en court-circuit. La ligne de bit et la ligne de mot correspondants sont maintenant réunies par une seule diode polarisée en sens direct qui joue seulement le rôle de diode d'isolement.

La mémoire étant construite de telle sorte que, à l'origine, tous les bits soient à l'état 0, le bit ainsi programmé passe à l'état 1.

Les avantages présentés par la technique à destruction de jonction sont de deux ordres: la fiabilité (il n'y a plus de métal vaporisé) et le prix.

* En conclusion, les avantages des ROM programmables par l'utilisateur sont nombreux.

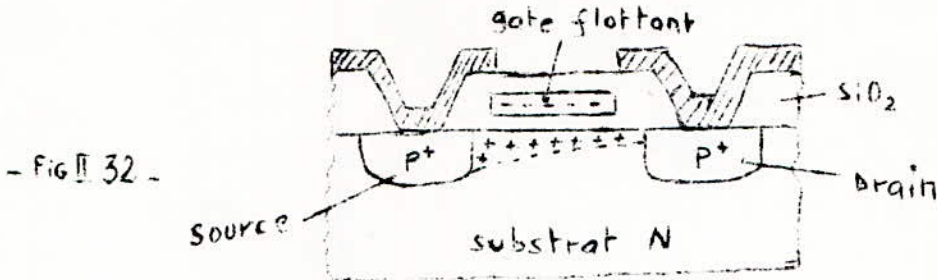
Pour le fabricant, ne pas réaliser la programmation au cours de la fabrication lui permet de fabriquer un produit parfaitement standard; il en découle une réduction du prix de revient.

. Pour l'utilisateur, l'emploi des ROM programmables lui permet d'éviter les frais de masquage spécial nécessaires avec les ROM classiques. D'autre part il est possible d'obtenir en quelques minutes une mémoire programmée selon un nouveau code.

II.4 3 LES PROM REPROGRAMMABLES (REPROM)

Cette catégorie de PROM qui pourraient, éventuellement, être effacées puis reprogrammées, a été annoncée par INTEL avec la mémoire 2048 bits types 1601/1701, dans laquelle la mémorisation est assurée par avalanche.

La technologie utilisée présente plusieurs particularités intéressantes qui sont, d'une part, le mode de rétention de l'information et, d'autre part, ses modes de lecture, d'écriture et d'effacement. Le support mémoire est constitué par le gate flottant d'un transistor MOS à canal P dont le schéma de structure est:



Il tire parti du fait qu'une charge électrique peut être stockée par un conducteur et retenue pendant plusieurs siècles par un diélectrique de faible conductivité, sans l'aide d'aucune source de puissance extérieure. Le conducteur, matérialisé par le gate du transistor, est isolé du substrat par une épaisseur d'oxyde de silicium de 1000 Å, et de la surface externe par une couche d'oxyde de 1 micron.

* Lecture.

L'opération de lecture revient à détecter la présence de la charges électriques dans les gates des transistors constituant le mot mémorisé que l'on désire sélectionné. Ceux-ci de part leur constitution, sont normalement bloqués en l'absence de charges négatives sur leur gate; ces zones drain-source contenant une majorité de trous, et la zone canal contenant une majorité d'électrons constituent, effet, une double jonction PN qui interdit le passage du courant dans un sens comme dans l'autre.

Lorsqu'une charge négative est placée dans le gate, celui-ci induit dans le canal une certaine quantité de trous et y crée, ainsi, une zone de conduction entre drain et source. Ainsi on est ramené à une structure de mémoire

conventionnelle. La valeur 1 donnée pour une absence de charge et la valeur 0 pour une présence de charge définissent l'état de l'information enregistrée.

* Ecriture.

L'opération d'écriture revient à implanter dans les gates flottants des transistors sélectionnés une quantité d'électrons suffisante pour les rendre conducteurs. ceux ci sont prélevés dans le substrat et l'énergie qui leur permet de traverser la barrière isolante les séparant du gate est obtenue par effet d'avalanche. l'enregistrement d'une information se fait par mise à zéro sélective de certains bits. Cela implique qu'ils soient tous, au préalable, entièrement mis à 1 ou, en d'autres termes, que la mémoire soit totalement effacée.

Les informations peuvent être effacées en soumettant le circuit intégré à à l'ultra violet; ce rayonnement ionisant crée des paires électron trou qui déchargent les gates. Puis, on reprogramme la mémoire.

II. 5 LES MEMOIRES ASSOCIATIVES (CAM)

Dans les mémoires RAM et ROM, les informations sont mémorisées en des positions- mémoires précises, désignées par leur adresse. Ainsi, pour retrouver une information, on adresse une position de mémoire, il faut savoir précisément la quelle.

Dans les CAM (co ntent adressable ménoiry), l'information est retrouvée sans adresse, en tenant compte uniquement de son contenu. Ce principe s'avère extrêmement intéressant dans les applications où l'on traite de liste d'informations souvent modifiées: on évite ainsi la recherche de l'adresse! En co ntre partie, on demande à la mémoire d'assurer, en plus, des fonctions logiques quisqu'il lui faut procéder à des comparaisons partielles ou compètes de mots pour retrouver l'information. ce type de mémoire n'avait donné lieu à des réalisations commerciales qu'en 1970. Ses applications relévent du triage, de la reconnaissance des formes, de l'accès rapide à des tables ou des listes, et semblent encore à explorer pour l'essentiel.

II. 6 RAM A MOS COMPLEMENTAIRES (C/ MOS):

II.6. 1 LES CIRCUITS C/ MOS.

Un circuit MOS complémentaire comprend des transistors MOS à canal P et à canal N.

L'association de ces deux types d'éléments permet d'éliminer les fonctionnements en source follower qui étaient un obstacle à la rapidité, et d'avoir des consommations faibles à l'état de repos.

la fig II 33 représente un inverseur dans la technique MOS complémentaire. Lorsque l'état sur l'entrée est un niveau bas (zéro volt), le transistor MOS à canal N est bloqué, celui à canal P est conducteur; la sortie est à l'état haut.

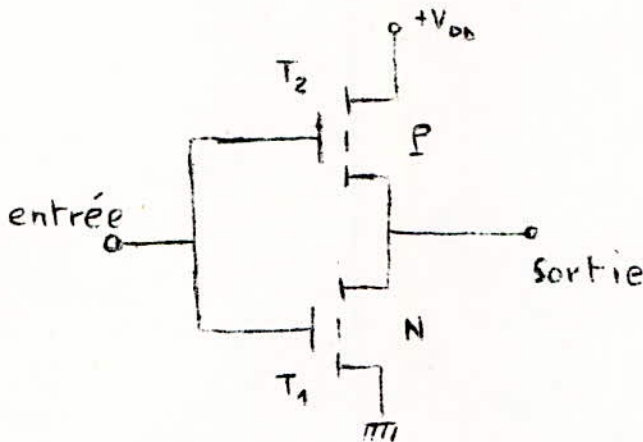


FIG II 33

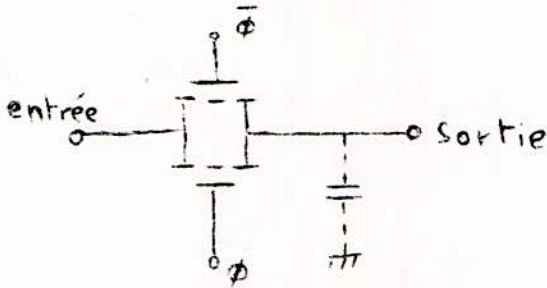
Lorsque l'entrée est à l'état haut, l'inverse se produit et la sortie est à l'état bas. Le circuit se comporte donc comme un inverseur. En fonctionnement l'un des transistors MOS conduit, tandis que l'autre est bloqué. A l'état de repos les deux transistors sont bloqués. Il n'y a donc pas de courant (mis à part les courants de fuite) qui circule entre V_{DD} et la masse.

En transitoire, lorsque l'entrée passe d'un état bas à un état haut, la capacité de la sortie se décharge à travers T_1 fonctionnant en source commune; lorsque l'entrée évolue d'un niveau haut à un niveau bas, le condensateur de sortie se charge à travers T_2 , opérant en source commune. Le node source follower est donc éliminé. De plus, les contraintes de gain sur les éléments de charge et de commutation dans les inverseurs classiques n'existent plus; En effet, l'état bas en sortie ne dépend que de la résistance source drain R_{DS} de l'élément en commutation T_1 . Il n'est pas fonction, comme dans l'inverseur classique, du rapport des résistances source drain R_{DS} du transistor MOS de charge et du transistor MOS de commutation.

la fig II 34 montre une porte de transmission. Les deux transistors MOS sont

simultanément passants ou bloqués. Dans le cas où ils sont tous les deux conducteurs, il y en a toujours un qui opère dans le mode source commune, tandis que l'autre fonctionne en mode source follower est masqué.

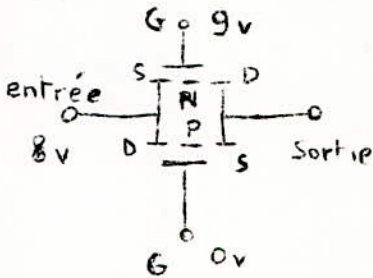
Leur mise en parallèle fait que le mode source follower est masqué.



- Fig II 34 -

Pour mieux comprendre l'avantage de cette porte de transmission, retenons donc que le fonctionnement en source follower existe, mais n'intervient pas. supposons (fig II) que chaque transistor MOS ait une tension de seuil de 2 volts et qu'un potentiel de 0 volt soit appliqué sur la grille de l'élément à canal P et une tension de + 9 volts sur la grille de l'élément à canal N.

Applications sur l'entrée:



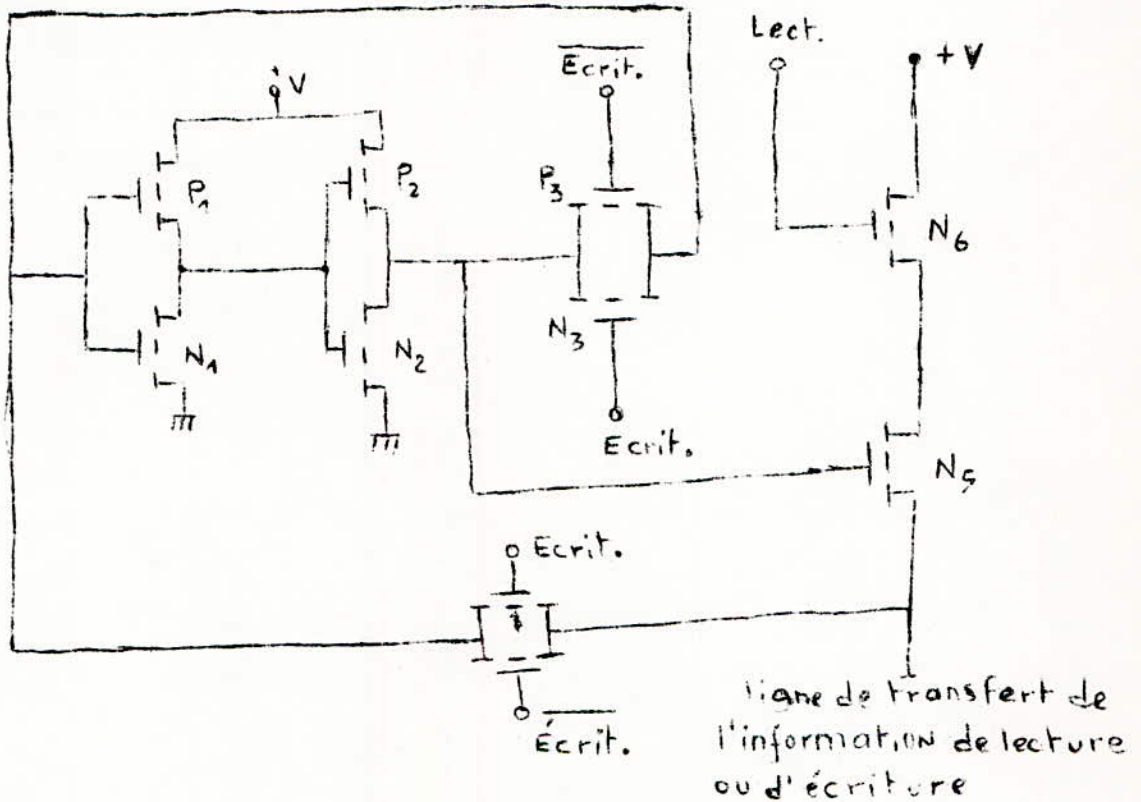
+ 8 volts. les deux transistors MOS s'adaptent de manière à être tous les deux conducteurs. Celui à canal P, dont la différence de potentiel entre la grille et l'entrée, est :

$0-8 = -8v$, choisit l'entrée comme source et fonctionne dans le mode source commune. Celui à canal N, dont la différence de potentiel entre la grille et l'entrée est $9 - 8 = 1$ volt, ne peut être passant que s'il sélectionne la sortie comme source et, par conséquent, opère dans le mode source follower. comme dans la figure II, T_1 et T_2 étant en parallèle, ce dernier mode est la première masqué. Lorsque l'entrée est à zéro volt, c'est le contraire, T_2 fonctionne en source follower et T_1 en source commune;

II 6.2 LES CELLULES EN C/ MOS DE RAM.

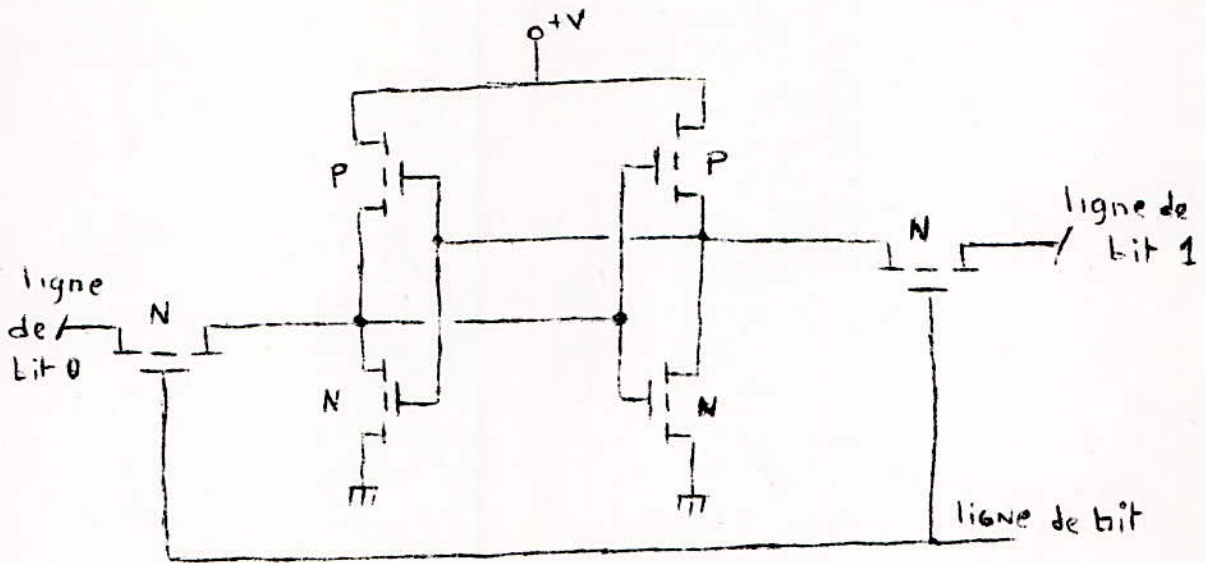
L'association des deux circuits précédents, inverseur et porte de transmission en technologie MOS complémentaire, permet d'obtenir des cellules de mémoire vive très rapides, fonctionnant en statique. (fig II35).

A l'état de repos, la porte de transmission P_3, N_3 est passante et permet le bouclage de la sortie de P_2, N_2 sur l'entrée de l'inverseur P_1, N_1 et P_1, N_1 et P_2 et N_2 forment alors un bistable, donc une cellule de mémoire vive classique. La porte P_4, N_4 est fermée. En lecture, la grille de N_6 est portée à un potentiel positif et rend N_6 passant.



- Fig II 35 -

N_6 passant. Selon que l'information stockée sur la sortie P_2, N_2 est un 1 ou 0, N_5 est conducteur ou bloqué. Si N_5 est passant, un courant s'écoule à travers N_5 et N_6 en écriture, la polarité du signal "écriture" est inversée, P_3, N_3 est bloqué et supprime de bouclage mentionné précédemment. P_4, N_4 conduit et envoie sur l'entrée P_1 et N_1 l'information véhiculée par la ligne de transfert d'information. Cette donnée se propage à travers P_1 et N_1 ; P_2, N_2 , jusqu'à la sortie de P_2, N_2 . A la fin du cycle écriture, le signal "écriture" revient à son état initial et rétablit le circuit bistable. La grande rapidité de cette cellule est obtenue au prix d'un circuit très complexe. On lui préfère la cellule suivante (fig II 36) qui est un peu moins rapide, mais plus simple.



- Fig II 36 -

Le fonctionnement est similaire à la cellule à six éléments du paragraphe II 2.3. En pratique, une cellule en MOS complémentaire ne consomme que quelques nanawatts au repos. Cette consommation est deux à trois fois inférieure à celle de la cellule dynamique à trois éléments. Dans les deux cas cependant, la puissance dissipée par une cellule à l'état de repos est faible et peut être fournie, si des besoins de non volatilité de l'information sont nécessaires, par des batteries.

CHAPITRE III :

Les Perspectives d'Avenir

III 1 ETAT ACTUEL ET AVENIR DES MEMOIRES à C I :

Les mémoires à CI disponibles aujourd'hui utilisent surtout la technologie M O S qui comme on l'a déjà vu présente deux avantages majeurs pour les circuits complexes :

- La réalisation des circuits M O S se fait en un nombre d'opérations plus petit.

- La géométrie des composants permet des dimensions plus restreintes.

Dans une mémoire à CI, le coût du bit dépend essentiellement de la cellule mémoire et est donc pratiquement indépendant de la taille de la cellule. Des efforts considérables ont été faits pour des raisons techniques et économiques afin de développer des circuits de plus en plus complexes. Les raisons techniques sont les suivantes :

- La taille ou la densité
- L'amélioration de l'immunité aux parasites et aux réflexions
- Stabilité plus facile des circuits
- La fiabilité est plus grande.

Actuellement, on réalise des blocs-mémoires à CI. Ceci est caractéristique d'une évolution qui vise à répondre aux besoins d'un marché en croissance rapide. Ainsi, au lieu de laisser l'utilisateur affronter seul la fabrication d'une mémoire avec des CI individuels, on lui fournit des sous-ensembles " prêts-à-l'emploi", directement enfichables.

Les circuits disponibles sont du type 1K et 2K. La sortie des circuits 4 K est déjà faite (MOTOROLA). Un 8 K a été produit expérimentalement chez I B M et, entre autres, les 16 K.

La technologie M O S est donc bon marché et se prête à une intégration de grande échelle.

D'un point de vue technique, la substitution des CI aux tores semble assurée.

En ce qui concerne les temps d'accès, seules les mémoires à CI Progressent encore;

s'agissant des capacités, les potentialités des CI sont supérieures. Enfin, le prix des mémoires à CI deviendra inférieur à celui des mémoires tores vers 1975.

On peut donc assurer que substitution sera complète dans les systèmes nouvellement conçus dès avant 1980 (voir tableaux).

Temps d'accès des RAM

ANNEE	Temps d'accès (ns)
1972	300
1975	150
1980	50 à 100
1985	20 à 100

Prix au bit (centimes)

ANNEE	Prix
1972	4 à 12
1975	2 à 10
1980	1 à 8
1985	0,5

II . 2. LES MEMOIRES A SEMI- CONDUCTEURS AMORPHES.

II . 2.1 LES SEMI-CONDUCTEURS AMORPHES.

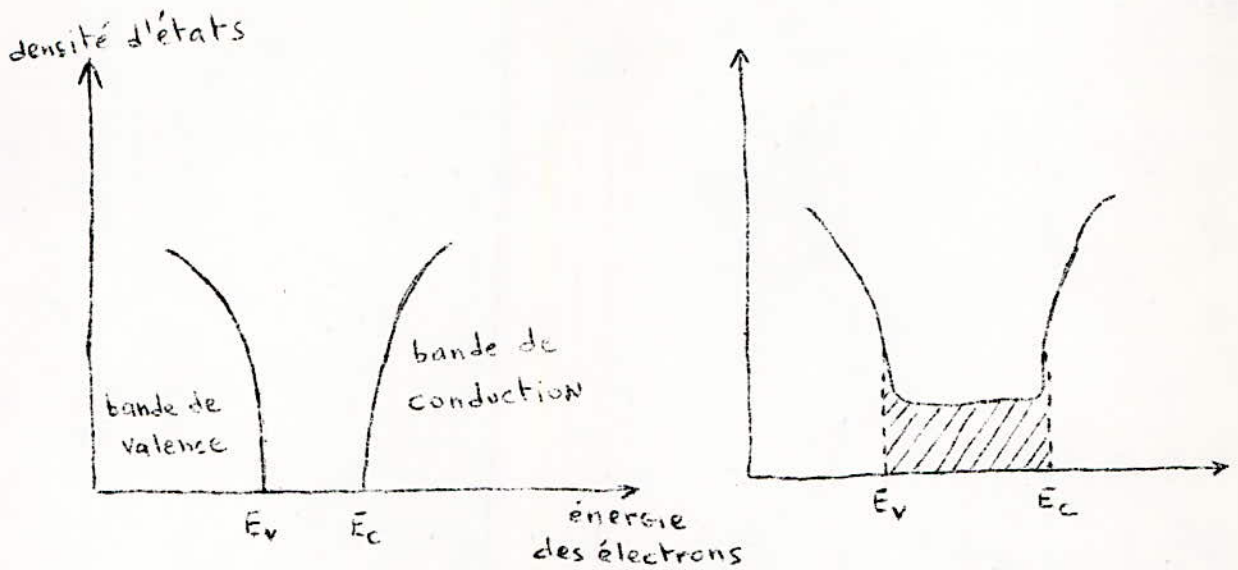
En 1968, le physicien américain S. R Ovshinski annonçait que des verres spéciaux, semi-conducteurs, présentaient des effets de commutation rapide et de mémoire. Ces effets portent, précisément, le nom de leur inventeur.

Les semi-conducteurs amorphes présentent des propriétés différentes des autres cristaux. Si la théorie des bandes d'énergie rend compte du comportement des phénomènes physiques (interaction des électrons, des ondes électro-magnétiques, des vibrations élastiques) dans les cristaux, elle s'avère insuffisante pour expliquer les propriétés des semi-conducteurs amorphes.

L'expérience montre que les semi-conducteurs amorphes sont insensibles au dopage et on montre également que le désordre des atomes y favorise la saturation des liaisons de valence. La structure des semi-conducteurs amorphes est étudiée à partir d'un semi-conducteur amorphe idéal, c'est à dire un solide amorphe ayant des liaisons covalentes et ne contenant pas d'unité structurale plus grande que la molécule. On classe alors les semi-conducteurs amorphes en quatre catégories:

- a) les alliages ternaires qui sont des alliages vitreux d'éléments des colonnes III, IV, V et VI du tableau de Mendeleiev.
- b) les chalcogénides binaires et les éléments semi conducteurs.
- c) les oxydes vitreux contenant des métaux de transition à deux valences.

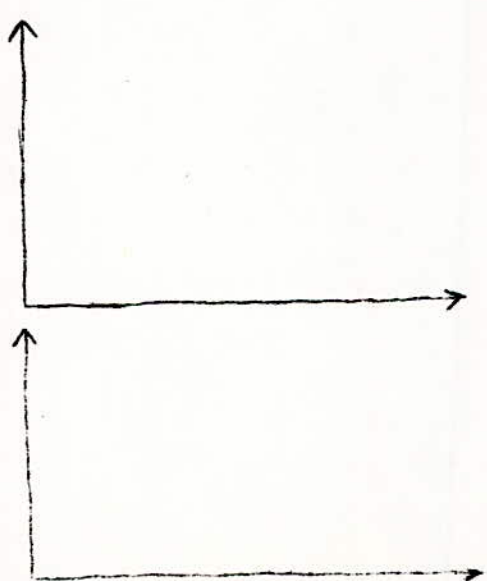
Cependant, on a tenté d'adapter la théorie des bandes aux semi-conducteurs amorphes. Dans un semi-conducteur amorphe idéal, il y a un recouvrement de la bande de valence et de la bande de conduction; il faut toujours une énergie pour briser une liaison de valence et déplacer l'électron ainsi libéré (fig III 1).



semi-conducteur cristallin idéal. Semi-conducteur amorphe idéal.

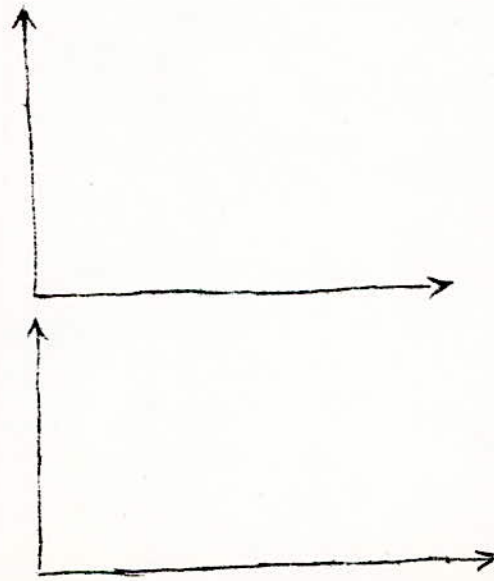
fig III . 1.

On montre que les charges localisées dans les états compris entre E_v et E_c ne sont pas des conducteurs libres; leur mouvement est possible mais difficile. Pour les semiconducteurs amorphes réels, quelques expériences laissent penser que le désordre y est moins parfait que dans le semi-conducteur amorphe idéal, d'où l'hypothèse de l'existence de pics de densité d'états (fig III 2 et fig III 3):



semi-conduct. amorphes réels

FIG III 2



semi-cond. cristallins imparfaits

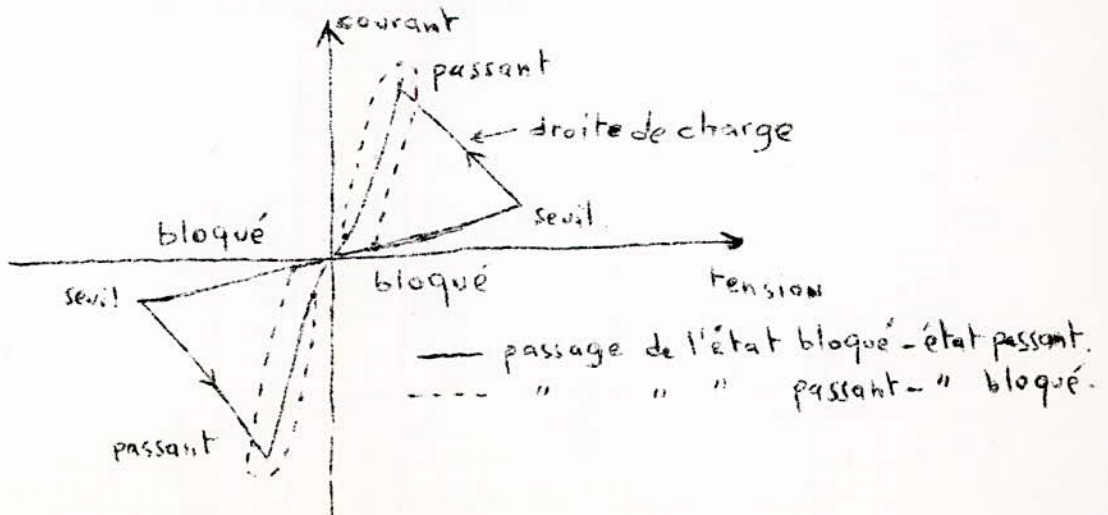
FIG III 3

III .2.2 LE COMMUTATEUR A MEMOIRE.

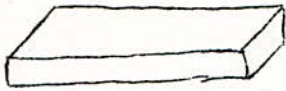
Les circuits correspondants sont des film, d'épaisseur 1 nm, constitués d'un semi conducteur amorphe (aux tellure, germanium, arsenic et soufre) placé entre 2 électrodes. Supposons, à l'état initial, le matériau amorphe à grande résistivité. Quand la tension entre les électrodes augmente, un claquage se produit. La conduction démarre, le courant dissipe de l'énergie et le chemin de conduction se stabilise: le matériau est encore amorphe. Après quelques millisecondes le courant (5 à 10 mA) est annulé, le canal de conduction disparaît et fait place à un canal cristallin de faible résistivité. On ramène le commutateur à mémoire dans son état bloqué à l'aide d'une impulsion de courant rétablissant le désordre dans le matériau qui redevient amorphe: durant cette impulsion, le courant doit être plus intense (150 mA) que celui de l'impulsion qui l'a fait basculer dans l'état passant, mais sa durée est plus courte (5 μ s par exemple).

Les semi-conducteurs amorphes présentent donc la propriété de passer de l'état amorphe à un état beaucoup plus ordonné, et inversement, lorsqu'il leur est fait un apport énergétique extérieur. C'est cette modification de structure, qui s'accompagne d'une modification considérable de la résistance, qui est directement exploité dans les mémoires.

forme de la caractéristique du commutateur à mémoire (fig III 4) :



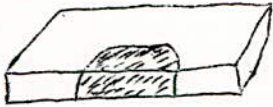
Etablissement de l'état passant



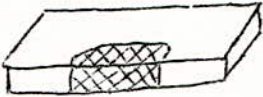
état initial : matériau amorphe à grande résistivité



L'impulsion de tension appliquée au matériau dépasse la valeur de seuil ; la conduction démarre ; le matériau est encore amorphe.



le canal conducteur s'étend puis se stabilise à mesure que l'énergie dissipée par la conduction se manifeste ; le matériau est amorphe.



après la suppression du courant le matériau devient cristallin et à faible résistivité dans la zone du canal.

Rétablissement de l'état bloqué

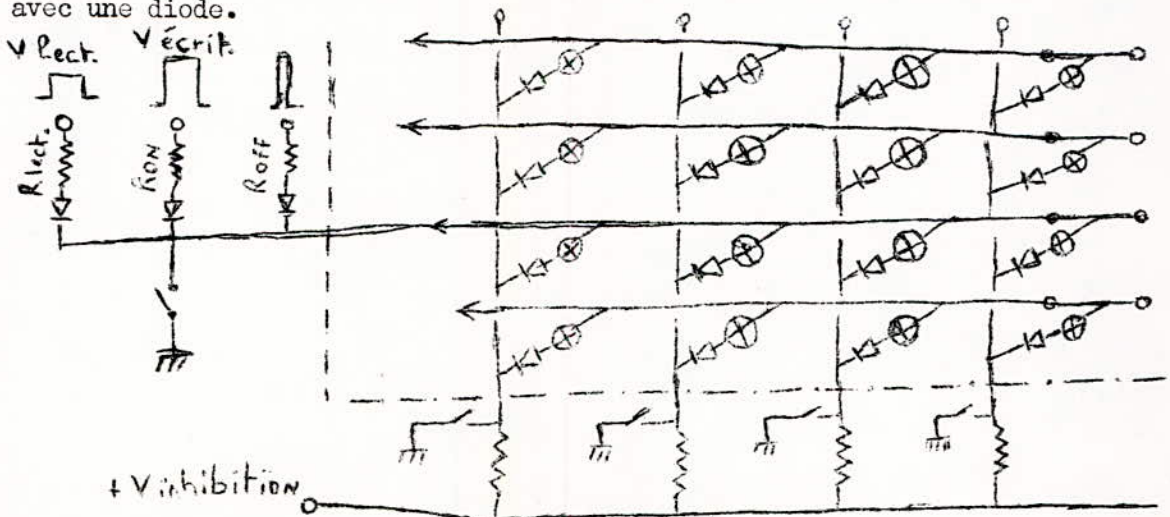


une impulsion de courant brève mais intense détruit l'ordre cristallin et ramène le matériau dans l'état amorphe. après la suppression du courant, retour à l'état initial.

II 23 UNE MEMOIRE A SEMI-CONDUCTEURS AMORPHES LA RMM 256

C'est la première mémoire morte reprogrammable de 256 bits et commercialisée sous le nom de "Read Mostly Memory" (R M M) par la société Energy conversion devices. Elle est basée sur l'utilisation des semi-conducteurs amorphes.

La mémoire de 256 bits est distribuée en réseau de 16 mots de 16 bits (fig III 5). Chaque point-mémoire est symbolisé par une croix cerclée en série avec une diode.



Les propriétés sont :

- la non-volatilité. Supposons que l'on ait enregistré un programme dans les ROM, le programme est conservé.

- La reprogrammation. Mais à l'inverse des ROM, inscrites une fois pour toutes, il est possible et aisé d'effacer un programme enregistré dans la R M M pour le remplacer par un autre. Avec la RMM, ce contenu peut être modifié électriquement, soit en laboratoire ou en usine, soit en cours d'exploitation. Dans tous les cas, l'équipement à prévoir à cet effet est de faible importance puisqu'il peut, à la limite, être incorporé dans le système utilisateur, permettant ainsi une reprogrammation dynamique de la mémoire.

La puissance de maintien nulle. Cette propriété est toute nouvelle: On sait que l'on tend, par tous les moyens, à réduire la consommation des mémoires intégrées. Avec les MOS et les MOS complémentaires, cette puissance se mesure en nanowatts à l'état stable. OR, avec les semi-conducteurs amorphes, cette consommation est rigoureusement nulle à l'état stable!

Pratiquement, la RMM 256 est donc une pastille monolithique de 3mm de côté, montée dans un boîtier BIL à 40 broches.

La lecture de la mémoire, qui se fait à faible niveau, est non destructive et s'effectue en un cycle de 100ns, tandis que l'écriture requiert des temps de l'ordre de 2 à 10ms. La lecture correspond, en fait, à une mesure de résistance. C'est cette dissymétrie des temps de lecture et d'écriture qui fait du RMM 256 une mémoire à lecture fréquente et à écriture rare. D'autre part, cette mémoire est d'accès aléatoire.

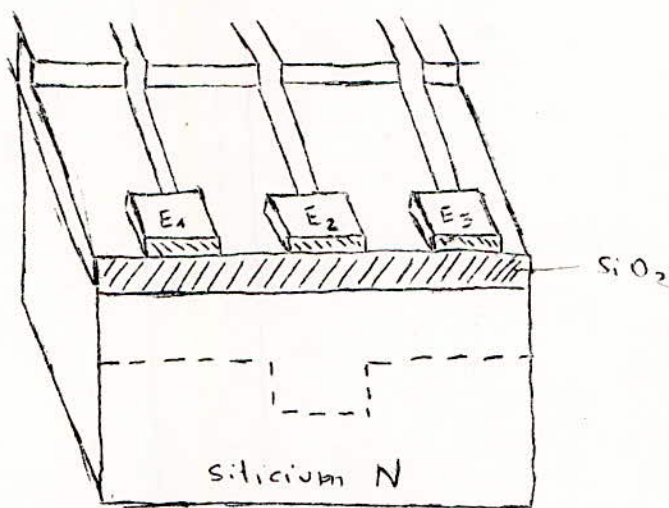
Quant aux applications, la RMM 256 permet des réalisations dans tous les domaines faisant appel aux techniques digitales, des automatismes et de la conduite de processus. Dans les ordinateurs, le ROM servant à

l'émulation et à la microprogrammation pourront être conçues en des temps très courts et à faible prix par rapport aux techniques actuellement utilisées.

III 3 LES MEMOIRES A DECALAGE

III 3 1 MEMOIRES C C D :

La figure IV 6 represente la coupe d'une chaîne de trois éléments à transfert de charge, tels qu'étudiés aux Bell LABORATORIES sous le nom de C C D (charge coupled devices : éléments à couplage de charge) et annoncées en 1970.



- Fig III 6 -

Sur un substrat de silicium de type N est déposée une couche mince de dioxyde de silicium sur laquelle apparaissent des électrodes métalliques et leurs connexions. Si les électrodes E 1 et E 3 sont au même potentiel négatif, - 5 v par exemple, mais si E 2 est à - 10 v, des charges positives (les porteurs minoritaires) s'accablent sous cette dernière électrode. C'est là un principe relevant du fonctionnement des M O S . Ainsi on crée un "puits" positif sous E 2 (fig III 7b).

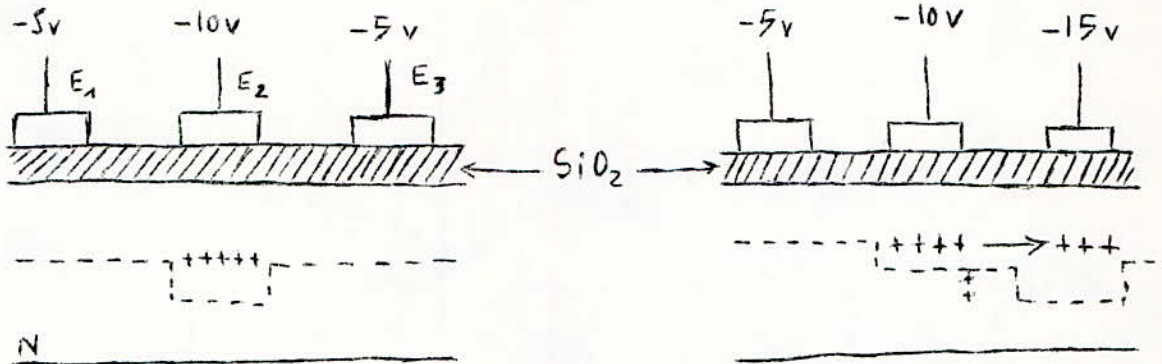


FIG III 7b

FIG III 7c

Appliquons maintenant -15 v à E_3 : la charge positive présente sous E_2 va tomber dans le puits créé sous E_3 : la charge a été transférée.

Une commande triphasée permettra le fonctionnement qui vient d'être décrit, donc la réalisation de fonctions " mémoire " et " registre à décalage " comme le montre la figure III 8.

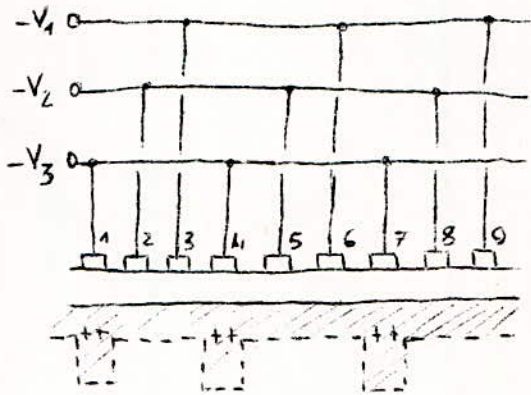
En a), la ligne V_3 est plus négative que les lignes V_1 et V_2 : les charges s'accumulent sous les électrodes qui en dépendent.)

En b), c'est V_2 qui est plus négative et la charge est transférée sous les électrodes qu'elle commande.

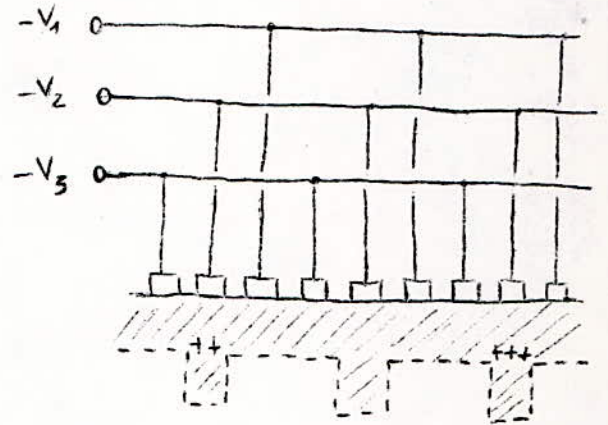
En c), V_1 et V_3 sont devenues égales, V_2 restant plus négative : les charges restent piégées sous ses électrodes. Ce fonctionnement est donc type dynamique ; la durée du stockage des porteurs minoritaires est limitée par la création des paires électron-trou par effet thermique et pourrait atteindre la seconde.

La vitesse de transfert des charges permettant de travailler à plusieurs mégahertz.

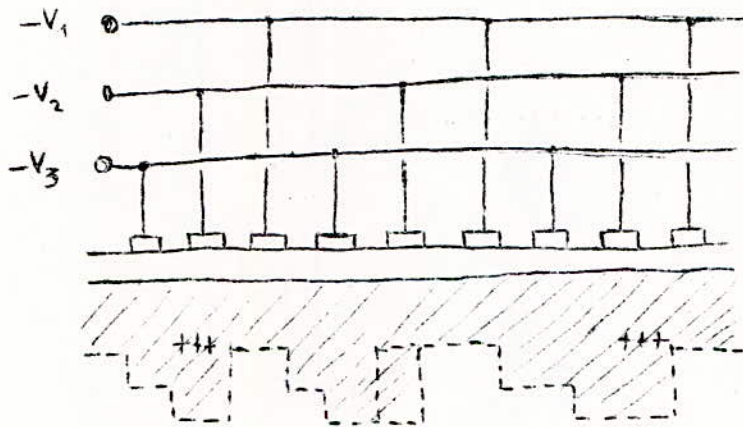
La description du " triplets " ci dessus a montré, accessoirement, qu'aucune diffusion n'a été nécessaire pour le réaliser ; d'autre part, il n'existe aucune jonction entre semi-conducteurs à dopage différent ; enfin, les masquages ont été réduits au



(a) $V_3 > V_1$; $V_1 = V_2$



(c) $V_2 > V_1$; $V_1 = V_3$



(b) $V_2 > V_3 > V_1$

- FIG III 8 -

minimum et aucune fenêtre n'a été ouverte dans l'oxyde. Tout cela contribue non seulement à simplifier la structure mais encore, et bien entendu, à en réduire le prix: moins d'opérations, moins de place occupée sur le silicium.

L'espace entre deux électrodes est très petit et il est nécessaire d'utiliser des techniques spéciales pour la fabrication des C C D. Pour écrire une information ou la lire, il faut effectuer deux diffusions. L'information, caractérisée par des porteurs minoritaires, est altérée par des recombinaisons électrons-trous et doit donc être périodiquement régénérée. La dissipation est de l'ordre de 5 microwatts par bit. Or, ces éléments dont on attend beaucoup, souffrent de limitations :

- . D'une part, la vitesse de transfert est limitée.
- . D'autre part, une perte de charge se manifeste à chaque transfert car, en réalité, toute la charge ne passe d'une cellule à l'autre.

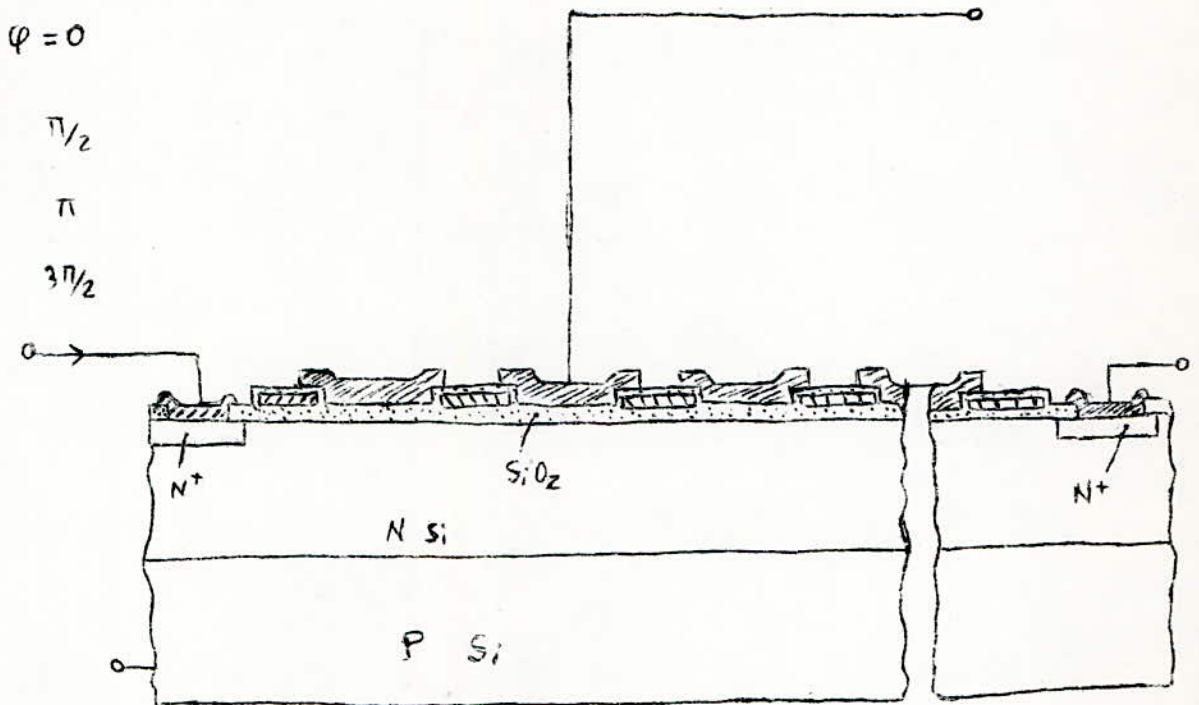
Interdépendantes, ces deux caractéristiques de vitesse et de pertes de charge résultent d'un compromis : si l'on réduit la fréquence d'horloge, on aura le temps de transférer un taux plus élevé de la charge.

Affrontant ce problème, les laboratoires de PHILIPS ont créé un circuit à transfert de charge amélioré qui résulte de l'observation suivante : la vitesse à laquelle la charge stockée par un condensateur est transférée à un élément voisin dépend essentiellement de la vitesse avec laquelle la dernière fraction utile de la charge est transférée.

Ce nouveau circuit est nommé "peristaltic charge coupled device", soit P C C D (fig IV 9).

Il est conçu de façon que la dernière fraction de charge se trouve dans la masse même du silicium N, car la mobilité des porteurs est plus grande au sein du matériau qu'au voisinage de la surface ; cette dernière fraction se trouve en outre accélérée par un fort champ électrique.

Quant au reste de la charge, c'est-à-dire l'essentiel, elle se trouve proche de la surface et son transfert n'exige qu'une faible tension de commande.



- Fig III 9 -

La manière dont la charge d'espace, ce " nuage" de charge, est propulsé d'une cellule à l'autre fait songer à un mouvement péristaltique, d'où le nom donné à ce circuit.

En se referant à la vue en coupe de la figure III,9, on voit que les charges sont introduites, à gauche, via la jonction métal - silicium N^+ . Les électrodes des condensateurs sont soumises à des signaux d'horloge déphasés, par exemple, de 90° , qui propulsent ces charges vers la droite où elles sont récupérées par l'électrode de sortie.

Un P C C D expérimental, conçu dans les laboratoires PHILIPS, s'est ainsi révélé capable d'un rendement de 99,99 % à une fréquence d'horloge supérieure à 100 M H z ; la perte de charge au cours d'un transfert n'est donc plus que de 0,01 %

ce qui est important puisque l'on pourra, ainsi, recourir à des transferts sur plus de 1000 pas successifs.

En conclusion, on pense que le P C C D pourrait travailler, à l'avenir, jusqu'à 1 G H z.

En ce qui concerne l'application des CCD aux mémoires, tous les grands laboratoires, aux Etats-Unis, ont un programme de développement. Ainsi, une firme américaine a mis au point un registre à décalage CCD stockant 4096 bits, qui serait prochainement commercialisé et une seconde mémoire CCD de 8192 bits, pourrait être, ensuite, mise sur le marché.

Pour la réalisation des mémoires CCD, plusieurs technologies sont disponibles :

- Mémoires à électrodes adjacentes (une couche unique de métallisation). Le problème de l'entrefer séparant deux électrodes est, ici encore, crucial.

- Mémoires à électrodes se recouvrant partiellement : il n'y a plus d'entrefer, donc plus de barrière de potentiel entre deux puits de potentiel successifs.

Cette seconde conception a été adopté par IBM dans un module de mémoire CCD de 5760 bits, employant six circuits CCD de 960 bits. Chacun des circuits est constitué par deux séries de 480 cellules de mémoire, avec rafraîchissement après passage de l'information binaire dans des blocs de 48 cellules.

Une technologie semblable est par GENERAL ELECTRIC pour une mémoire de 4096 bits. Selon IBM, il serait possible de réaliser une mémoire de masse de 100 mégabits avec des circuits CCD. Le temps moyen d'accès à l'information serait inférieur à 0,5 milliseconde, et la vitesse de transfert des données serait supérieure à 32 mégabits par seconde.

Chez SIEMENS, on a tenté d'améliorer les performances de mémoires CCD à électrodes adjacentes en implantant 2×10^{12} ions de bore par centimètre carré dans

le substrat, entre les électrodes. On réduit ainsi la barrière de potentiel sous l'entrefers ; cette technique permet de tolérer de larges entrefers (jusqu'à 7 microns) ce qui conduit à des coûts de fabrication moins élevés.

Aux BELL TELEPHONE LABORATORIES, ce sont des mémoires CCD à canal enterré qui sont étudiées. Les fréquences de fonctionnement atteignent plusieurs centaines de mégahertz, et le gigahertz devra être atteint dans les futurs circuits. On gagnerait ainsi, en vitesse, un facteur 100 sur les autres structures CCD. Le temps d'accès d'une telle mémoire, stockant plusieurs dizaines de milliers de bits d'information pourrait, alors, être ramené au-dessous de la nanoseconde.

Résumons les principales performances des mémoires CCD :

- Capacité : 10^7 à 10^{10} bits
- Densité : 10^2 à 10^4 bits/cm² (10^4 à 10^6 entre 1980 et 1985)
- Temps d'accès : 1 ms à 100 ns
- Débit : 10^7 à 10^9 bits/s
- Prix : 0,01 à 0,1 centime/bit en 1975
($3 \cdot 10^{-3}$ en 1980 , 10^{-3} en 1985).

On a vu que des temps d'accès inférieurs semblent possibles. Ces mémoires, si elles trouvent un marché, devraient être nettement moins chères que les autres mémoires à circuits intégrés : leur niveau d'intégration serait double de celui des M O S ; il y aurait en outre moins de connexions et de circuits périphériques.

III 3 2 MEMOIRES A BULLES MAGNETIQUES

III 3 2 1 THEORIE SUCCINTE DU FERROMAGNETISME :

Aux faibles températures, les moments magnétiques électroniques d'une substance ferromagnétique ont pratiquement tous la même orientation lorsqu'ils sont vus à une échelle microscopique. Cependant, en examinant l'échantillon globalement, le moment total peut-être très inférieur à celui correspondant à la saturation : il peut être nécessaire d'appliquer un champ magnétique extérieur pour saturer l'échantillon.

P. E. WEISS a expliqué ce phénomène en supposant que les échantillons réels sont composés d'un certain nombre de petites régions, appelées domaines, à l'intérieur desquelles l'aimantation est saturée ; les directions d'aimantation ne sont pas nécessairement parallèles (fig III 10).

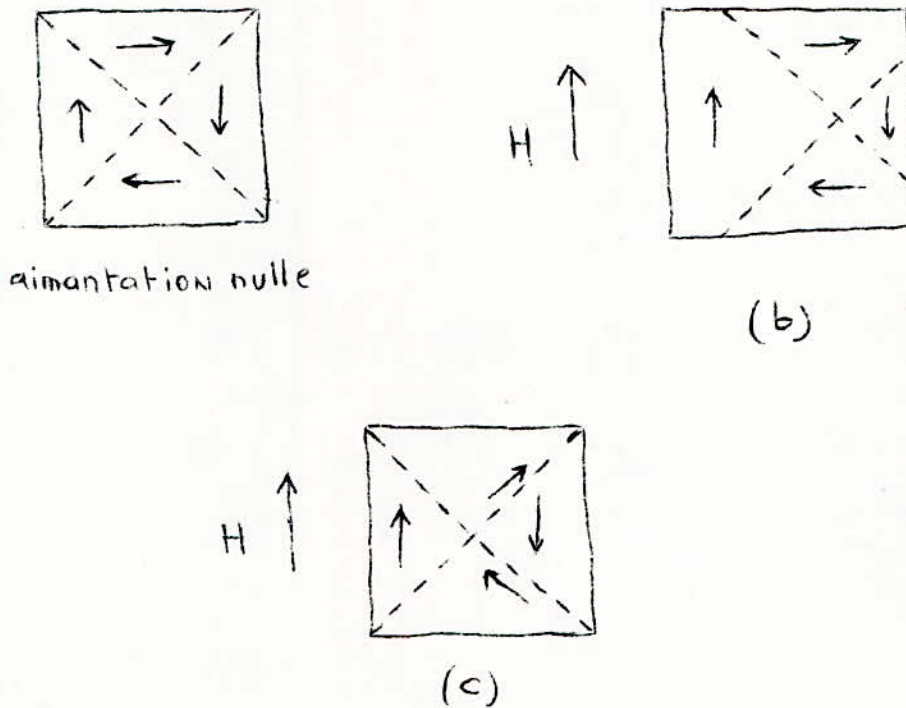


FIG III 10

R. BECKER a suggéré le concept suivant lequel toute augmentation du moment magnétique résultant, dans une substance, sous l'effet d'un champ magnétique externe, se fait suivant deux processus indépendants :

- Par variation de volume des domaines qui sont favorablement orientés par rapport au champ (fig III 11 b).

- Par rotation des directions d'aimantation dans le sens du champ.
(fig III 11c).



- Fig III 11 -

Dans les champs faibles, les variations de l'aimantation sont généralement dues aux déplacements des limites des domaines, de sorte que la taille des domaines varie.

Dans les champs forts, l'aimantation varie par la suite de la rotation de la direction d'aimantation. La structure en domaine est la conséquence naturelle des énergies mises en jeu au sein d'un corps ferromagnétiques de façon générale, un accroissement du nombre de domaines, dans un monocristal, permet de diminuer les valeurs des différents types d'énergie, mais corrélativement, l'étendue des parois, dites parois de Bloch, séparant deux domaines adjacents, augmente, ainsi que l'énergie qui y est localisée. Les dimensions et formes des domaines résultent d'un équilibre entre les diverses formes d'énergie en présence : l'énergie d'anisotropie (ou énergie magnétocristalline), en particulier agit de telle manière

que l'aimantation tend à s'orienter selon certains axes cristallins, bien définis, appelés direction de facile aimantation ; les directions dans lesquelles il est moins aisé d'aimanter le cristal sont dites directions de difficile aimantation . Il faut dépenser une quantité d'énergie, souvent beaucoup plus considérable, pour aimanter un cristal à saturation dans une direction difficile que pour l'aimanter suivant une direction d'aimantation facile : l'excès d'énergie requis dans la direction difficile est l'énergie d'anisotropie.

III 3 2 2 OBTENTION DES BULLES MAGNETIQUES :

Considérons, sous un projecteur de lumière polarisée, une lame à faces parallèles, taillée dans un cristal ferromagnétique, perpendiculairement à l'axe de facile aimantation (fig III 12)

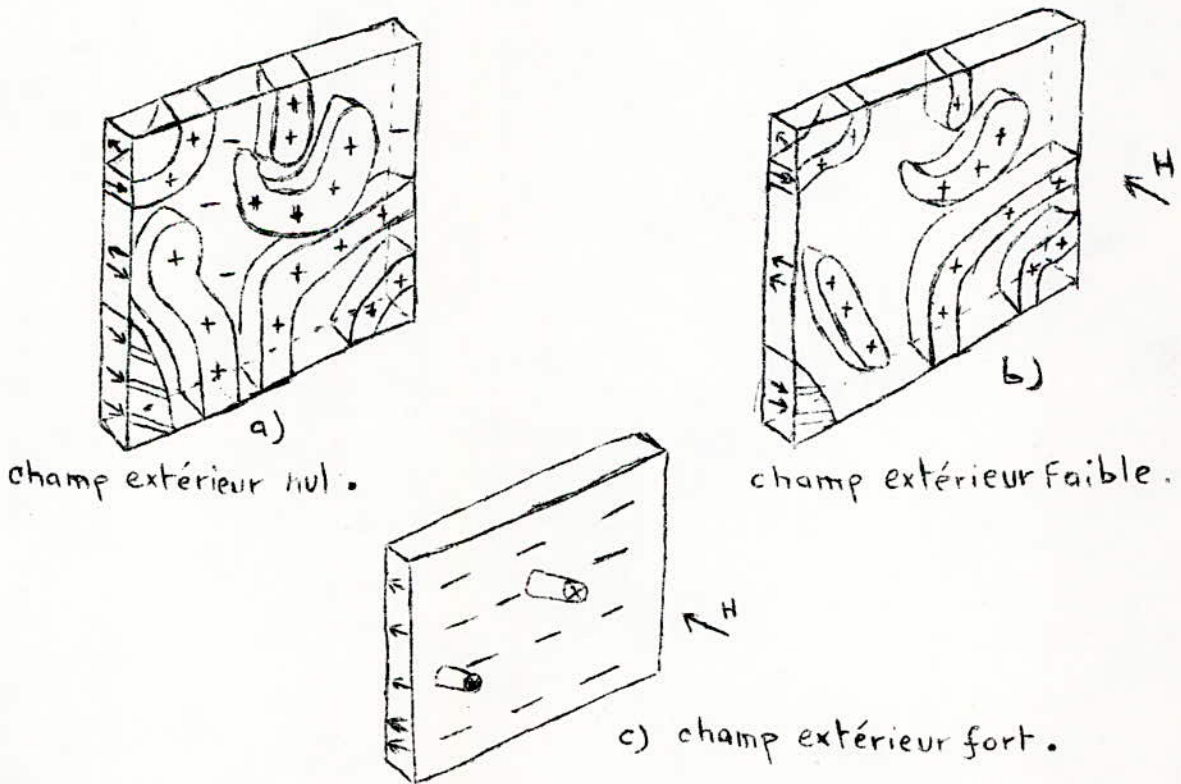


Fig III 12

En l'absence de champ magnétique extérieur, la lame se trouve divisée en domaines positifs et négatifs en forme de serpentins. L'application d'un champ magnétique externe modifie la répartition initiale des domaines, et l'accroissement de ce champ diminue l'épaisseur des serpentins dont l'aimantation est de sens opposé à celui du champ, jusqu'à finalement, obtenir des domaines cylindriques, les bulles. Celles-ci viennent à disparaître si le champ externe est encore accru. Selon le matériau utilisé, les bulles ont un diamètre s'étalant entre quelques microns et quelques dixièmes de millimètre. Le diamètre des bulles est également lié à l'épaisseur du film magnétique : on démontre que la plus grande stabilité du domaine est obtenue quand l'épaisseur du film est égale à la moitié du diamètre ; comme dans les meilleurs matériaux connus, il est possible de créer et de déplacer des bulles de diamètre inférieur au micron. Ceci explique pourquoi les films sont préparés par épitaxie en phase liquide.

Les premières substances magnétiques ayant de bonnes propriétés pour la technique des bulles magnétiques ont été les orthoferrites de formule chimique $TFeO_3$, où T est un terre-rare.

L'optimisation de dispositif à bulles magnétiques requiert le choix du matériau capable de stocker le plus grand nombre de bulles possibles (10^5 bulles/cm³) avec des mobilités suffisamment élevées pour autoriser des transferts extrêmement rapides d'informations (un mégabit par seconde). L'ortho-ferrite de samarium - terbium, répond bien à la seconde exigence : cependant ses bulles sont dix fois trop grosses. La ferrite $PbFe_{12}O_{19}$ produit au contraire, des bulles de faible diamètre, mais leur vitesse de déplacement est trop faible.

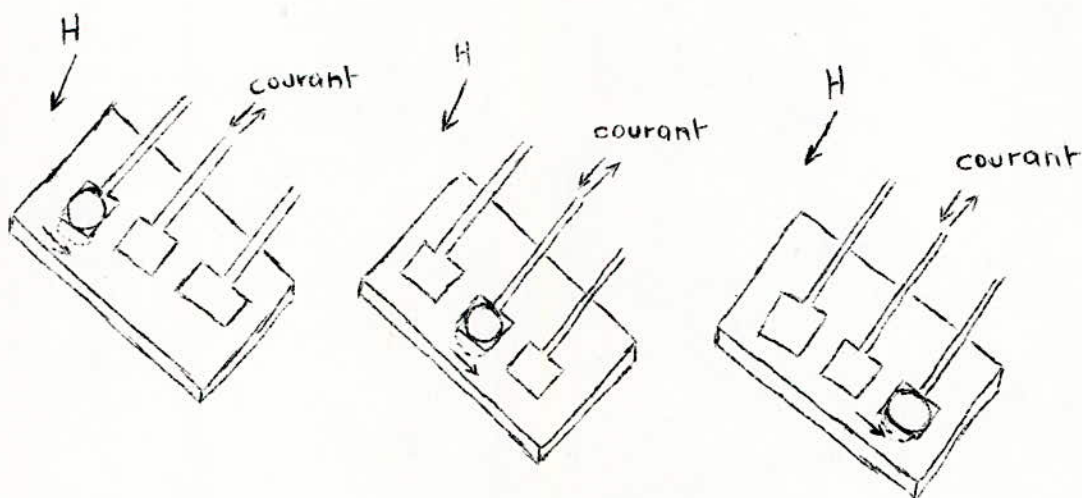
On a cherché à utiliser des grenats synthétiques de formule $A_3Fe_5O_{12}$, où A est un terre-rare. Dans le meilleur des cas, les bulles ont un diamètre de 3 microns et les exigences de haute densité et de grandes vitesses sont remplies. L'énergie requise pour déplacer une bulle sur une distance égale à 4 fois son diamètre est d'environ 0,04 picojoule : pour déplacer un million de bulles à la fréquence du mégahertz (soit 10^{12} déplacements en une seconde), la puissance requise n'excède pas 40 mW.

Dans les laboratoires d'IBM, on a étudié le comportement de films amorphes de cobalt-gadolinium et de fer-gadolinium, obtenus par pulvérisation cathodique. Des bulles magnétiques ont été observées dans ces deux types de composés. L'analyse quantitative des films amorphes a montré que l'aimantation de saturation varie avec la composition. L'intérêt de tels films amorphes réside, pour l'essentiel, dans le processus de fabrication, bien plus aisé et moins coûteux que les techniques classiques. Les bulles ainsi obtenues ont un diamètre de 2 microns.

II 3 2 3 METHODES DE DEPLACEMENT DES BULLES :

III 3 2 3 1 METHODE A CHAMP MAGNETIQUE INDUIT :

On génère un champ magnétique tournant au moyen d'électrodes déposées sur le substrat. Dans ces électrodes, en forme de boucle de dimensions identiques à celles des bulles, est injectée un courant d'induction. De proche en proche, les bulles sont décalées d'une électrode vers l'électrode suivante (fig III 13). En effet, le sens du courant d'induction injecté est tel que le champ magnétique se trouve localement diminué. La bulle se trouve alors soumise à une force d'attraction et se déplace.



- FIG III 13 -

On équipe une boucle d'un multiplicateur de bulles , qui est un circuit très fin, mis en action lorsqu'une bulle se trouve juste en dessous de lui. La bulle est alors divisée en deux ; la première retourne à la boucle "réservoir", tandis que la seconde s'échappe (fig III 14)

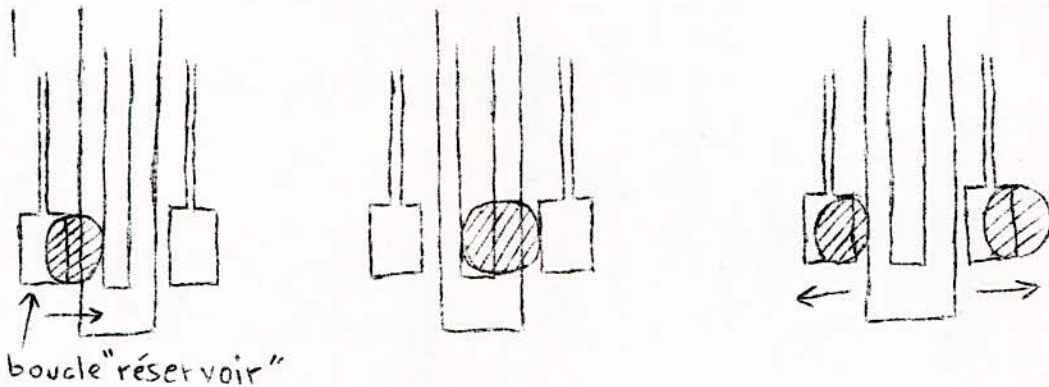


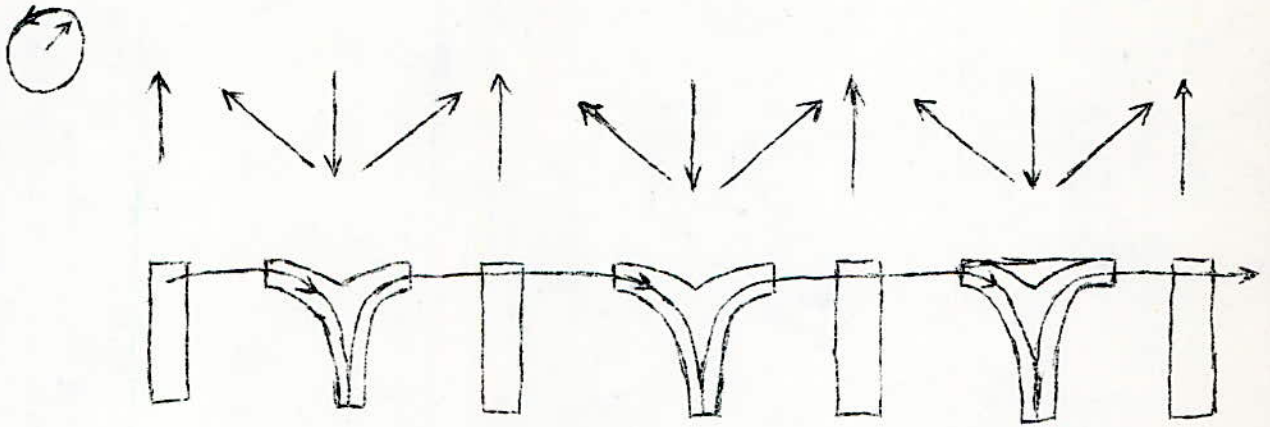
FIG III 14

Cette méthode permet de créer des matrices bidimensionnelles, les bulles pouvant alors se déplacer dans deux directions orthogonales ; elle présente cependant un inconvénient, celui de nécessiter la fabrication de boucles d'extrêmement faibles dimensions avec des tolérances serrées.

III 3 2 3 2 METHODE A CHAMP TOURNANT :

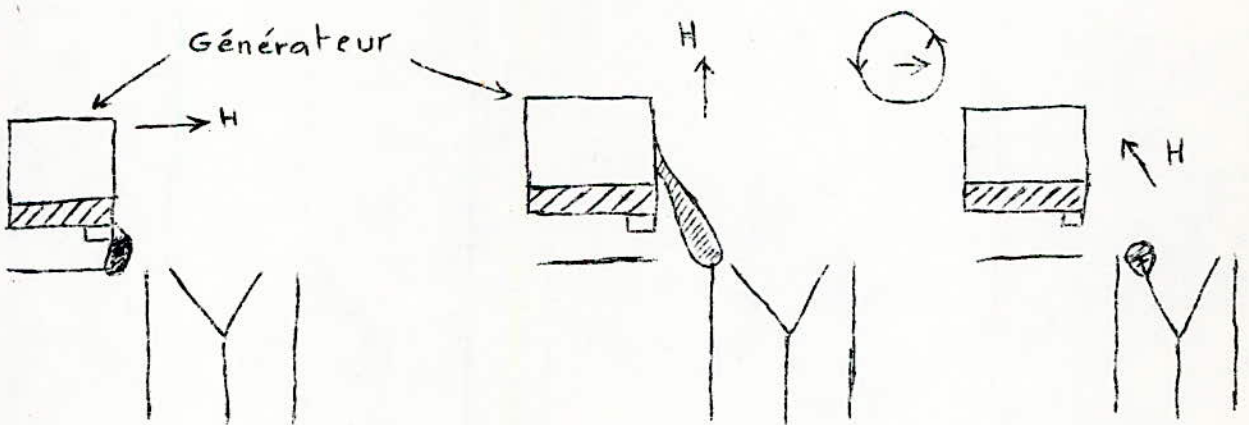
Pour pallier à l'inconvénient de la première méthode, on baigne le circuit dans un champ magnétique pulsé ou tournant; On dépose alors sur le film magnétique, des électrodes en matériau magnétique (permalloy) chargées de concentrer le champ. Seules les électrodes parallèles au champ magnétique sont aimantées. Les bulles attirées par ces électrodes se déplacent de proche en proche (fig III 15)

Dans la technologie à champ tournant, les électrodes peuvent être en barres et en T ou en barres et en Y.



- Fig III 15 -

Le générateur de bulles magnétiques est une électrode rectangulaire qui crée des domaines en forme de filament. Au cours de la rotation du champ, les domaines sont attirés par les barres et les électrodes en Y puis se rompent lorsque leur extrémité circulaire (une nouvelle bulle) s'éloigne. (fig III 16) .



- FIG III 16 -

III 3 2 4 METHODES DE DETECTION DES BULLES :

Toutes ces méthodes sont capables d'effectuer une lecture non destructive.

III 3 2 4 1 METHODE A INDUCTION ELECTRO-MAGNETIQUE :

La bulle joue le rôle d'un petit dipôle magnétique en mouvement, qui induit un faible courant électrique dans une spire placée dans la tête de lecture.

III 3 2 4 2 METHODE A EFFET HALL :

Une tension de HALL apparaît sur un détecteur en semi-conducteur, traversé en permanence par un courant électrique, lorsqu'il est baigné par le champ magnétique de la bulle à détecter.

III 3 2 4 3 METHODE OPTIQUE :

Les bulles sont visualisées par un éclairage au moyen d'un lumineux polarisé ; c'est une technique rapide.

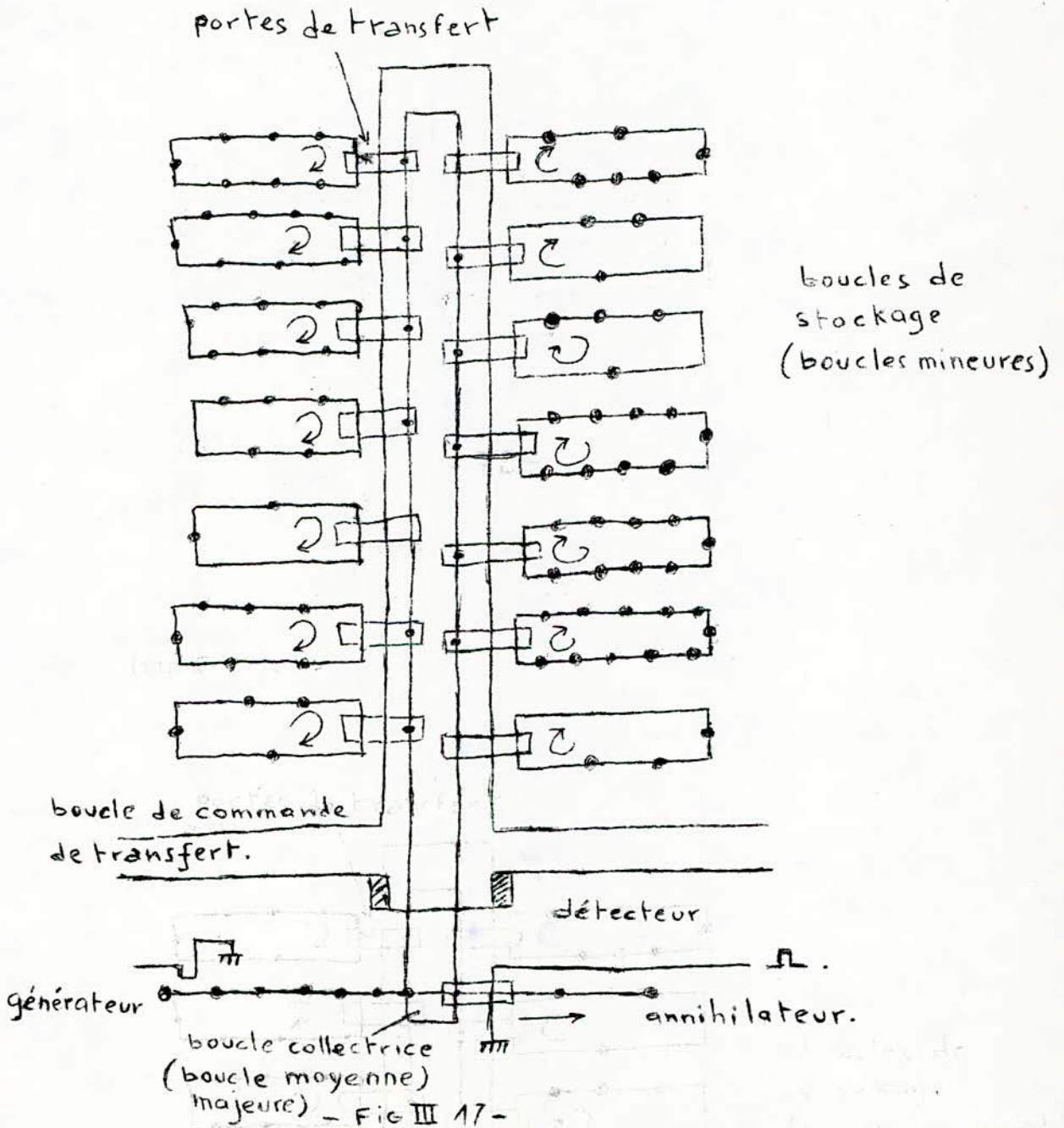
III 3 2 4 4 METHODE A MAGNETORESISTANCE :

La présence des bulles sous le détecteur en permalloy fait basculer son aimantation initialement dirigée vers la direction de facile aimantation, vers la direction de difficile aimantation. La résistance électrique du détecteur s'en trouve ainsi modifiée.

III 3 2 5 MEMOIRES A BULLES MAGNETIQUES :

C'est dans le domaine des mémoires que la technologie des bulles magnétiques semble aujourd'hui la plus intéressante. Ces mémoires sont à accès séquentiel. L'organisation de ces mémoires repose sur le principe de boucles majeures et de boucles mineures, inventées par A.H. GOBECK.

(fig IV 17).



Les informations stockées dans les boucles mineures, sont transférées dans un boucle majeure pour être lues ou modifiées. Sur le substrat sont déposés divers types de circuits actifs : générateurs, portes de transfert, annihilateurs, détecteurs, voire des circuits logiques.

Les mémoires à bulles entrent en compétition directe avec les mémoires classiques à accès séquentiel, les mémoires à disques essentiellement. Si le disque est 10 à 100 fois moins cher qu'une mémoire à accès aléatoire, c'est en raison de la proportion plus faible de circuits électroniques (un seul amplificateur par piste), mais cette économie est liée à un temps d'accès plus long.

Les bulles permettent par une organisation série-parallèle, de conserver un grand nombre de bits par organe d'accès tout en réduisant le temps d'accès (0,15 à 0,6 ns). En outre, les mémoires à bulles ont sur les disques, l'avantage d'être statiques : cet avantage est sensible pour les capacités petites ou moyennes, inférieures à 10^8 bits.

Les premières à bulles expérimentales sont en étude. Leur première utilisation sera peut-être spatiale. Cependant on pense que la commercialisation prochaine des mémoires CCD portera un coup fatal aux mémoires à bulles. Il semblerait actuellement que plusieurs laboratoires aient réduit leur charge de travail sur les mémoires à bulles, en faveur des dispositifs CCD. En effet, on fait avec les CCD tout ce qui était réalisable avec les bulles magnétiques. De plus, on le fait en plus réduit, en moins cher et en plus rapide.

III 4 MEMOIRES A SUPRACONDUCTEURS

III 4 1 LA SUPRACONDUCTIVITE.

La supraconductivité est un état qu'acquièrent les corps conducteurs plongés à une température très basse. Deux phénomènes sont mis en oeuvre :

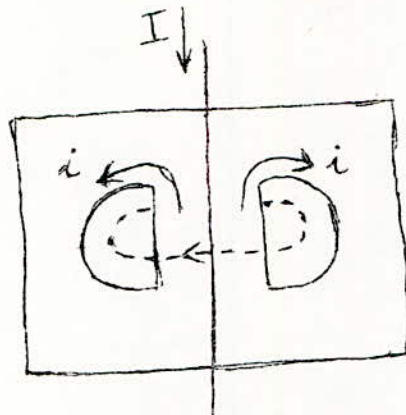
- La conductivité des métaux augmente lorsque la température décroît (la résistance devient nulle).
- L'état de supraconductivité ainsi atteint à basse température, est détruit en présence d'une induction magnétique suffisamment intense produite soit extérieurement, soit par le courant qui parcourt le supraconducteur lui-même.

La conséquence est que le flux magnétique total traversant un circuit électrique supraconducteur ne peut en aucun cas changer de valeur. En effet, toute modification de flux induit un courant dont l'effet est créer un flux magnétique compensateur. Dans un supraconducteur, la résistance étant nulle, le courant persiste sans apport d'énergie. Ainsi on vérifie la présence du courant par la présence du champ magnétique. Le réfrigérant utilisé est en général de l'hélium liquide.

Le principe des mémoires à supraconducteurs est réaliser des boucles fermées supraconductrices. Le circuit étant fermé et ayant une résistance nulle, tout courant établi circule indéfiniment sans aucun apport extérieur d'énergie. La présence ou l'absence de courant dans un boucle permet la représentation d'une information binaire élémentaire. Toute boucle supraconductrice constitue une cellule élémentaire de mémoire. La difficulté consiste à établir le courant dans la boucle ou à l'interrompre.

III 4 2 ETUDE D'UNE CELLULE SUPRACONDUCTRICE

La cellule de mémoire est appelée cellule de CROWE. Elle est composée d'une plaque en étain dans laquelle on a percé deux trous juxtaposés et séparés par un pont sur lequel a été déposé un conducteur en plomb qui reste toujours supraconducteur et sert de conducteur d'excitation (fig III. 18).



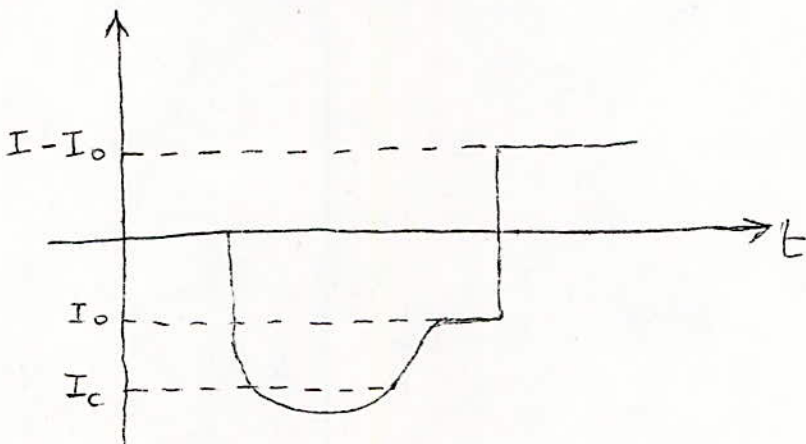
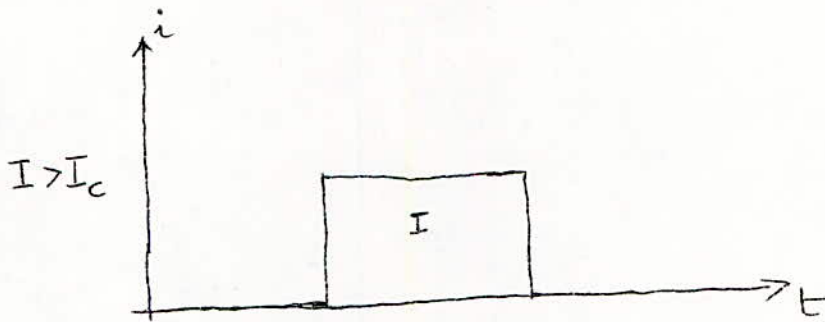
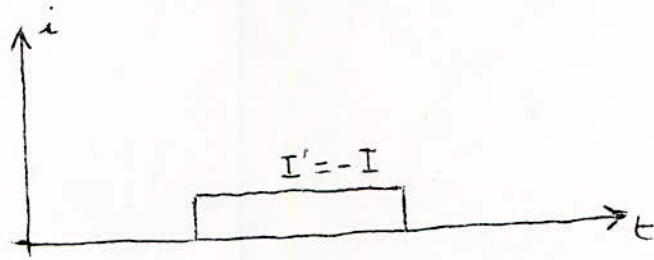
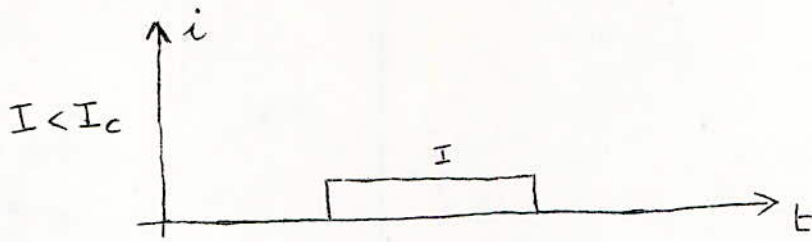
CELLULE DE CROWE

FIGURE 18

On sait que la supraconductivité disparaît lorsque le matériau est parcouru par un courant supérieur à un certain courant critique I_c . Au repos, l'étain et le plomb sont supraconducteurs et aucun courant n'existe. Pour modifier l'état de la cellule, on fait passer un courant I dans le conducteur d'excitation. Le courant induit passant dans le pont est I' . Tant que $I < I_c$, l'étain reste supraconducteur : $I' = -I$ (figure 19). Mais si $I > I_c$, la supraconductivité de matériau disparaît $I' = I_c$. A partir du moment où le seuil de supraconductivité est atteint, le matériau redevient supraconducteur, le courant peut continuer à passer. Au moment où le courant inducteur est supprimé, le matériau est à nouveau supraconducteur et le flux qui entoure le pont ne peut plus varier. Le flux créé par la somme des deux courants I et I_0 n'est pas nul. Par conséquent, au moment où I passe de sa valeur initiale à 0, le courant I' devient $I' = I - I_0$. On a donc obtenu la création d'un courant permanent dans la cellule de mémoire. Un procédé analogue permet d'interrompre ce courant ou d'en renverser le sens. Il existe donc un phénomène mémoire, car le courant qui subsiste dans la cellule mémoire dépend des actions appliquées antérieurement

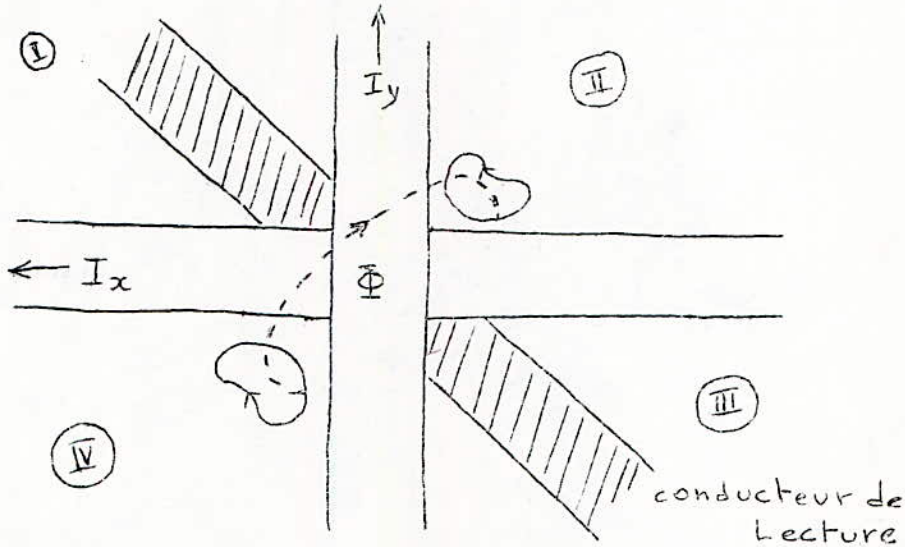
III 4 3 REALISATION DES MEMOIRES A SUPRACONDUCTEURS

On utilise une plaque d'étain qui sert de circuit supraconducteur de base et on dépose les conducteurs de sélection sous forme matricielle.



- FIG III 19 -

On utilise comme cellule de mémoires la zone de la plaque support située au voisinage de chacun des points de croisement des conducteurs de sélection d'un dispositif à coïncidence de courant (fig IV 20)



- Fig III 20 -

Si on lance deux courants égaux I_x et I_y sur les conducteurs de sélection X et Y, les inductions magnétiques créées par ces courants s'ajoutent dans les cadrans I et III et se retranchent dans les cadrans II et IV. Les lignes de flux seront donc fermées autour du point de croisement. On utilise les courants de faucault qui s'établissent comme circuits logiques comme les cellules de CROWE. L'écriture se fait par coïncidence de I_x et I_y de sens convenable. La lecture de l'information se fait par remise à zéro de l'information contenue dans la cellule et observation du signal induit sur un conducteur traversant en diagonale le point de croisement. Une mémoire peut être constituée par un assemblage de conducteurs déposés sur une plaque semi-conductrice associé à des circuits logiques de sélection réalisés sous forme de supraconducteurs. On aboutit ainsi à une réalisation ayant un haut degré d'intégration.

III 4 4 AVANTAGES ET INCONVENIENTS DES MEMOIRES A SUPRACONDUCTEURS

Les mémoires à supraconducteurs sont encore au stade du laboratoire de recherche. Actuellement, on ne sait pas encore réaliser ces mémoires de façon industrielle. L'intérêt primordial de telles mémoires est leur grande capacité qui les classe comme mémoire de masse.

Les avantages sont :

- La faible dissipation
- La consommation d'énergie presque nulle
- Le haut degré d'intégration
- Le nombre de connexions est faible
- La grande densité (10^4 bits / cm^2)
- Le prix de revient bas (1 centime/bit)

Les inconvénients sont :

- Prix exorbitant du réfrigérateur.
- La vitesse de commutation limitée.

II 5 MEMOIRES A HOLOGRAMMES

III 5 1 INTRODUCTION

L'holographie est une technique de reproduction en relief d'un objet. Elle fut inventée en 1948 par le Dr GABOR. Il proposa de superposer à une onde lumineuse issue d'un objet une onde cohérente de référence, de même phase que l'onde-objet. Depuis de très nombreux chercheurs ont travaillé à l'élaboration de nouvelles techniques mettant en oeuvre les hologrammes. Ainsi l'holographie permet d'enregistrer des informations digitales comme les mémoires d'ordinateurs. D'où le nom de mémoires holographiques.

Quatre paramètres sont fondamentaux, la capacité, le temps d'accès, le prix et le débit. Le stade actuel de développement de l'holographie permet de situer l'avenir des mémoires optiques quant aux deux premiers paramètres. Il est cependant impossible d'en déterminer le prix, celui-ci dépendant essentiellement des différents développements des composants (lasers, supports photosensibles, etc...). Le succès des mémoires optiques holographiques sera d'autant plus grand que celles-ci seront des mémoires de masse (10^8 à 10^{10} éléments binaires stockés), à temps d'accès relativement court.

On sait que dès que l'ordinateur reçoit les premières informations en provenance de sa mémoire, il reste entièrement occupé par cette liaison, jusqu'à ce que lui parvienne la dernière information par la mémoire. Il est donc essentiel que le débit d'information d'une mémoire numérique soit élevé. Avec un débit de 100 millions d'éléments binaires par seconde, les mémoires holographiques deviennent intéressantes. Leur densité peut être extrêmement élevée. On pense réaliser, à long terme, une mémoire contenant 10^{11} à 10^{12} bits, ayant un débit de l'ordre du gigahertz.

Les utilisateurs ont exprimé le besoin d'avoir des mémoires réversibles, donc effaçables. Les nombreuses études portant sur des matériaux photosensibles n'ont pas débouché, pour l'instant, sur un élément comparable aux matériaux magnétiques. Des recherches se sont orientées vers des systèmes "SANDWICHES" comportant une électrode transparente, un photoconducteur déposé, un corps aux propriétés opto-électriques et une autre électrode transparente.

Aux Etats-Unis, Au Japon, en Allemagne et en Grande-Bretagne, des études analogues sont menées. Il existe ainsi une panoplie variée de matériaux et de dispositifs susceptibles de donner naissance à une mémoire holographique. Les matériaux pouvant être utilisés sont les matériaux directement sensibles à la lumière, tels que films magnéto-optiques, cristaux électro-optiques, matériaux photochromes, films métalliques. Quant aux dispositifs, ce sont des structures composites, comportant un matériau devenant photosensible lorsqu'il est déclenché par un phénomène physique. On trouve les dispositifs ferro-techniques - photoconducteurs, les dispositifs à déformation thermoplastique, les dispositifs élastomères et les dispositifs photoconducteurs à effet Pockel. La comparaison de ces milieux réversibles d'enregistrement des hologrammes peut être menée à bien en prenant en considération les paramètres suivants :

- Energie d'enregistrement des informations
- Durée d'enregistrement
- Durée d'effacement
- Rendement de diffraction
- Linéarité (mesure du contraste).
- Résolution (nombre de lignes par unité de longueur)
- Durée de vie
- Temps de blanchissement naturel (durée du stockage sans alimantation externe d'énergie).

La RCA a défini un facteur de mérite, faisant intervenir les paramètres fondamentaux. Ce facteur est défini par l'expression :

$$F = \frac{\text{Résolution (lignes/mm)} \times \text{rendement de diffraction (\%)}}{\text{Énergie d'écriture (mJ/cm}^2 \text{)}}$$

II 5 2 MEMOIRES HOLOGRAPHIQUES A MATERIAUX MAGNETO-OPTIQUES

Dans les mémoires magnéto-optiques, le procédé d'enregistrement fait appel à un échauffement au point de curie : un film mince saturé magnétiquement, est chauffé à l'aide d'un faisceau laser, au-delà d'une température critique (point de curie). Au cours du refroidissement, l'application d'un champ magnétique permet de modifier l'aimantation du film magnéto-optique. On aurait pu concevoir un dispositif dans lequel la lumière agit directement sur l'état magnétique. Mais un tel dispositif n'est cependant pas réalisable, en raison du peu d'informations sur les interactions entre les rayonnements lumineux et l'état magnétique.

L'information enregistrée dans une mémoire magnéto-optique, est lue en faisant traverser le film par un faisceau laser (on utilise l'effet Faraday ou l'effet Kerr). Les matériaux les plus utilisés pour ce type de mémoires sont les composés intermétalliques de manganèse et de bismuth. Les matériaux ferronagnétiques granulaires représentent une nouvelle de substances pour mémoires optiques. Ils sont constitués par des poudres très fines fixées dans une matière isolante. On produit des films de ce matériau, par projection simultanée d'un élément métallique (NICKEL, COBALT, fer) et d'un isolant stable tel que la silice. Ces nouveaux matériaux peuvent être conçus avec un température de curie ajustable entre le zéro absolu et la température critique du métal pur. On peut de la sorte synthétiser des mémoires ferronagnétiques granulaires dont le point de Curie se situe à la température ambiante.

- PERFORMANCES :

Energie d'écriture : 10 nJ/cm^2

Durée d'enregistrement : 10 ps à 50 ns

Durée d'effacement : quelques micro secondes.

Durée de vie lecture : infinie

Durée de vie écriture-effacement : indéterminée

Rendement de diffraction : 10^{-2} % (effet Faraday)

10⁻¹ % (effet Kerr)

Résolution : 1000 lignes /mm.

Linéarité à la lecture : moyenne

Facteur de mérite : 100

III 5 3 MEMOIRES HOLOGRAPHIQUES A MATERIAUX ELECTRO-OPTIQUES.

Le matériau de base est niobate de lithium (Li Nb O_3). C'est un cristal ferromagnétique, transparent dans le spectre visible et infra-rouge, c'est à dire sous des longueurs d'onde comprises entre 0,38 et 5 microns. Il possède une température de curie très élevée (1210°C), située à 50°C seulement en dessous de sa température de fusion ; à la température ambiante ce matériau est extrêmement stable et l'on doit appliquer de forts champs électriques (3000KV/cm) pour inverser sa polarisation inverse;

Ainsi, l'enregistrement s'opère comme suit : on utilise initialement un milieu électro-optique ayant dans sa structure microscopique, des pièges contenant des électrons susceptibles d'être excités par une onde de longueur appropriée ; l'éclairement donne naissance à une population de porteurs libres de charges électriques qui diffusent vers les régions non éclairées. La distribution lumineuse est par conséquent transformée en une redistribution des charges électriques au sein du matériau. Le dopage du niobate de lithium par des métaux de transition (fer) améliore considérablement les performances du matériau, en y créant de nouveaux types de pièges à électrons. On a également essayé d'autres matériaux électro-optiques, avec un succès moindre.

Les matériaux électro-optiques permettent d'enregistrer de nombreux hologrammes de volume au sein d'un même cristal. Chaque fois qu'un cristal électro-optique est éclairé, la distribution interne des charges est modifiée et l'effacement est donc aisé. On redistribue les charges par un éclairage uniforme du cristal.

Cette opération est menée en chauffant le matériau à 150°C .

Comme la lecture nécessite d'éclairer le cristal, elle peut détruire l'information contenue dans la mémoire, il a été développé un procédé thermique de fixation des hologrammes enregistrés, qui transforme la distribution des charges électriques, en une distribution de défauts, insensibles à la lumière. Ce procédé permet d'éviter définitivement le blanchissement de la mémoire, en lecture

- PERFORMANCES :

- Energie d'écriture : 10^3 à $5 \cdot 10^5$ mJ/cm²
- Durée d'enregistrement : 10 s à la mn
- Rendement de diffraction : 80 %
- Linéarité à la lecture : bonne
- Résolution : 1500 lignes/mm
- Durée de vie écriture effacement : indéterminée
- Facteur de mérite : 24

III 5 4 MEMOIRES HOLOGRAPHIQUES A MATERIAUX PHOTOCROMES

La présence de centres colorés, dans les substances photochromes, offre la possibilité à ces dernières de s'insérer dans la liste des matériaux disponibles pour mémoires holographiques. Ces centres colorés sont dus aux impuretés et imperfections dans la structure microscopique; ils se comportent comme des pièges à électrons ou à trous positifs, dont le niveau énergétique se situe dans la bande interdite, séparant la bande de valence et la bande de conduction. De tels états intermédiaires peuvent absorber des ondes pour lesquelles le cristal, à l'état pur, est absolument transparent. Eclairé par un faisceau de longueur d'onde convenable, le photochrome voit ses électrons passer d'un type de centres colorés à un autre type n'ayant pas le même spectre d'absorption : pratiquement, le photochrome change de teinte. Cette modification est néanmoins réversible puisque le matériau revient à sa teinte initiale lorsqu'il est éclairé par un faisceau d'une autre longueur d'onde. Les photochromes ont une excellente résolution puisque l'absorption prend place à une échelle moléculaire ou atomique; cependant, ces matériaux se fatiguent vite

(Le nombre de cycles écriture- effacement est limité). En outre, la lecture crée un blanchissement (d'où pertes d'informations). Bien des substances organiques et non organiques présentent le phénomène de photo chromie. L'enregistrement et l'effacement d'informations holographiques dans des films photochromes ont été réalisés.

-PERFORMANCES :

- Energie d'écriture : 50 mJ/cm²
- Durée d'enregistrement : quelques nanosecondes
- Rendement de diffraction : 1,2 à 3,7 %
- Linéarité à la lecture : très bonne
- Résolution : 10 000 lignes/mm
- Facteur de mérite : 740

III 5 5 MEMOIRES HOLOGRAPHIQUES A FILMS DE BISMUTH

Le processus de l'écriture ne fait pas intervenir la longueur d'onde du faisceau de travail. L'inconvénient majeur tient essentiellement dans la difficulté du recyclage. On pourrait envisager de réaliser une structure "Sandwich " dans laquelle le métal évaporé se dépose sur une surface parallèle au film de bismuth : l'effacement des informations se ferait en évaporant le métal du film par un éclairage uniforme de la surface du film; néanmoins, le nombre de cycles écriture - effacement est limité entre 5 à 10 cycles. Ces mémoires ne sont employées qu'en lecture essentiellement.

III 5 6 MEMOIRES HOLOGRAPHIQUES A ENREGISTREMENTS THERMOPLASTIQUES.

L'enregistrement thermoplastique consiste à créer, à la surface d'un film polymère thermoplastique, un réseau de charges électrostatiques. En chauffant le polymère, le matériau, en fusion, se déforme sous l'effet des forces électrostatiques. Le film est ensuite refroidi rapidement, afin de "geler" les déformations superficielles du film.

Comme les polymère, on crée un matériau composite, dont la matrice est un polymère, renforcé par un photoconducteur, lui-même reposant sur un substrat. Le thermoplastique le plus utilisé est le staybélite. Le procédé d'écriture est obtenu par l'action d'un champ électrique qui produit des déformations superficielles.

-PERFORMANCES :

- Energie d'écriture : 10^{-3} mJ/cm² (théorique)
- Durée d'enregistrement : 1 ns
- Durée d'effacement : 1 s
- Rendement de diffraction : 15 %
- Linéarité à la lecture : bonne
- Résolution : 1000 lignes/mm
- Durée de vie écriture effacement : 100 cycles
- Durée de vie lecture : infinie
- Facteur de mérite : $7 \cdot 10^6$ (théorique)

Une variante des mémoires plastiques à été construite, en remplaçant le polymère par un élastomère. Un tel dispositif est constitué par un substrat conducteur transparent, d'un photoconducteur en couche mince, d'un film élastomère déformable et d'une électrode déformable. Cette dernière peut être un liquide ou un gaz conducteur, ou encore une feuille métallique souple. Un champ électrique continu appliqué entre l'électrode flexible et le substrat, établit une distribution uniforme de charges électriques. Les informations holographiques traversant le substrat modifient cette distribution, engendrant des forces électrostatiques qui déforment l'élastomère et l'électrode flexible. On efface les informations en supprimant le champ électrique continu; dispositif sans chauffage, il présente cependant l'inconvénient de ne pas être une mémoire permanente.

D'autres matériaux sont activement étudiés : les matériaux ferro électriques, les matériaux à cristaux liquides et les dispositifs à effet Pockel.

Il semble que les mémoires thermoplastiques et élastomères soient les plus intéressantes, d'après le facteur de mérite défini par la RCA. Il est aussi probable que les facteurs de mérite (encore inconnus) des mémoires à cristaux liquides et photoconducteurs et à effet Pockel - photoconducteurs soient équivalents aux précédents.

Les mémoires holographiques, encore à l'état de recherches en laboratoire, ne semblent pas pouvoir déboucher avant 1980. En tant que mémoires vives, leur capacité pourrait atteindre 10^{10} bits avec une densité d'informations largement supérieure à 10^6 bits/cm² pour un prix un peu supérieur à 10^{-4} centime /bit.

Un projet est d'associer cette mémoire à hologramme à une mémoire mixte accessible électriquement d'une part, inscriptible et lisible optiquement d'autre part : on supprimerait ainsi tout le marché des mémoires à disques. Une telle perspective, si elle est réalisée, est à l'horizon 1980.

III . 6. MEMOIRE S A FILMS MAGNETIQUES MINCES.

Les mémoires à films minces ont été adoptées par plusieurs firmes importantes en raison de leur rapidité de fonctionnement et du mode de leur fabrication.

III . 6. 1. Les films magnétiques minces.

Les réalisations sont faites soit en utilisant des couches de mickel pur, soit des couches d'alliage fer-nickel. On dépose sur un support (verre ou - métal non magnétique) Un plan continu de quelques dixièmes de micron d'épaisseur.

Le dépôt s'effectue en présence d'un champ magnétique d'orientation dirigé dans le plan du support. Ce champ confère au dépôt une anisotropie magnéto-cristalline du type uniaxial, l'axe de facile aimantation étant dirigé comme le plan d'orientation. Ces propriétés magnétiques anisotropes font apparaître éléments bistables utilisables pour mettre en oeuvre un système de mémoire binaire. En effet, l'induction magnétique possède deux positions d'équilibre stable parallèles à l'axe d'aimantation facile.

Soient H le champ appliqué, H_L sa composante longitudinale parallèle à l'axe d'aimantation facile et H_t sa composante transversale orthogonale. Suivant la direction et la valeur de H , l'aimantation dans le matériau subit soit une rotation réversible avec retour à la position initiale, soit une rotation irréversible avec basculement dans l'autre position stable.

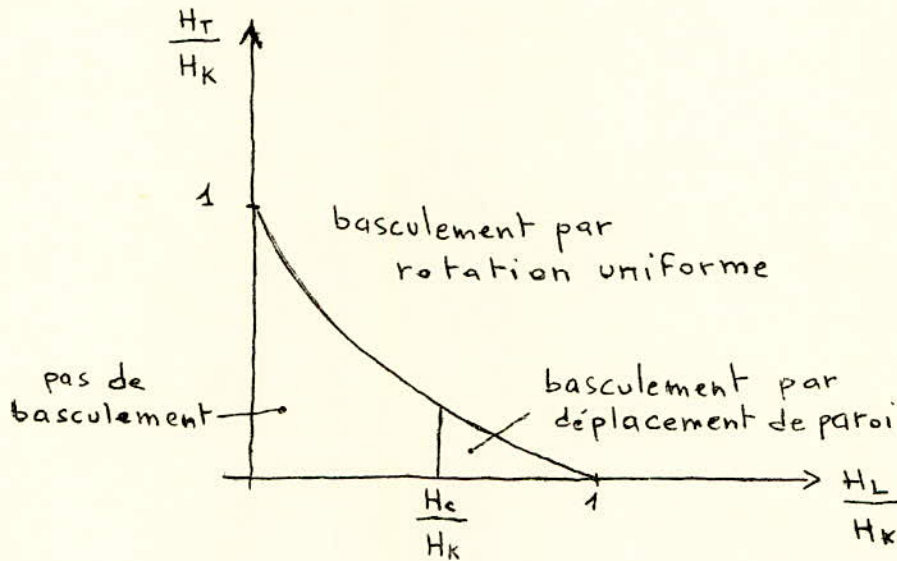
Dans le plan H_L , H_t , peut délimiter un certain nombre de zones de basculement (fig. III . 21) :

H_K désignant un paramètre caractéristique du matériau dénommé champ d'anisotropie, la courbe :

$$\frac{H_L}{H_K} = \cos^3 \varphi$$

$$\frac{H_t}{H_K} = \sin^3 \varphi$$

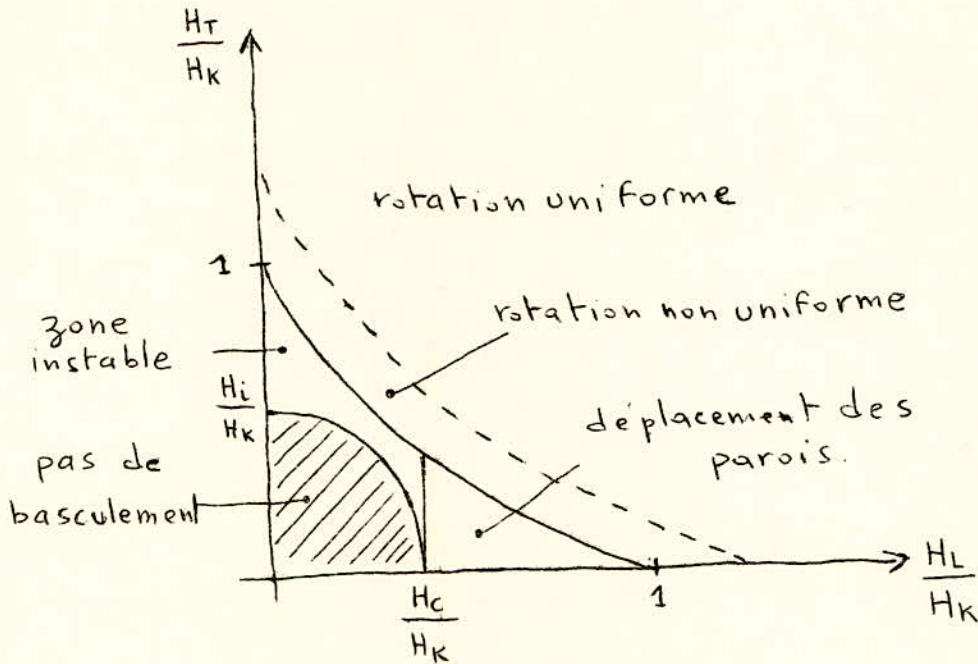
délimite théoriquement la zone de basculement et la zone de non-basculement pour les valeurs de H_L inférieures au champ coercitif H_C dans la direction d'aimantation facile.



- FIG III 21 -

Pour les faibles valeurs de H_T et pour H_C H_L H_K , le basculement s'opère lentement par déplacement de paroi, c'est -à-dire que l'on peut considérer qu'il y a propagation du basculement à l'intérieur de la masse du matériau. Par contre, pour H plus grand, il y a basculement rapide par rotation oniforme, c'est - à- dire que l'on peut considérer que tout l'élément considéré bascule d'un seul bloc. EN pratique, les zones de basculement sont moins nettes!

On retrouve les trois zones précédentes mais la zone rotation uniforme suppose un champs H plus grand que sa valeur théorique et la zone où l'on obtient aucun basculement se trouve réduite d'une zone d'instabilité, une zone de rotation non uniforme, correspondant à un basculement moins rapide , apparaît pour les valeurs trop petites de H (fig III 22).



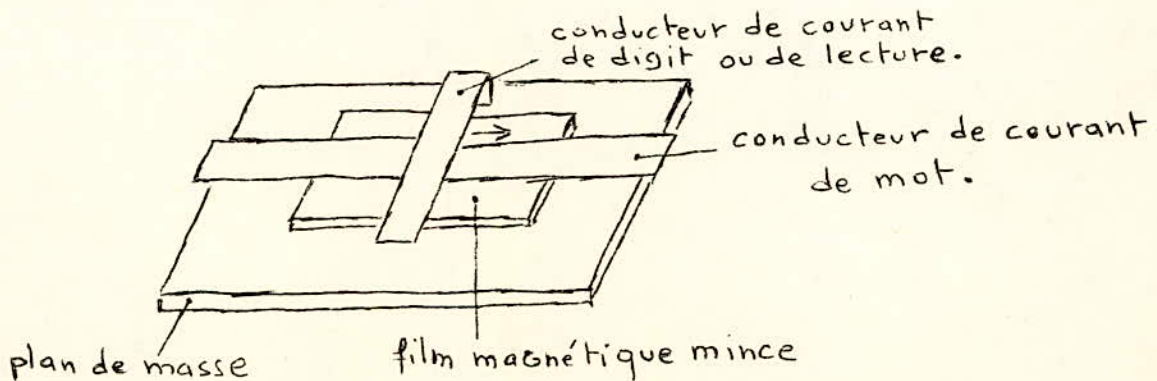
- FIG III 22 -

III . 6. 2 FONCTIONNEMENT D'UNE CELLULE DE MEMOIRE

On voit que pour exploiter un plan de mémoire, il faut connaître:

- les valeurs des champs critiques (H_c , H_K).

considérons un élément de film mince (fig III 23). Sur cet élément sont placés deux conducteurs: l'un est parallèle à l'axe de facile aimantation, appelé conducteur de mot, l'autre est perpendiculaire au premier, appelé conducteur de lecture ou conducteur de digit.



- FIG III 23 -

a) cycle de lecture:

Au repos, le moment magnétique M fait passer dans le circuit de lecture un flux positif ou négatif. L'application d'un champ transversal à H_K annule ce flux car M devient parallèle au fil de lecture. On recueille une tension soit positive soit négative.

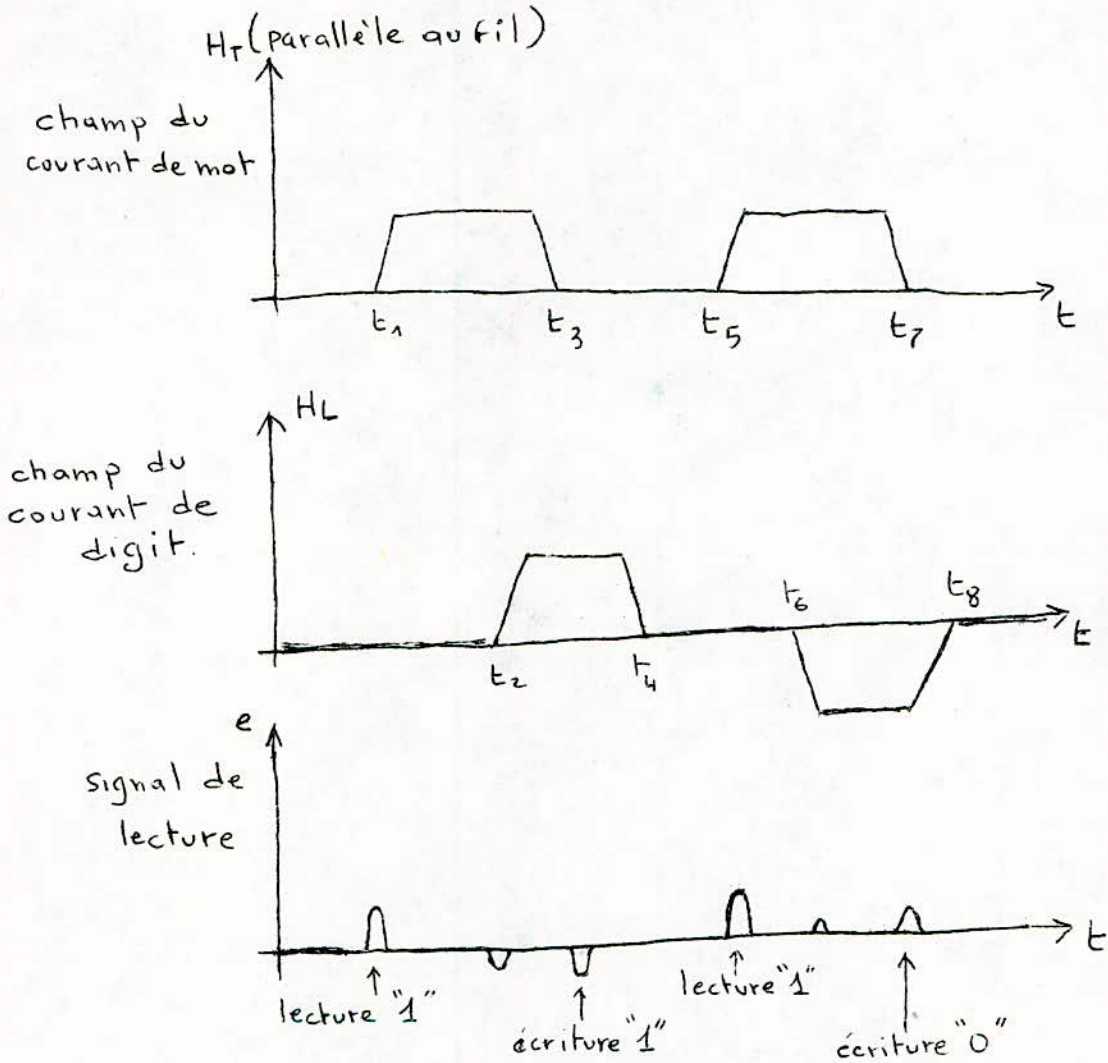
On remarque que le vecteur aimantation vient sur l'axe transversal dans un sens ou dans l'autre, fonction du sens du courant de mot, mais que la polarité de la tension recueillie ne dépend pas de sens. En effet, elle ne dépend que de la différence entre le flux initial et le flux final et ce dernier est toujours nul. Par contre, la polarité de la tension recueillie dépend de l'orientation primitive de l'aimantation. On peut par conséquent savoir, à la lecture, si c'était un 1 (signal positif) ou un 0 (signal négatif) qui avait été écrit antérieurement dans cette cellule.

b) cycle d'écriture:

Si le courant de mot que nous venons d'appliquer est interrompu, l'aimantation retombe indifféremment en 1 ou 0. Pour réengistrer une information, on ajoute au champ de mot un champ longitudinal inférieur à H_C qui force l'aimantation d'un côté ou de l'autre. On applique donc un courant dans le fil de digit.

Suivant le sens de ce courant, on écrit un 1 ou un 0. Il faut remarquer que ce champ de digit n'a d'influence que lors de la retombée du courant de mot; l'impulsion de courant de digit peut donc être très brève. La figure III 24 illustre deux séquences successives:

- de T_1 à T_4 : lecture d'un 1 et réécriture de ce 1.
- de T_5 à T_8 : lecture du 1 précédent et écriture d'une nouvelle information (0 par exemple).



. - FIG III 24 - .

Chaque fois qu'il y a une rotation du vecteur aimantation, il y a une apparition de signal aux bornes du circuit de lecture. Ce pendant, il existe d'autres signaux parasites.

III 6.3. CONSTITUTION D'UNE MEMOIRE.

On constitue une mémoire en associant en matrice un grand nombre de cellules de films minces déposées sur un même support. L'organisation de la mémoire dépend du système de sélection adopté.

On utilise, en général, à la fois les champs H_L et H_T . Un Procédé de sélection à coïncidence de courants est possible. Il consiste à appliquer à l'élément à faire bascule r:

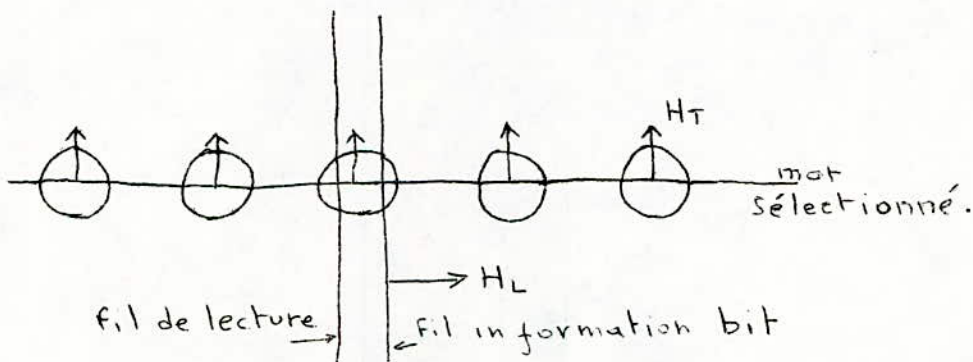
- Un champ longitudinal H_L H_c créé par un conducteur perpendiculaire à l'axe d'aimantation facile .

- Un champ transversal H_T crée par un conducteur orthogonal au précédent de façon que leur somme soit dans la zone de rotation uniforme du film mince et que chacun d'eux pris séparément ne déclenche aucun basculement.

L'écriture se fait en appliquant toujours H_T de même signe et en choisissant le sens de H_L en fonction de l'information. La lecture destructive se fait en ramenant l'élément dans l'état d'aimantation 0 Et en observant les signaux de basculement recueillis sur un fil parallèle au fil qui crée le champ H_L .

A cause de nombreux signaux parasites, on préfère les mémoires à sélection linéaire à la méthode précédente. à sélection linéaire à la méthode précédente. La sélection s'effectue par mots; tous les éléments d'un même mot sont parcourus par le fil mot qui crée le champ transversal H_T . Ce fil est parallèle à l'axe d'aimantation facile (fig III 25).

Pour lire le contenu du mot, on applique H_T et $H_L < H_C$, designe telque l'aimantation rémanente est ramenée à zéro .



- FIG III 25 -

. Le signal HT est le signal de sélection. Le signal HL n'est présent que pour HL n'est présent que pour indiquer le sens du basculement. Tous les éléments qui ne reçoivent que HL ne sont pas sélectionnés, mais ne créent aucun signal parasite puisque HL est parallèle à l'induction résonnante!

Le fil de lecture orthogonal à l'axe d'aimantation facile recueille le signal induit par la variation de HL. Pour l'écriture, on applique simultanément:

- HT sur le fil mot, de signe constant
- HL sur le fil information, de signe convenable pour inscrire un 1 ou un 0.

* Malgré des difficultés de réalisation, les mémoires à films magnétiques minces commencent à être utilisées de façon courante. La difficulté majeure que l'on rencontre pour leur mise en œuvre est l'exploitation des signaux recueillis qui restent faibles (quelques millivolts).

Une mémoire typique est une mémoire de 1000 à 16000 mots de 32 bits ayant un cycle d'environ 200 nanosecondes le temps de basculement de l'élément mémoire proprement dit est de l'ordre de la nanoseconde et les courants de commande utilisés sont comparables à ceux des tores de ferrite soit quelques centaines de milliampères.

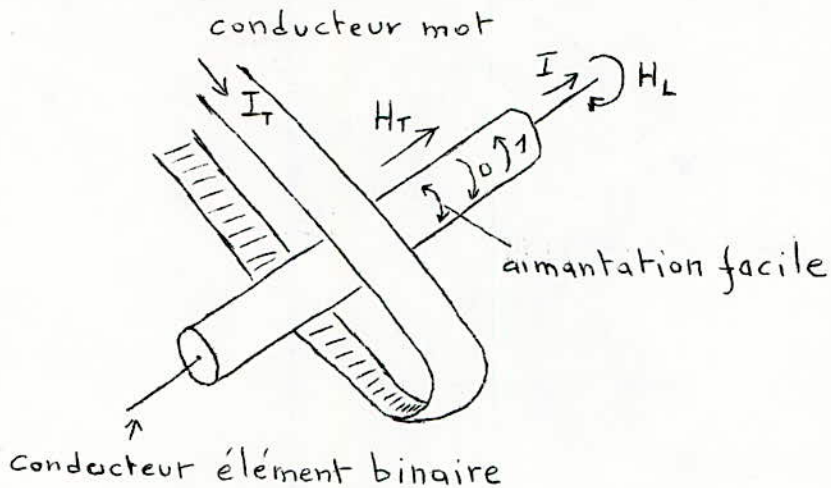
III 6. 4. MEMOIRES A FILS.

Une variante des mémoires à film magnétiques minces consiste à déposer le film mince sur le fil cylindrique. Le dépôt en alliage de nickel fer est effectué par électrolyse. L'opération s'effectue en présence d'un champ magnétique qui oriente la direction d'aimantation facile du matériau le long de la ligne de champ en tournant l'axe du fil.

On obtient des éléments de mémoire à flux fermé. L'emploi de ces circuits fermés présente trois avantages:

- réduction du champ de fuite;
- meilleure protection contre les parasites;
- réduction des courants de commande;

Une cellule élémentaire est constituée par un anneau de film mince situé à l'intersection du fil mot et du fil élément binaire (fig IV).



- Fig III 26 -

HT est créé par le courant qui parcourt le conducteur mot et HL par le courant qui parcourt le conducteur élément binaire et HL par le courant qui parcourt le fil de bit.

La lecture est non destructive en envoyant un courant I_T qui crée HT. Un signal est alors recueilli sur le fil de bit, dont le signe correspond à l'information contenue dans la cellule.

A l'écriture, on crée simultanément à HT un champ HL (par un courant dans le fil de bit).

* Les réalisations actuelles permettent des capacités de l'ordre de 2.105 bits avec des cycles de l'ordre de la demi microseconde et des courants d'environ 500 mA pour le fil mot et 60 mA pour le fil de bit.

Les films minces magnétiques (cylindriques) sont aujourd'hui utilisées dans les mémoires d'ordinateurs placés dans des fusées ou des satellites à cause de leur structure à flux fermé peu parasitable en milieu ionisé.

IV. CO) // C LU // i C) //

///-)) travers cette étude, nous voyons que le choix du type de mémoire à utiliser se fait pour au moins quatre raisons :

- Les contraintes économiques ;
- Les contraintes technologiques ;
- Les utilisations de la mémoire ;
- La nature du phénomène utilisé.

L'idéal serait donc de disposer d'une mémoire centrale extrêmement rapide et de très grande capacité. Mais à l'heure actuelle ceci est trop coûteux et techniquement difficile.

Ce compromis, temps d'accès - capacité, semble être résolu par les mémoires à décalage à C.C.D ou les mémoires holographiques.

De plus, chacune des techniques vues dans les chapitres précédents a ses avantages et ses inconvénients. Des paramètres influents doivent être pris en considération lors de la recherche ; ainsi, le prix de revient des composants et la complexité de la fabrication sont deux paramètres qu'il faut évaluer rapidement afin d'orienter les recherches de manière optimale (voir Annexe).

ANNEXE

Trois facteurs essentiels caractérisent l'évolution des mémoires, ce sont :

- Les facteurs techniques
- les facteurs économiques
- Les facteurs de concurrence industrielle.

Dans cet annexe, nous donnerons quelques tableaux qui résument quelques éléments de l'évolution des mémoires et les performances des différents mémoires (référence : Electronique et microélectronique Industrielle - n°186).

* - Evaluation des performances comparées des semi-conducteurs, des CCD et des bulles.

A N N E E	S - C	C C D	B U L L E S
1975			
- Prix par bit (cents)	2	0,01 à 1	0,01 à 1
- Temps d'accès	100 ns	10 ns ou 10ms	10ms ou 10ms
1980			
= Prix par bit (cents)	1	0,01 à 1	0,05
- Temps d'accès	50 ns	10 ns ou 10ms	10 Ms ou 10Ms

L'avantage de prix paraît être aux mémoires à bulles, mais elles ont l'inconvénient d'être une technologie isolée. L'effort de recherche est consenti actuellement sur les mémoires CCD et à semi-conducteurs. Dans le moyen terme au moins, l'avantage semble être aux mémoires à bulles, mais le rythme du progrès technique pourrait amener les mémoires CCD à l'emporter dans le long terme sur les mémoires à bulles.

* - Résumé de quelques éléments de l'évolution des mémoires

T Y P E	Situation actuelle			Evolution		
	Vitesse	Prix	Capacité	Vitesse	Prix	Capacité
Semi-Conducteurs.....	+	0	+	++	++	+
Tores.....	0	0	+	-	-	0
Tambours.....	-	0	+	-	-	0
Disques fixes.....	-	0	+	-	0	0
CCD.....	+	-	0	++	++	++
Bulles.....	+	-	0	+	++	++
Optique.....	(+)	(+)	(+)	0	++	++

+ facteur favorable ; 0 facteur neutre ; - facteur défavorable

Quant aux mémoires de masse, tous les laboratoires s'y intéressent. Il semble cependant que c'est du côté des fabricants indépendants que la recherche est la plus vive. Si l'on note tous les paramètres en accordant une égale importance à chacun d'entre eux, on obtient le classement suivant :

- Semi-conducteurs +6,5
- Disques amovibles +6

- Bulles	+4
- Optique	+4
- CCD	+3
-Bandes magnétiques	+2
- Ferrites	-2
- Disques fixes	-3

Les produits les plus touchés par les progrès technologiques sont les mémoires à ferrites et les disques fixes; les mémoires actuellement les plus promues sont les mémoires à semi-conducteurs. Ainsi, les semi-conducteurs pourraient prendre la place des disques dans la gamme des capacités qui actuellement la leur. L'évolution des prix des mémoires pourrait être la suivante :

NIVEAU D'INTEGRATION	PRIX (Cents/bits)
1 K	4
4 K	0,8
16 K	0,16
64 K	0,03
256 K	0,006

—° B i B L i O G R A P H I E °—
—o—
—o—o—o—o—o—o—o—o—o—o—o—o—o—o—o—o—
—o—o—o—o—o—o—o—o—o—o—o—o—o—o—o—o—

G. BOULAYE. --- La micropogramation. --- DUNOD 1971

W. RENWICK. --- Les mémoires dans les calculateurs numériques -- DUNOD 1966

H. LILEN. ---- Circuits intégrés M.O.S. ----Ed. RADIO 1972

D.N. CHORAFAS. --- Traité des ordinateurs. ---- HERMANN 1960

J. HEBENSTREIT. --- Informatique. --- E.S.E. 1972

J.C. LAVENIR. --- Mémoires. ---- E.N.S.T. 1967

F. CHENIQUE.---- HARDWARE.-----DUNOD 1971

J.P. MEINADIER. ---- Structure et fonctionnement des ordinateurs. ---L'AROUSSE
1971.

A. PROFIT. --- Structure et technologie des ordinateurs. --- A. COLIN 1970.

M. GINGUAY ; A. LAURET. --- Lexique d'informatique.---- MASSON et Cie 1973.

G. METZGER ; J-P VABRE.---- Les mémoires électroniques. tome I. --MASSON et Cie
1975/

G. BAZERQUE; C. TRULLEN. --- Informatique générale ---DUNOD 1971

J.DONDoux; P.MORAND;J-C MERLIN.--- Introduction à l'informatique

C.J QUARTLY.--- Mémoires en ferrite et circuits de logique.--- DUNOD 1964

J.C. SIMON. --- Introduction au fonctionnement de l'ordinateur.---Masson et Cie
1970.

- COLLOQUE INTERNATIONAL sur les techniques des mémoires - PARIS 1965.

- COLLOQUE INTERNATIONAL sur la Microélectronique avancée.

REVUES

1. ELECTRONIQUE ET MICRO ELECTRONIQUE INDUSTRIELLES :

n°140 de janvier-Fevrier 1971 - n°141, mars 1971.
n°143, mai 1971.- 146,Aout 1971 . - n°148, Novembre 1971
n°150, janvier-Fevrier 1972. - n°154, 01-04-72.- n°147, oct.71
n°149,Déc.71.- n°157, 15.05.72. - n°158, 01-06-72. -
n°159, 15.06.72. - n°161,01-10-72. - n°162, 15-10-72.-
n°160,15-09-72 . - n°15-02 73. - n°168, 01-03-73 ! -
n°171, 15.04-73.- n°173, 15-05-73. - n°176, 15-09-73. -
n°178, 15-10-73. - n° 174,01-06-73. - n°175, 15-06-73. -
n°183, 15-02-74. - n°184, 01-03-74. - n°186, 01-04-74. -
n°187, 15-04-74.

-----0-----

2. ELECTRONIQUE NOUVELLE :

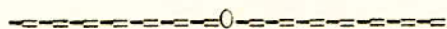
n°1, mars 71. - n°2, Avril 71. - n°4, Juin 71. -
n°6, sept 71. -

-----0-----

3. ONDE ELECTRIQUE :

.- Vol. 50, oct 71 . - Vol. 51, Avril 71. - Vol 51, juin 71
vol. 52, mai 72. - vol.51, déc 71. - vol 51, sept. 71
vol. 50, Avril 1970 . - Volume 51 fevrier 1971

n° 503, fevrier 1969 . - n°502, Janvier 1969. - n°511, oct. 1969
volume 54, n°3, 74. - vol. 54, n°1, janv. 74. -
vol. 53, n°5, Mai 73 . --



4. INTER-ELECTRONIQUE :

-- n° 111, 112, 12-11-73 . -- n°90, 09-04-73. ---
-- n°120, 21-01-74. -- n°123, 11-02-74. -- n°131, 08-04-73.
-- n° 129, 25-03-74. -- n°103, Juin 73. -- n°110, oct.73.