

9/84

2px

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET المذاكرة الوطنية
"CENTRALE DE SECURITE"
ETUDE D'UNE BOUCLE DE DETECTION
CONTROLEE PAR LE MICRO PROCESSEUR
C.MOS : MC 146805 E2

Proposé par :

A. Boukreb

Etudié par : A. Bennane

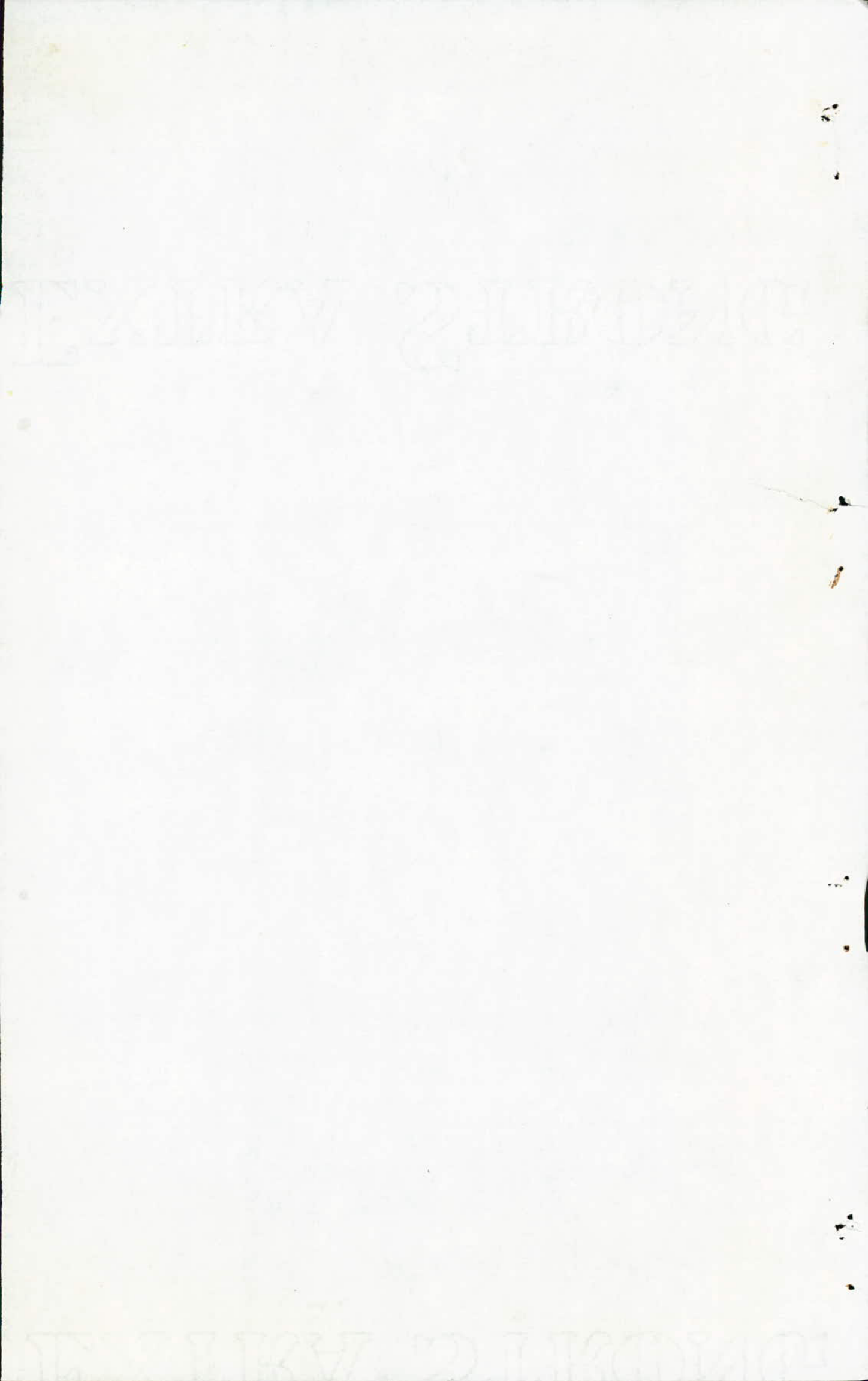
H. OULHADJ

Dirigé par :

A. Bourkeb



PROMOTION : Janvier 84



الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

—»O«—

وزارة التعليم والبحث العلمي
Ministère de l'Enseignement et de la Recherche Scientifique

—»O«—

المدرسة الوطنية للعلوم الهندسية
ECOLE NATIONALE POLYTECHNIQUE D'ALGER

—»O«—

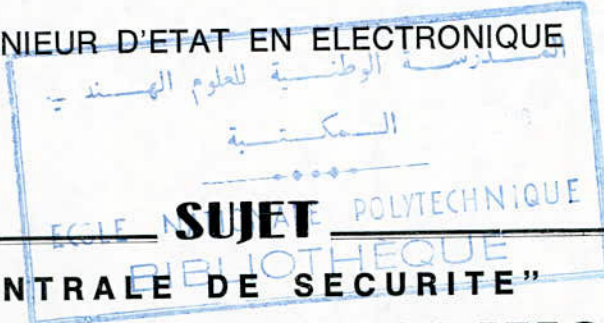
DEPARTEMENT D'ELECTRONIQUE

—»O«—

PROJET DE FIN D'ETUDES

—»O«—

INGENIEUR D'ETAT EN ELECTRONIQUE



"CENTRALE DE SECURITE"

ETUDE D'UNE BOUCLE DE DETECTION
CONTROLEE PAR LE MICROPROCESSEUR
CMOS : MC 146805 E2

C. E. N.

C. D. T. A. : SERVICE ELECTRONIQUE

Proposé par :

Mr A. BOURKEB

Etudié par :

Aomar BENNANE

Hamouche OULHADJ

THE STRONG

...ξ... DEDICACES ... ξ...

Iwigad yet wazzen dog ilas,
Iwigad yet wazzen def tidet,
I t dukwam yettunen t-tifassa,
Iwanac g-guama, ingazen uzoka

A mon grand-père
et tous ceux qui me sont chers

Aomar

À la mémoire de mon père
et tous ceux qui me sont chers

Harmouché

...§... REMERCIEMENTS ...§...

Nous tenons à exprimer notre profonde reconnaissance à M^{rs} A. BOURKEB et J. HERRY pour nous avoir, proposé ce sujet, acceptés dans leur laboratoire et mis à notre disposition tout le matériel dont nous avions besoin.

Nos vifs remerciements vont à M^e A. SAIDJ pour nous avoir prodigué d'utiles conseils et fait bénéficier de ses connaissances qui nous ^{ont} permis de mener ce projet à sa fin.

Nous remercions également tout le personnel du laboratoire d'électronique, pour leur aide et le milieu de travail sympathique qu'ils nous ont offert, et tous ceux qui ont contribué, de si peu soit-il, à la mise en oeuvre de ce polycopié.

Que tous ceux qui ont contribué à notre formation trouvent ici l'expression de notre sincère gratitude.

SOMMAIRE

INTRODUCTION

- a. Généralités sur la protection.
- b. Organisation du système de protection à étudier.

CHAPITRE I.

Conception du prototype de zone d'observation.

I.1. Présentation.

I.2. Schéma synoptique.

I.3. Structure et description de la boucle de détection.

I.4. Etude des différentes parties de la boucle de détection

a. Détection.

b. Logique de sélection et de communication.

c. Ligne d'information bidirectionnelle.

d. Contrôleur de zone.

CHAPITRE II

Organisation de la surveillance.

1. Idée générale.

II.2. Logiciel.

II.2.1. Algorithme.

II.2.2. Organigramme.

II.2.3. Programme.

CONCLUSION.

INTRODUCTION

a. Généralités sur la protection.

L'expérience et les statistiques, en matière de protection, montrent que les sinistres industriels prennent naissance dans des locaux souvent isolés des lieux de travail, donc peu fréquentés (d'une part), et dans des endroits à potentiel dangereux où les phénomènes générateurs évoluent si rapidement que les premiers signes révélateurs échappent à la vigilance humaine (d'autre part). L'installation de systèmes de sécurité sensibles, assurant la surveillance permanente des lieux à protéger, s'est donc devenue une nécessité impérieuse. Le développement de la technologie a permis, de nos jours, d'améliorer les systèmes de protection de sorte qu'on puisse facilement à maintenir les phénomènes précurseurs dans leur première phase d'évolution. Un système de protection efficace doit permettre, en général, la mise en œuvre d'un plan de détection, de traitement et d'intervention assurant la moindre quantité de dégâts et une grande capacité d'action. La réussite de ces conditions réunies réside, le plus souvent, dans leur rapprochement des points suivants :

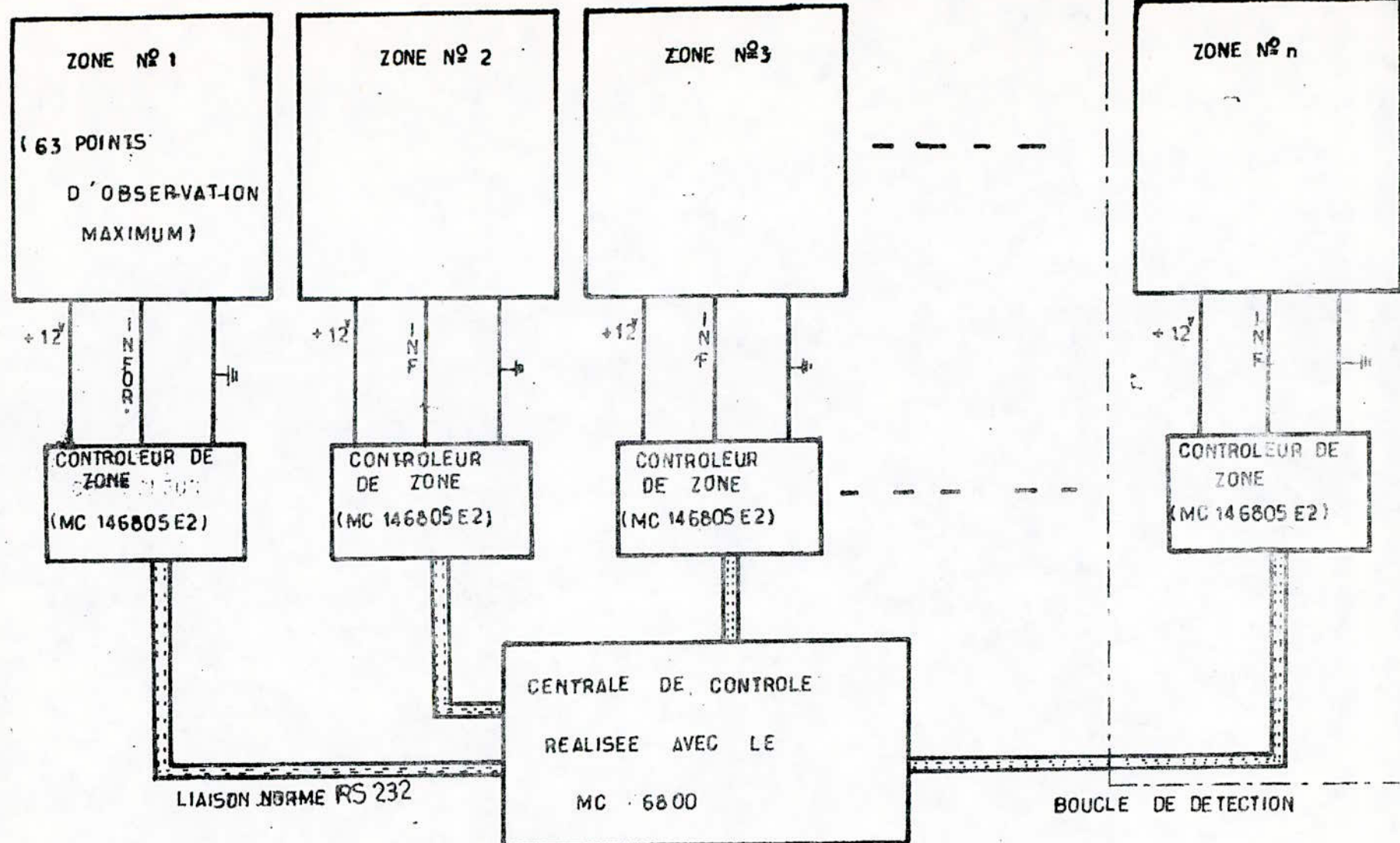
- Bonne fiabilité du système,
- Bonne sensibilité des détecteurs,
- Localisation précise des phénomènes,
- Bonne rapidité en intervention.

Ces raisons nous ont conduit à choisir un système de protection à base de microprocesseurs, efficace de par sa souplesse d'utilisation et sa précision dans la localisation et surtout le traitement et la transmission des informations.

b. Organisation du système de protection à étudier.

Sans le cache de la protection d'un matériel, souvent très coûteux, et des ouvriers travaillant dans des locaux où des sources radioactives peuvent devenir dangereuses, le service d'électronique (CDTA) du CEN nous a proposé l'étude et la réalisation de système suivant :

- une centrale de sécurité, "cerveau" principal du système, scrute des contrôleurs de zone et assure des commandes éventuelles après interprétation des informations qui lui sont transmises,
- des contrôleurs de zone d'observation (boucle de détection), véritables postes de relais élaborés autour de l'architecture du microprocesseur CMOS MC 146805E2, permettent le dialogue entre la zone d'observation et la centrale en canalisant les informations émises par les détecteurs. Chaque boucle de détection, ou zone d'observation, regroupe un ensemble de points d'observation qui ne diffèrent que par la nature des risques à surveiller. Les contrôleurs lisent en permanence l'état de la zone d'observation et en informe la centrale quand celle-ci les interroge. Sans cette organisation du système, le travail qui nous a été confié se limitera à l'étude et la réalisation d'un prototype de contrôleur de zone d'observation, la centrale faisant à elle seule l'objet d'un projet d'étude parallèlement au CEN.



ORGANISATION GENERALE DU SYSTEME DE PROTECTION

CHAPITRE I

CONCEPTION DU PROTOTYPE DE ZONE D'OBSERVATION

I.1. Présentation

L'objet de la zone d'observation (ou boucle de détection) est de surveiller un espace qui s'étend sur un ensemble de points d'observation ou locaux. Dans chaque local, seront placés en vigie un (01) ou plusieurs détecteurs. Des codes seront attribués aux détecteurs afin de pouvoir reconnaître leur nature et le local où ils seront placés. Les informations délivrées par les capteurs (détecteurs) seront centralisées et interprétées par un contrôleur qui les transmettra ensuite à la centrale de sécurité. À ce contrôleur de zone, les détecteurs seront reliés par un bus unique à trois (03) fils, à savoir :

- fil d'alimentation,
- fil de masse,
- ligne d'information.

Le fil d'alimentation et le fil de masse, à part que le premier sert à confirmer (au contrôleur) la présence de l'alimentation des détecteurs et le second à relier les masses électriques, appellent peu de remarques. Le fil des informations, par contre, suscitera beaucoup d'attention. En effet, cette ligne aura à véhiculer, sur une distance longue de plusieurs mètres (avec les risques d'altération éventuelles), les informations émises par les détecteurs.

L'idée générale de la surveillance de la zone d'observation se présente ainsi :

- détecter,
- interpréter,
- signaler l'état de la boucle de détection (au niveau du contrôleur de zone),
- transmettre à la centrale l'état de la boucle de détection.

I. 2 - Schéma synoptique (voir fig. 1).

I. 3 - Structure et description de la boucle de détection.

La boucle de détection est constituée par quatre composantes essentielles :

- une chaîne de détecteurs (63 au maximum), munis d'une logique de sélection et de communication avec le contrôleur de zone, qui surveille l'espace à protéger,
- une ligne de transmission bidirectionnelle qui véhicule les informations circulant entre le contrôleur de zone et les détecteurs,
- un contrôleur de zone, réalisé autour de l'architecture du microprocesseur MC146805E2, qui centralise les informations délivrées par les détecteurs,
- une ligne de transmission conforme à la norme RS232, adaptée aux communications à grande distance et à grande vitesse, qui assure la liaison entre le contrôleur et la centrale.

I. 4 - Etude des différentes parties

a. Détection.

Sans tout système de protection la détection joue un rôle important, voire même déterminant. Il est donc nécessaire d'avoir des systèmes de détection fiables et sensibles. La fiabilité réside souvent dans la technologie des circuits électroniques et le choix judicieux des détecteurs à utiliser. Ce choix

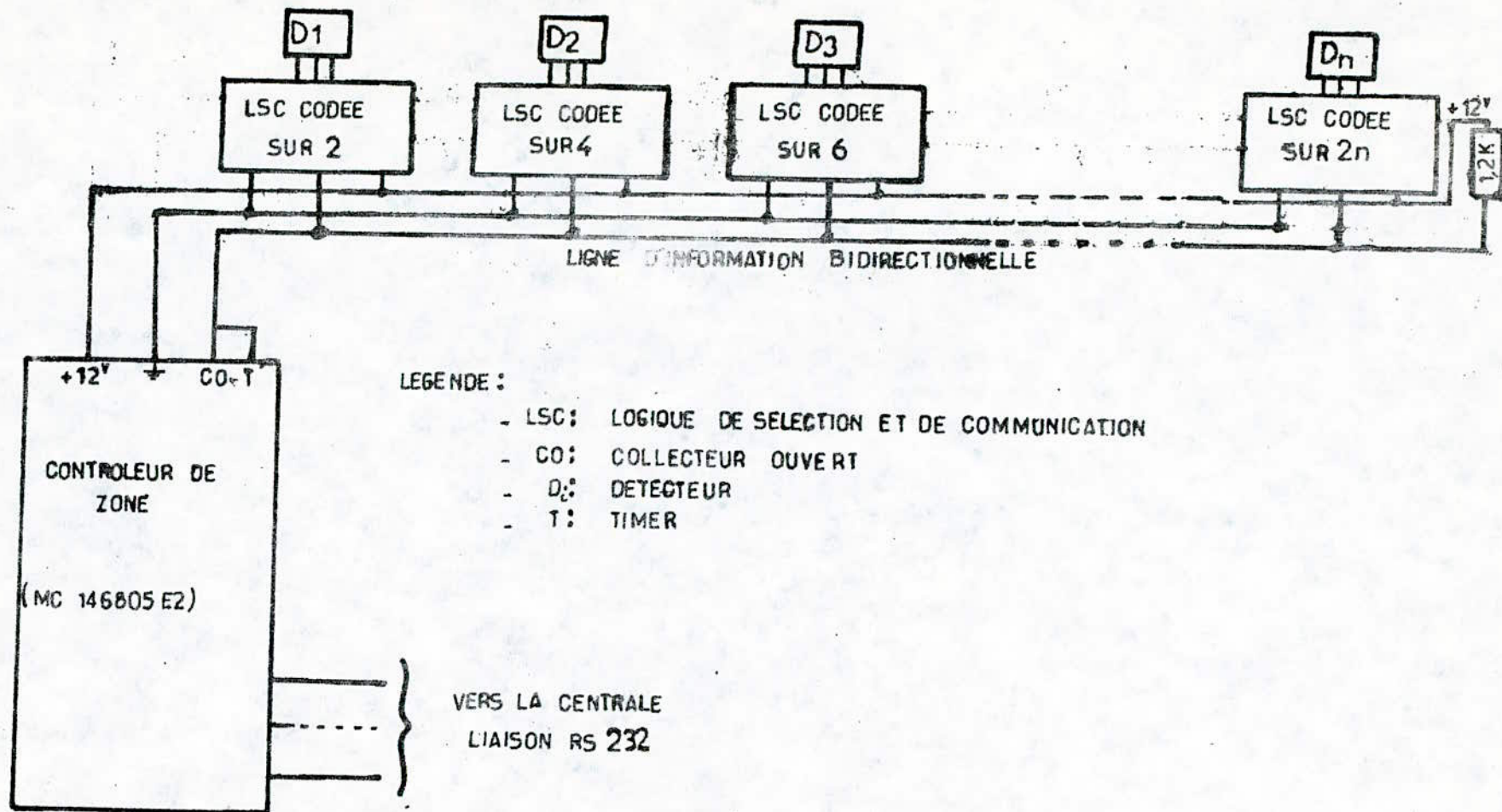


FIG 1: SYNOPTIQUE DU PROTOTYPE DE ZONE D'OBSERVATION

est déterminé par l'analyse des risques probables dans les lieux à surveiller, en évitant toutefois les alarmes intempestives. On trouve actuellement sur le marché plusieurs types de détecteurs ; ils sont utilisés soit dans la détection d'incendies et d'humidité soit en radioprotection. Nous allons décrire quelques uns que nous jugeons importants.

1. Détecteur de Flammes.

C'est un détecteur réagissant à un rayonnement modulé dans le proche infra-rouge. L'élément capteur est constitué d'une cellule au sulfure de cadmium sensible au rayonnement infra-rouge.

2. Détecteur de Fumée (détecteur optique de fumée)

C'est un dispositif optique ponctuel qui permet de mesurer la concentration en fumée dans l'ambiance où il est placé. Le dispositif est constitué d'un émetteur infra-rouge (LED) et d'un récepteur associé (phototransistor) ; l'émetteur et le récepteur sont positionnés sur un support comportant un réflecteur qui permet l'autocontrôle du capteur. Une concentration anormale de fumée dans l'ambiance fait diffuser l'infra-rouge. Quand la concentration en fumée atteint un certain seuil le capteur signale l'alarme.

3. Détecteur ionique de fumée et de gaz.

C'est un dispositif qui analyse en permanence les variations de composition de l'atmosphère dans laquelle il est placé. Une source

radioactive de Pu 238 (émetteur propre de rayonnement "alpha") ionise l'air entre deux électrodes afin qu'un très faible courant puisse circuler (1nA). La modification de l'état de l'atmosphère ambiante (fumée, gaz) ajoute des molécules ionisées instables, changeant ainsi sa conductibilité et le détecteur signale l'incendie.

La plupart des détecteurs cités travaillent en tout ou rien. C'est à dire ils présentent un état bas, assimilable à "0" en logique binaire, quand ils sont à l'état de veille et passent à un état haut, assimilable à "1" en logique binaire, quand ils sont excités. La conception de notre système repose essentiellement sur cette idée de base, mais il est toutefois possible de lui adapter des détecteurs donnant en sortie un signal analogique ou pulsé.

Afin de pouvoir tester notre système, nous avons réalisé deux détecteurs simples de nature à signaler les incendies ou la présence d'eau.

- Détecteur d'humidité.

Schéma synoptique (voir figure. 2)

Description et principe de fonctionnement.

Ce détecteur est réalisé à l'aide d'un circuit intégré CMOS (LMC14011) qui ne consomme pratiquement aucun courant au repos; il est

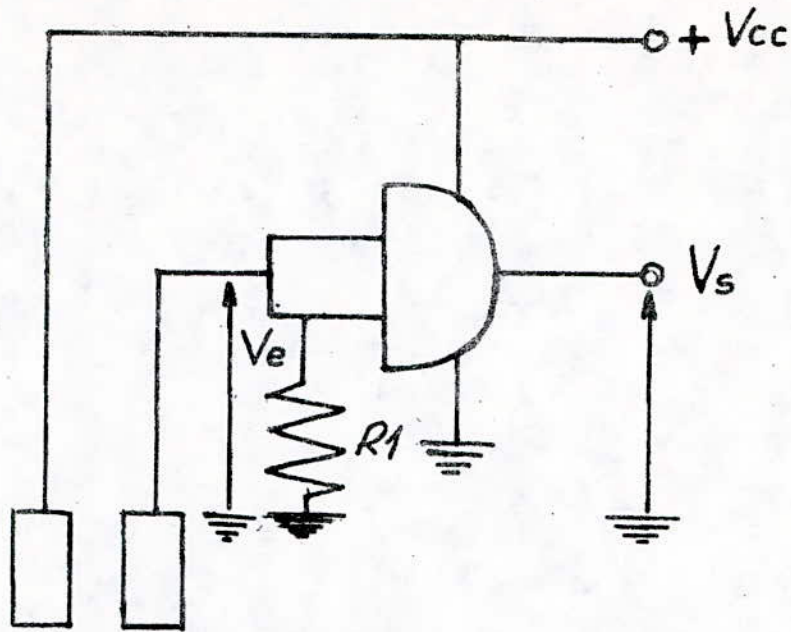


Fig 2

Détecteur d'humidité.

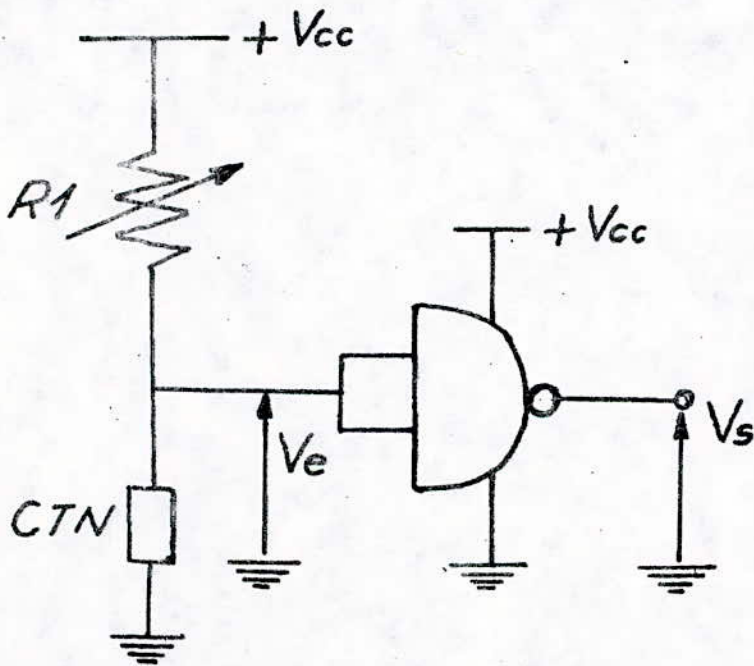


Fig 3

Détecteur actionné par la température

alimenté sous douze volts et donne en sortie une tension de l'ordre de douze volts quand il est sollicité. Le dispositif est actionné par la présence d'eau. L'eau représente une résistance assez faible ; lorsque l'on place les deux sondes dans l'eau (ou tout autre liquide conducteur) le diviseur de potentiel formé par la résistance $R1$ et l'espace inter-électrodes, engendre en son point milieu une tension supérieure au seuil de transition de la porte CMOS. Lorsque les sondes ne sont pas dans un liquide, l'entrée de la porte CMOS est à la masse via la résistance $R1$, elle présente alors un état bas en sortie. Le seuil de sensibilité peut être réglé en faisant varier la résistance $R1$; on a remarqué qu'une atmosphère ambiante, assez humide, peut actionner ce détecteur quand la résistance $R1$ est de l'ordre du $M\Omega$. Ce dispositif est réalisé en circuit imprimé et les deux sondes sont faites d'un peigne fin présentant un petit nombre de dents. Le tout présente des dimensions si petites qu'il a été possible de l'introduire dans une fiche électrique normalisée où ne dépasse que le peigne de cuivre. Enfin, ce détecteur peut être conseillé dans des locaux (cave salle de bain...) où des inondations éventuelles peuvent survenir.

Détecteur de température.

Schema synoptique. (voir Fig. 3).

Description et principe de fonctionnement.

Pour réaliser ce détecteur on a utilisé une porte inverseuse d'un

circuit intégré CMOS, le MC14011. L'entrée de la porte est connectée au point commun d'un diviseur de potentiel formé par une résistance R_1 ajustable et une résistance à coefficient de température négatif. Au repos, l'entrée de la porte est à un potentiel supérieur à son seuil de basculement; elle donne un état bas en sortie. Quand la température augmente la résistance à coefficient de température négatif diminue et attire l'entrée de la porte vers la masse. Ce qui donne un état haut en sortie. Le seuil de température qu'il faudrait signaler, peut être réglé par la résistance ajustable R_1 . Enfin, ce détecteur peut être conseillé dans des locaux où un incendie éventuel pourrait résulter de phénomènes à évolution rapide.

b. Logique de sélection et de communication.

Pour pouvoir sélectionner tous les capteurs et communiquer avec eux sans risque de confusion, nous avons réalisé une logique de sélection et de communication commune à tous les détecteurs quel que soit leur fonction. Ainsi, on peut formuler, à volonté, plusieurs détecteurs entre eux sans pour autant perturber le cycle de surveillance, mais dans la mesure où ils travaillent tous en tout ou rien. Cette logique est conçue pour travailler à plein temps; elle transmet l'information au contrôleur de zone chaque fois que ce dernier l'interroge.

Ainsi, elle doit répondre à deux critères :

- faible consommation,
- bonne fiabilité (répondre chaque fois qu'elle est interrogée).

Pour leurs bonnes qualités électriques, à savoir :

- faible consommation (courant de repos de l'ordre de 0,1 nA par porte,
- grande immunité au bruit,
- alimentation pouvant varier entre 5 et 15 volts,
- très grande impédance d'entrée,

Les circuits intégrés CMOS répondent aux deux critères auxquels doit satisfaire cette logique.

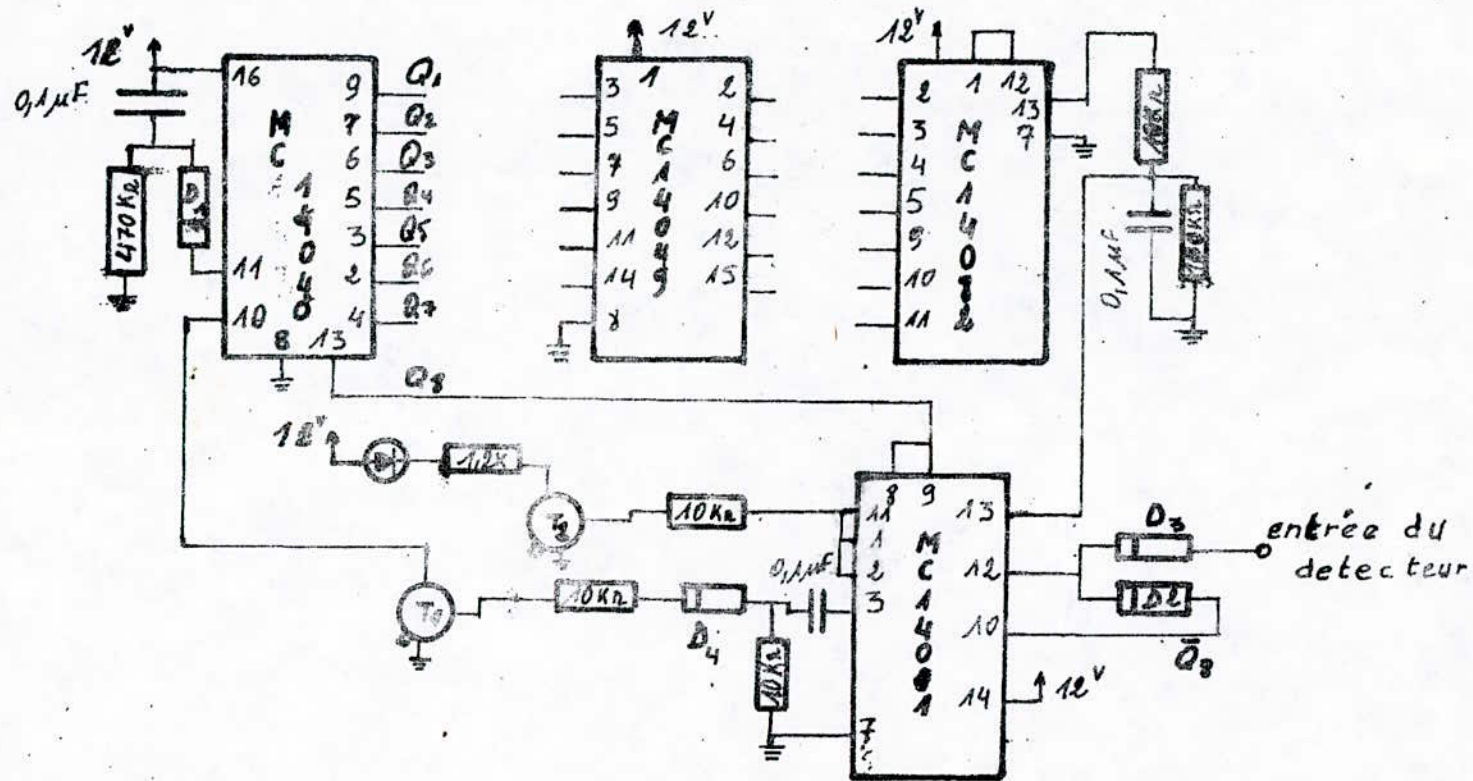
b.1. Schéma synoptique (voir fig. 4)

b.2. Description.

La logique de sélection comprend :

- un circuit de comptage réalisé à base d'un compteur binaire douze bits, le MC 14040 (circuit intégré CMOS); cependant, nous n'avons utilisé que les huit premiers bits dont les sept premiers vont directement sur le circuit de décodage tandis que le huitième est utilisé pour le contrôle de la logique,
- un circuit de décodage conçu à partir de deux circuits intégrés CMOS, le MC 14049 qui contient six (06) portes inverseuses et le MC 14082 qui contient deux portes AND à quatre entrées - ce décodeur donne un état haut en sortie quand les bits qui vont sur ses entrées affichent le nombre sur lequel est codé le détecteur auquel est adjointe la logique de sélection; tous les

- détecteurs sont codés sur des nombres fixes, ce qui nous donne, avec les sept bits utilisés, un nombre maximal de 63 détecteurs, 0 non codé - ,
- un circuit intégré CMOS, le MC 14011, qui contient quatre portes NAND ,
- deux cellules RC faisant office de dérivateurs - le premier dérivateur sert à remettre à zéro les compteurs binaires douze bits dès la mise sous tension de la logique de sélection, le deuxième dérivateur attaque la base du transistor T_2 monté en collecteur ouvert, les diodes D_1 et D_4 associées aux dérivateurs servent à éliminer les impulsions négatives délivrées par ces dérivateurs et dont l'effet peut être néfaste pour le compteur et le transistor T_2 - ,
- un transistor de commutation (T_1) chargé par R_3 et une LED visualisant l'état du bon fonctionnement de la logique de sélection ,
- un intégrateur, à la sortie du décodeur, qui fait office de circuit à retard afin de ne pas noyer la réponse de la logique de sélection dans l'impulsion générée, juste avant, par le contrôleur de zone ,
- un "OU câblé" constitué par deux diodes, D_2 et D_3 , dans le but d'éviter les risques de décharge de la porte P_1 dans le détecteur et vice versa .



-12-

FIG. 5 SCHEMA DE BROCHAGE DE LA LOGIQUE DE SELECTION

$T_1 ; T_2$: TRANSISTORS 2N701

$D_1 ; D_2, D_3 ; D_4$: diodes de commutation 1N914 A

b.3. Principe de fonctionnement.

Pour assurer le bon fonctionnement de tout le système, nous avons jugé nécessaire de procéder d'abord à un cycle de test de l'état de toutes les logiques de sélection pour ensuite passer au cycle de lecture des détecteurs. Le cycle de test prend fin, pour laisser place au cycle de lecture, toutes les fois que le bit Q8 du compteur binaire passe à 1.

Les compteurs binaires douze bits sont remis à zéro, dès leur mise sous tension, grâce à l'impulsion déclenchée par le dérivateur qui attaque leur entrée "RESET".

L'entrée "horloge" des compteurs est directement reliée à la ligne bidirectionnelle d'information; ainsi, le compteur enregistre tous les changements d'état qui surviennent sur la ligne. Ces changements d'état sont générés par le contrôleur de zone et la réponse des logiques de sélection.

Le décodeur présente un niveau haut en sortie quand les sept premiers bits du compteur affichent le nombre de sur lequel est codé le détecteur. À ce moment, la porte P2 est ouverte: son entrée 1 présente un niveau haut équivalent à 1 en logique binaire. Les événements qui surviennent alors sur l'entrée 2 sont enregistrés sur la sortie de la porte P3 et interprétés par le contrôleur de zone suivant que la ligne est court-circuitée ou non par le transistor de commutation T2 (2N708)

C. Ligne d'information bidirectionnelle.

La transmission des informations à grande distance pose des problèmes sérieux à tout physicien qui voudrait éliminer les risques d'altération. Or, une liaison longue de plusieurs mètres, quelque soit le fil utilisé pour la réaliser, présente une capacité parasite qui peut se chiffrer à plusieurs centaines de pF. Ainsi, un signal, après un parcours suffisamment long dans de telles conditions, arrive fortement déformé. À cette capacité parasite, viennent s'ajouter les risques de réflexion (en bout de ligne) et les actions indésirables des champs électromagnétiques parasites. Pour pallier à ces inconvénients, nous avons choisi de travailler avec une ligne à collecteurs ouverts qui doit être à un potentiel haut au repos. Elle est à un niveau logique équivalent à 0 quand elle est court-circuitée et à un niveau logique équivalent à 1 quand les transistors montés en collecteurs ouverts sont bloqués. Toutefois, pour que les transistors puissent être efficaces, il faut que la ligne présente une faible impédance caractéristique. Dans notre cas, la ligne est faite d'un câble coaxial blindé, possédant une impédance interne de 50Ω et est alimentée sous 12 volts à travers une résistance de $1,2\text{K}\Omega$ (valeur choisie afin que les transistors puissent être saturés quand ils sont attaqués). Le câble utilisé, ici, est constitué d'un fil externe qui protège des actions néfastes des champs électromagnétiques environnants et

d'un fil interne qui assure la transmission des informations.

d. Contrôleur de zone d'observation (fig)
Pour alléger la tâche de la centrale de sécurité, un contrôleur de zone, jouant le rôle de poste de relais, centralise les détecteurs éparpillés dans la zone d'observation et procède à un premier traitement des informations avant de les communiquer à la centrale. Les détecteurs étant reliés par une ligne de communication unique, le contrôleur de zone permet de sélectionner consécutivement les points d'observation afin d'éviter tout risque de confusion. En plus de sa tâche de coordination, il permet aussi de visualiser l'état de fonctionnement de la zone d'observation.

- Absence d'alimentation.

Un voyant rouge signale l'absence d'alimentation des détecteurs ainsi que les dérangements pouvant affecter la ligne d'information (circuit ouvert, court-circuit).

- Dérangement.

Un voyant orange signale les défaillances pouvant survenir au niveau des logiques de sélection.

- Alarme.

En plus de la transmission de l'état de la zone d'observation vers la centrale, une alarme peut être déclenchée au niveau du contrôleur de zone quand un détecteur a été excité,

cette alarme se traduit par un sifflement sonore et un voyant témoin rouge allumé.

- Fonctionnement correct.

Un voyant témoin vert confirme le fonctionnement correct et l'état normale de la zone d'observation; il s'éteint dès qu'une anomalie survient dans la zone.

La carte du contrôleur de zone est construite autour de la structure et des particularités du microprocesseur MC 146805 E2; l'ensemble réalise une structure de microordinateur qui comprend les éléments suivants :

- Le CPU : MC 146805 E2,
- un circuit de démultiplexage du bus adresses/données du CPU,
- une mémoire,
- un circuit de décodage de la mémoire,
- un ACIA,
- un circuit de décodage de l'ACIA,
- une liaison RS232.

d.1. Schéma synoptique du contrôleur de zone.
(voir figure 6)

d.2. Description et définition des différents éléments.

d.2.1. Le CPU

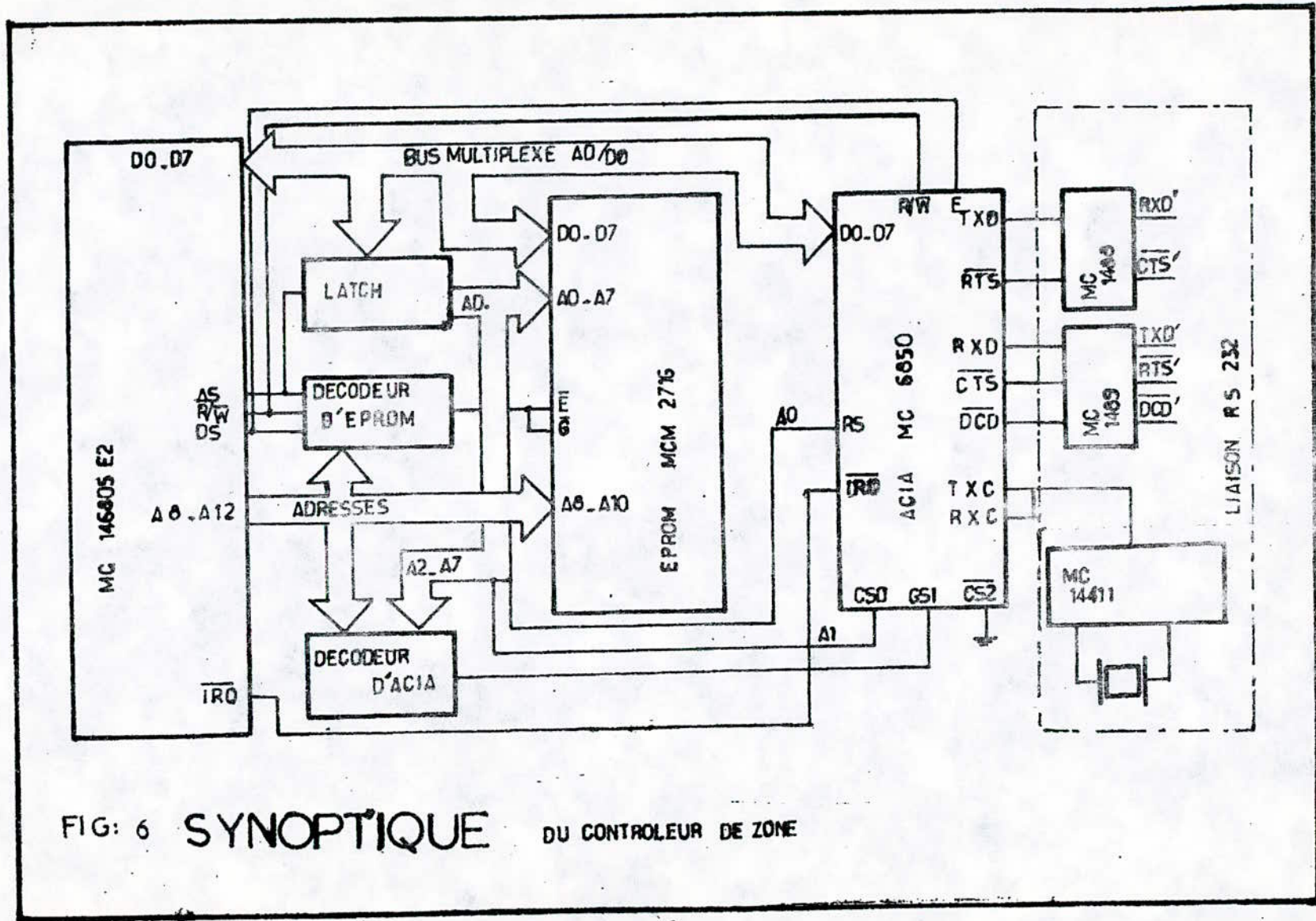


FIG: 6 SYNOPTIQUE DU CONTROLEUR DE ZONE

Le microprocesseur MC 146805E2 ayant déjà fait l'objet d'une étude détaillée, nous pensons qu'il n'est pas nécessaire de revenir dessus; mais, toutefois, nous renvoyons le lecteur à une thèse de juin 83 (ETUDE DU MICROPROCESSEUR CMOS MC 146805E2) pour toute information complémentaire. Nous signalons, cependant, que ce microprocesseur nous a intéressé dans la mesure où il possède un jeu d'instruction assez riche (61 instructions de base), une RAM intégrée de 112 octets, deux ports d'entrées/sorties comportant chacun huit lignes bidirectionnelles programmables individuellement et un Timer contenant un compteur programmable. En outre, vu sa faible consommation et sa remarquable souplesse d'utilisation, le MC 146805E2 est prédestiné à une utilisation très ciblée dans la surveillance de processus industriels et l'automatisme. Sans notre carte, le Timer est directement relié à la ligne d'information bidirectionnelle via le circuit intégré MC 14049; il est décrémente chaque fois que la ligne passe d'un état haut à un état bas, l'état de la ligne étant inversé par le port du MC 14049. Le Timer enregistre, ainsi, les changements qui surviennent sur la ligne d'information.

d.2.2. Circuit de démultiplexage adresses/données.

Le bus B0-B7 du microprocesseur CMOS MC 146805E2 est un bus multiplexé d'adresses et de données. Un cir-

cuit de démultiplicage est donc nécessaire pour avoir séparément les adresses et les données. Ce circuit est réalisé avec des bascules à verrouillage validées par la ligne adresse strobe (A5). Le verrouillage ou encore circuit LATCH, ainsi réalisé, stocke temporairement l'information présente à l'entrée des données et la transfère en sortie quand l'entrée de validation du circuit LATCH est à l'état haut.

Ce circuit LATCH est constitué par des circuits intégrés SN 7475 possédant chacun quatre entrées et quatre sorties complémentées Q et \bar{Q} . Ainsi, deux circuits intégrés suffisent pour les huit lignes du bus B0-B7 (voir en annexe la table de vérité et le brochage).

d.8.3. LA MEMOIRE

Le microprocesseur CMOS MC146805 E2 dispose d'un champ mémoire externe pouvant aller jusqu'à 8K octets. Dans notre réalisation, nous avons utilisé une mémoire de 2K octets constituée par une EPROM MCM2716. Nous n'avons pas ajouté de RAM externe car celle du microprocesseur est suffisante pour les multiples fonctions du contrôleur de zone.

La MCM 2716 est une mémoire non volatile effaçable et programmable. Une fenêtre transparente sur le boîtier permet d'effacer aux ultra-violets le contenu de la mémoire.

Caractéristiques de la MCM 2716 :

Alimentation unique de $+5V \pm 10\%$

- Organisés en 2048 mots de huit bits.

- Entrée de sélection du boîtier (\bar{E}) pour l'extension de la mémoire.

- Compatible TTL à la lecture et à la programmation.

- Temps d'accès maximum 350 ns.

Le brochage et les différents modes de la MCM 2716 sont donnés en annexe.

d.2.4 - Décodage de la mémoire.

Les vecteurs d'interruption étant positionnés de l'adresse \$1FF6 à l'adresse \$1FFF, nous avons donc placé l'EPROM dans la zone mémoire limitée par \$1800 et \$1FFF.

Nous avons :

	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
1800	1	1	0	0	0	0	0	0	0	0	0	0	0
1FFF	1	1	1	1	1	1	1	1	1	1	1	1	1

Nous remarquons qu'à partir de l'adresse \$1800, les lignes A₁₁ et A₁₂ sont toutes les deux à 1. Les onze (11) lignes A₀ à A₁₀ seront utilisées pour sélectionner l'un des 2048 octets de la mémoire. Les deux autres (A₁₁ et A₁₂) vont être combinées pour valider le boîtier.

L'EPROM devant être sélectionnée pendant une phase de lecture, on utilisera la sortie R/ \bar{W} .

Elle sera donc valide lorsque :

$$A_{11} = A_{12} = R/\bar{W} = 1$$

La MCM 2716 dispose de deux entrées de validation, l'une (\bar{E}) pour le boîtier et l'autre (\bar{G}) pour les sorties.

Pour valider le boîtier un circuit réalisant la fonction

$$G = A_{11} \cdot A_{12} \cdot R/\bar{W}$$

attaque l'entrée d'une broche D, tandis que la ligne A5 attaque son entrée horloge après inversion.

La validation des sorties se fait par la ligne D5. La combinaison de ces deux types de validation se fait par l'intermédiaire du circuit SN 7474 (FLIP FLOP). Ce circuit est un boîtier contenant deux Flip Flop. Ce sont des broches de type D ayant des entrées de mise à "1" et de mise à zéro (Preset, Clear) et des sorties Q et \bar{Q} ; L'information se trouvant à l'entrée (D) est transférée à la sortie Q au front montant du signal de synchronisation appliqué à l'entrée C (Clock). La table de vérité et le brochage du SN 7474 sont donnés en annexe.

- Principe de fonctionnement du circuit de décodage

Les signaux $\bar{A5}$ et $\bar{D5}$ vont attaquer les entrées C (clock) des Flip Flop. Pendant le front descendant de A5, la sortie du circuit réalisant la fonction $G = A_{11} \cdot A_{12} \cdot R/\bar{W}$, appliquée en D du premier Flip Flop, va passer en sortie \bar{Q} et valider

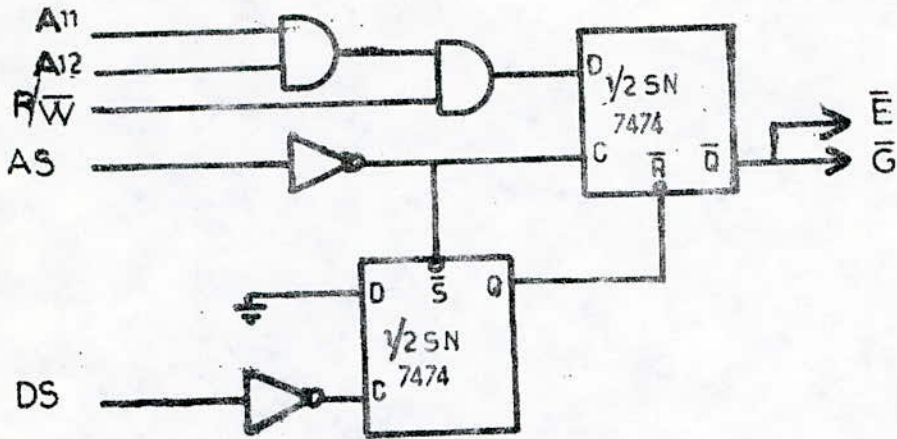


FIG: 7 DECODEUR DE L'EPROM

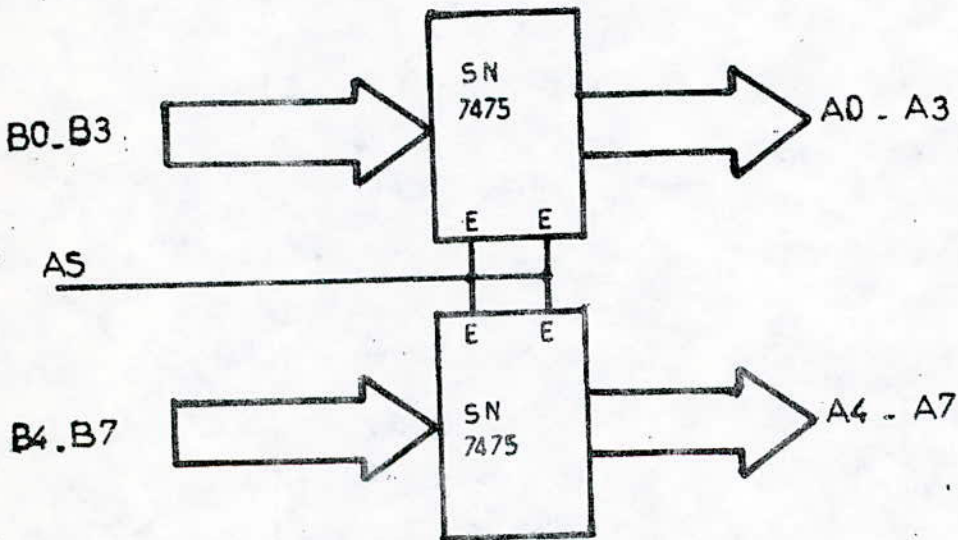


FIG: 8 DEMULPLEXAGE DU BUS ADRESSES DONNEES

L'EPROM (\bar{Q} étant relié à \bar{E})

La ligne A_5 est reliée aussi à l'entrée \bar{S} (mise à zéro) du deuxième Flip Flop. Lorsque A_5 est à l'état "1", \bar{S} va forcer la sortie Q à zéro. Celle-ci étant reliée à \bar{R} du deuxième Flip Flop, on obtiendra un zéro en \bar{Q} d'où la validation de \bar{E} . À ce moment, la ligne D_5 est à l'état bas et n'intervient pas. Lorsqu'elle passe par un front descendant, les données étant validées, elle va autoriser le passage de zéro (l'entrée du deuxième Flip Flop est reliée à la masse) lequel va forcer la sortie \bar{Q} de ce circuit à zéro (Q étant mis à 1) et valider ainsi la sortie (\bar{G}) des données.

Si après le timing de A_5 et D_5 , on remarque que lorsque l'une passe par un front descendant, l'autre va entamer un front montant et vice versa. Pour cela, les deux entrées de validation \bar{E} et \bar{G} sont reliées ensemble.

d. 2.5 - L'ACIA.

Le contrôleur de zone devant être relié à une centrale relativement éloignée (l'éloignement pouvant aller de quelques mètres à plusieurs centaines de mètres), leur connexion sera assurée par une interface série asynchrone associée à une liaison série asynchrone RS232 prévue pour être utilisée (éventuellement) avec un MODEM.

L'ACIA réalise la mise au format des données et le contrôle de la transmission. Il est relié au processeur par les entrées de sélection, la ligne de lecture-écriture, la ligne d'interruption

et le bus de données. À son interface de la liaison série asynchrone, il est relié par les lignes de commandes et les deux lignes d'émission et de réception.

d.2.6 - Decodage de l'ACIA.

Sans l'espace mémoire disponible, l'ACIA a été positionné aux adresses 0002 et 0003. Pour éviter que l'espace réservé à l'ACIA ne chevauche avec celui de l'EPROM, le circuit de décodage de l'ACIA doit réaliser la fonction suivante :

$$\bar{A}_{12} \cdot \bar{A}_{11} \cdot \bar{A}_{10} \cdot \bar{A}_9 \cdot \bar{A}_8 \cdot \bar{A}_7 \cdot \bar{A}_6 \cdot \bar{A}_5 \cdot \bar{A}_4 \cdot \bar{A}_3 \cdot \bar{A}_2 = 1$$

Sur la carte du contrôleur de zone, cette fonction est réalisée par deux circuits intégrés SN7402 et un circuit intégré SN7421.

- Validation de l'ACIA.

Les entrées de validation de l'ACIA sont CS_0 , CS_1 et \bar{CS}_2 . L'ACIA est relié au circuit de décodage par la patte CS_1 . De même, il est relié à la ligne adresse A_1 par la patte CS_0 . L'entrée \bar{CS}_2 étant connectée directement à la masse, l'ACIA sera donc validé lorsque la sortie du décodeur et la ligne adresse A_1 sont toutes les deux à 1.

La ligne adresse A_0 , reliée à l'entrée RS , permet l'accès aux registres internes de l'ACIA. Les registres internes de l'ACIA étant aux nombres de quatre (4), on comprend facilement qu'il y a une adresse pour y avoir accès. Le raisonnement est que les registres d'état et de réception n'ont qu'à être lus alors que les registres de contrôle et de transmission n'ont qu'à être écrits. Les registres de réception et de

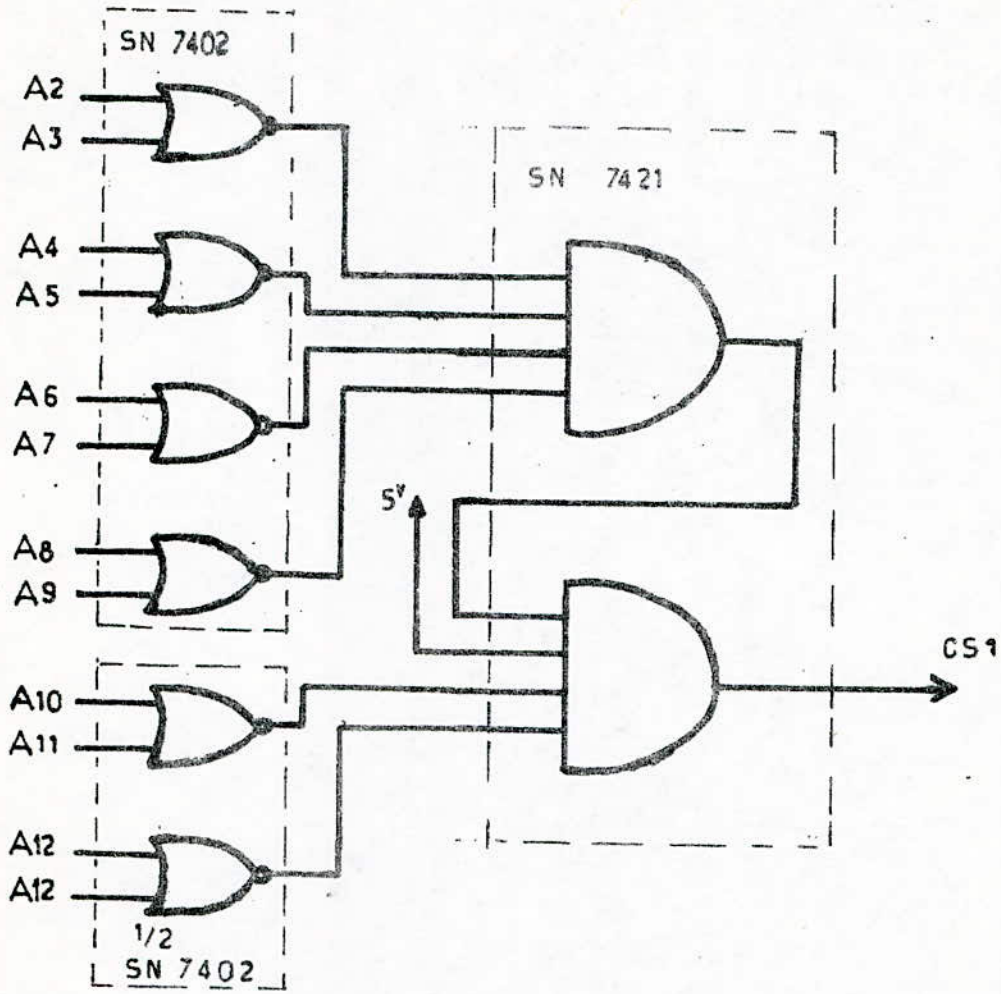


FIG: 9 DECODEUR DE L'ACIA

transmissions sont donc accessibles lorsque RS est à "1" et c'est l'état de la ligne R/W qui indique si l'on a accès à l'un ou à l'autre. De même, les registres d'état et de contrôle sont tous les deux accessibles lorsque RS est à "0" et c'est la ligne R/W qui décide si l'on a accès à l'un ou à l'autre.

La cadence des échanges de données entre l'ACIA et le processeur est assurée par la ligne de commande (DS) connectée à l'entrée d'horloge (E) de l'ACIA.

d.2.7. Liaison série asynchrone RS232.

En examinant les définitions des normes et signaux TTL, on constate que ceux-ci sont mal adaptés aux communications à grande distance. Pour s'affranchir de ce problème, des normes ont vu le jour. Parmi ces normes, la RS232 est la plus utilisée à l'heure actuelle. Le principe de l'élaboration de la liaison série asynchrone RS232 est très simple: les signaux sortant de l'ACIA passe dans un adaptateur de niveau avant d'être envoyés sur le câble liant le contrôleur de zone à la centrale de sécurité; les signaux arrivant de la centrale sur le câble de réception passe, eux aussi, dans un adaptateur de niveau pour être remis au normes TTL et être appliqués à l'ACIA.

Circuits d'interface de la liaison RS232.

L'interfaçage entre les signaux TTL et les signaux RS232 est réalisé par deux circuits très classiques au point qu'ils existent

chez tous les fabricants de circuits intégrés. Ce sont le MC 1488 et le MC 1489.

Le MC 1488 est le circuit d'émission RS232; c'est à dire que l'on applique des signaux TTL sur les entrées de ses portes et qu'il en sort des signaux RS232. Pour ce faire, il dispose de deux pattes d'alimentation qui peuvent admettre jusqu'à +15 volts et -15 volts (son alimentation sur la carte se fait par +12 volts et -12 volts).

Le MC 1489 est le circuit de réception; il admet donc des signaux RS232 sur ses entrées pour fournir des signaux TTL en sortie. Se ce fait il utilise une seule alimentation +5 volts. Ses entrées admettent des signaux qui peuvent aller jusqu'à +30 volts et -30 volts d'amplitude (ce qui offre une grande marge de sécurité). Les seuils de basculement sont de +1,5 volts et -1,5 volts. À la réception, il reconnaît donc comme signal haut tout signal de niveau supérieur à +1,5 volts et comme signal bas tout signal de niveau inférieur à -1,5 volts.

Comme nous le montre la figure 10 l'utilisation de ces deux interfaces avec l'ACIA est tout à fait élémentaire. Ils sont directement connectés aux entrées et sorties de l'ACIA d'une part et aux entrées et sorties RS232 d'autre part.

d. 2. 8 - Autres circuits utilisés.

- MC 8T95.

Le MC8T95 est un buffer à trois états (0, 1, haute impédance). Ce circuit possède six (06) lignes unidirectionnelles de protection et d'amplification (voir brochage et table de vérité en annexe). Les lignes AS, DS et R/W étant utilisées dans plusieurs circuits (décodage de l'EPROM, ACIA, circuits LATCH) nous les avons reliées aux entrées du MC8T95.

- Bascule RS (SN 7400)

Une bascule RS déclenchée à l'aide d'un bouton poussoir est utilisée pour la pin RESET. Elle est utilisée pour éviter le rebondissement des impulsions sur cette entrée d'interruption. Cette bascule est réalisée à l'aide de deux portes de circuit intégré SN 7400.

- Générateur d'horloge (Baud Rate).

Les vitesses de transmission sur les lignes série asynchrones étant normalisées (les valeurs les plus répandues sont - 110, 300, 600, 1200, 2400, 4800, 9600 et parfois 129600 bits par seconde), les fréquences nécessaires au fonctionnement de l'ACIA sont dérivées par un circuit intégré de Motorola, le MC14411 qui est l'un des circuits intégrés les plus utilisés dans cette fonction. Ce circuit se compose d'un oscillateur à quartz à fréquence élevée suivi par un diviseur programmable par 1, 8, 16 ou 64. Ayant choisi pour l'ACIA un mode d'horloge divisé par 16, nous avons mis la patte A du Baud Rate à la masse, et la patte B à Vcc (+5 volts), afin que le MC14411 génère des fréquences égales à 16 fois la vitesse de transmission.

- Le SN 7417.

Les compteurs utilisés dans les logiques de sélection étant actifs au front descendant de l'impulsion d'allumage, un collecteur ouvert. Le circuit intégré SN 7417, permet l'opération de comptage en court-circuitant la ligne de transmission (cette ligne étant à un état haut (+12 volts) au repos). Pour ce faire, nous avons relié la ligne PB2 du port B du CPU, programmée sortante, à l'entrée d'une porte du circuit intégré SN 7417 (La sortie de cette porte étant connectée à la ligne de transmission).

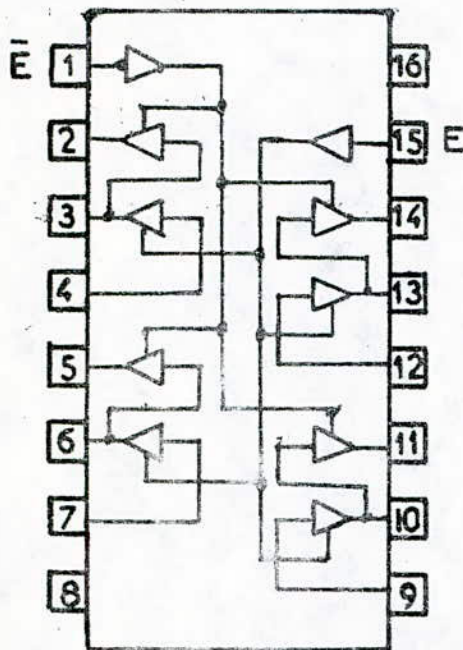
- Le MC 14049.

Le fil d'alimentation des détecteurs étant à 12 volts comme la ligne de transmission au repos, il est impératif de ramener ce potentiel à 5 volts avant de les connecter aux puces PB3 et PB4 du CPU (PB3 et PB4 sont programmées rentrantes pour surveiller la présence de l'alimentation au niveau des deux lignes). Pour ce faire, le fil d'alimentation et la ligne de transmission sont reliés chacun, à travers une résistance de $1K\Omega$, à l'entrée d'une porte du circuit intégré CMOS MC 14049 (Les sorties des portes sont connectées respectivement à PB3 et PB4).

- Le MC 8728

Le MC 8728 est un buffer bidirectionnel à trois états (0, 1, haute impédance). Ce circuit possède huit (08) portes "amplificateurs", montées deux à deux en tête bêche, dont quatre (04) utilisées sortantes

MC 8T28



R/W	AS	E	\bar{E}
0	0	1	1
0	1	1	1
1	0	0	0
1	1	1	1

validées par E et quatre restantes validées par \bar{E} .
 Ainsi deux (02) circuits MC8T28 suffisent pour am-
 plifier le bus multiplexe adresse/données. Les ad-
 resses étant toujours sortantes et les données bi-
 directionnelles, la fonction devant répondre à ces
 contraintes est donnée par la table de vérité ci-dessus.

$$E = \bar{E} = \overline{AS \cdot R/\bar{W}}$$

CHAPITRE II

ORGANISATION DE LA SURVEILLANCE

II.1. Idée générale.

Il s'agit de sélectionner successivement des points d'observation (63 au maximum) et de signaler les anomalies qui pourraient y survenir (incendie, inondation, source radioactive dangereuse). Pour faire face aux surprises de coupure d'alimentation qui introduiraient des erreurs graves dans le déroulement du programme de surveillance, on teste la présence de l'alimentation et l'état de la ligne de transmission (reliant les points d'observation) au début de chaque cycle de surveillance.

Le cycle de surveillance est donné par l'algorithme suivant:

- Ⓐ - S'assurer de la présence de l'alimentation des détecteurs.
- Contrôler l'état de la ligne de transmission.
 - S'assurer du bon fonctionnement de toutes les logiques de sélection.
 - Procéder à la lecture des informations présentes à la sortie des détecteurs
 - Aller en Ⓐ.

Lorsque la centrale génère une interruption, le contrôleur de zone arrête le déroulement du programme de surveillance et lui communique les informations qu'il a enregistrées (les informations étant emmagasinées dans la RAM du CPU, voir fig 12.)

CHAMP MEMOIRE TRANSMIS VERS LA CENTRALE

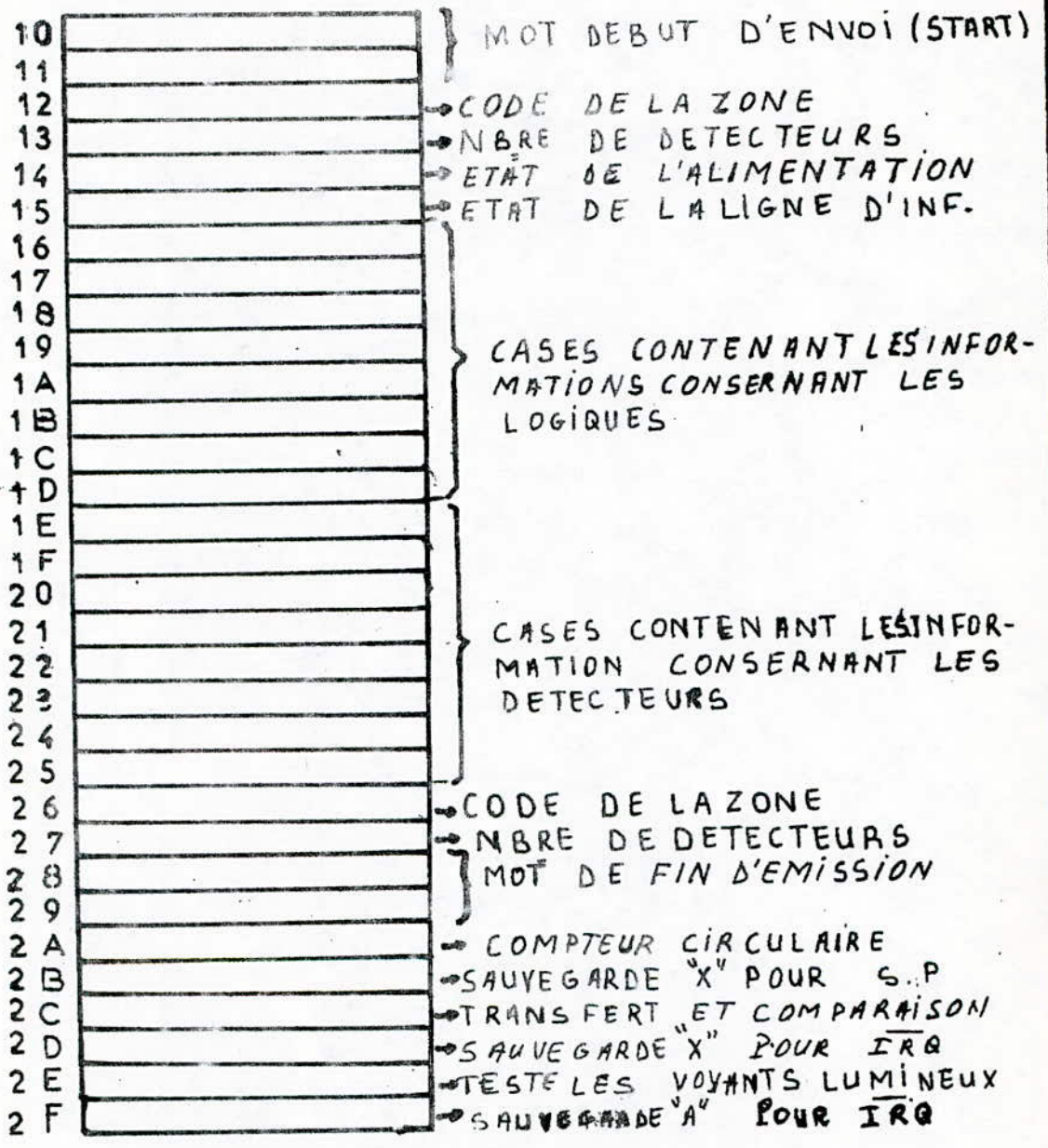


FIG: 12
DISPOSITION DE LA RAM UTILISEE

- Contrôle des logiques de sélection.

Le contrôleur de zone envoie deux impulsions et attend la réponse de la première logique de sélection. Les deux impulsions sont enregistrées par tous les compteurs et le TIMER.

Si la première logique (codée sur le nombre 02) répond, la réponse étant traduite par une impulsion sur la ligne de transmission, le contrôleur est rassuré de son bon fonctionnement et envoie une autre impulsion (les compteurs et le TIMER ayant noté la réponse de la logique codée sur "02") pour atteindre la logique codée sur le nombre 04. Sans le cas où il n'y a pas de réponse (logique en panne) le contrôleur doit envoyer deux autre impulsions pour atteindre la logique suivante (le codage étant fait sur des nombres pairs). Sans le cas d'une réponse comme dans le cas contraire, le contrôleur de zone mémorise dans la RAM du CPU, et sur un bit, l'état de chaque logique de sélection. Sans le cas d'une panne, un voyant orange s'allume pour la signaler au niveau du contrôleur.

- Lecture des détecteurs.

Le cycle de lecture se fait de la même façon que le cycle de contrôle des logiques de sélection; la seule différence à noter est que la présence d'une réponse sur la ligne de transmission traduit qu'un détecteur a été sollicité et qu'une alarme doit être déclenchée. Le contrôleur mémorise ainsi dans la RAM du CPU, et

et toujours sur un bit, l'état de chaque détecteur. Dans le cas d'une alarme, le contrôleur de zone (déjà à son niveau) déclenche un signal sonore et actionne un voyant témoin rouge.

II.2 - Logiciel.

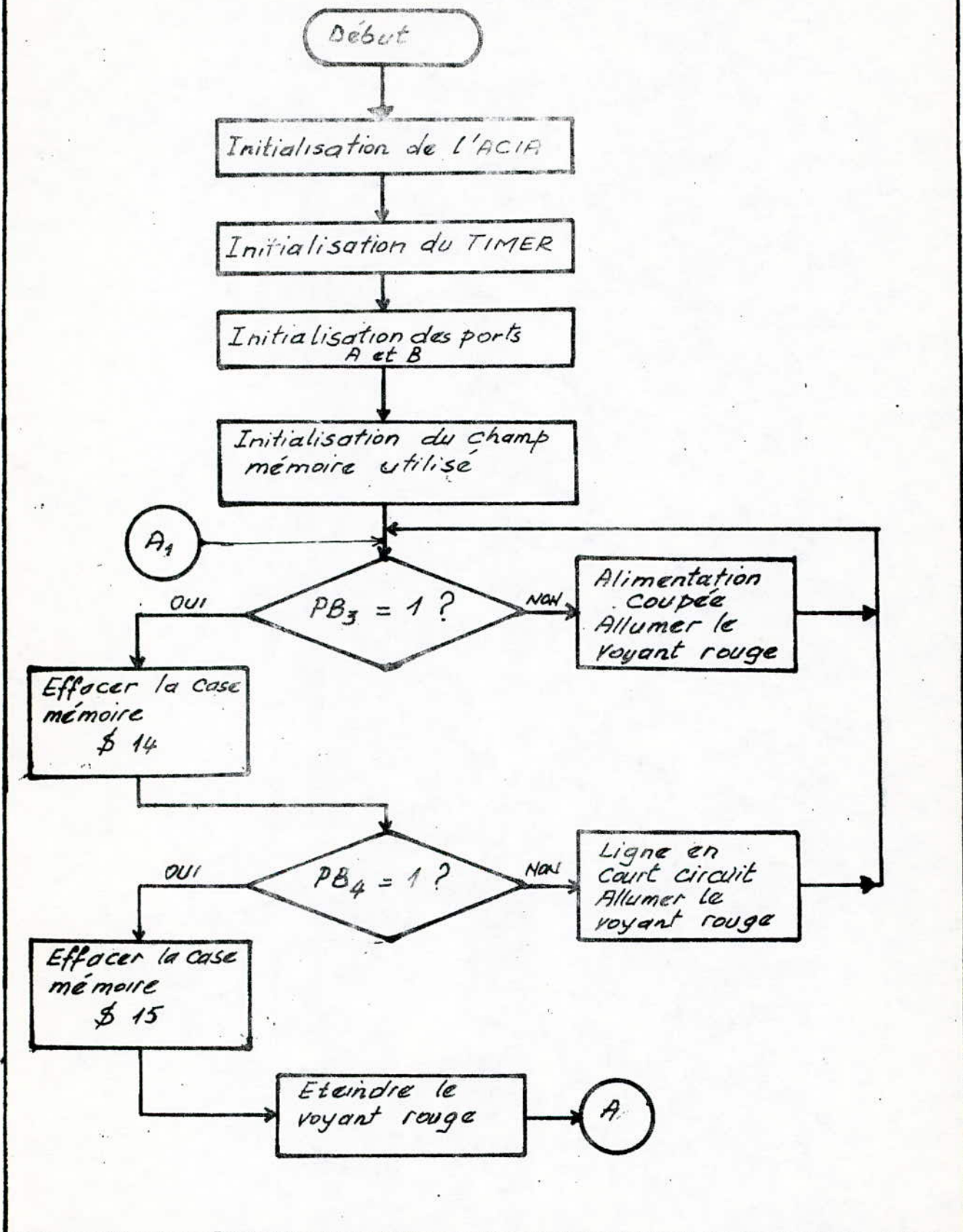
Avant le déroulement du programme de surveillance on doit toujours s'assurer que la ligne de transmission et le fil d'alimentation des détecteurs sont bien connectés au contrôleur de zone, et que sur le port A du CPU, programmé maintenant, le nombre de détecteurs à scruter a bien été affecté (l'affichage se fait en binaire par des LEDs à Vcc (+5 volts) et à la masse). Cette affichage permet le masquage des détecteurs absents. Par ailleurs, on doit aussi respecter la succession numérique dans l'attribution des codes (le codage se fait sur des nombres pairs) pour les détecteurs présents; c'est à dire qu'on commence par le nombre 02 et qu'on termine par le dernier détecteur présent sur la chaîne (le nombre maximum de détecteurs qu'on peut scruter étant limité à "63", le code maximum porte donc la valeur 126).

II.2.1. Algorithme.

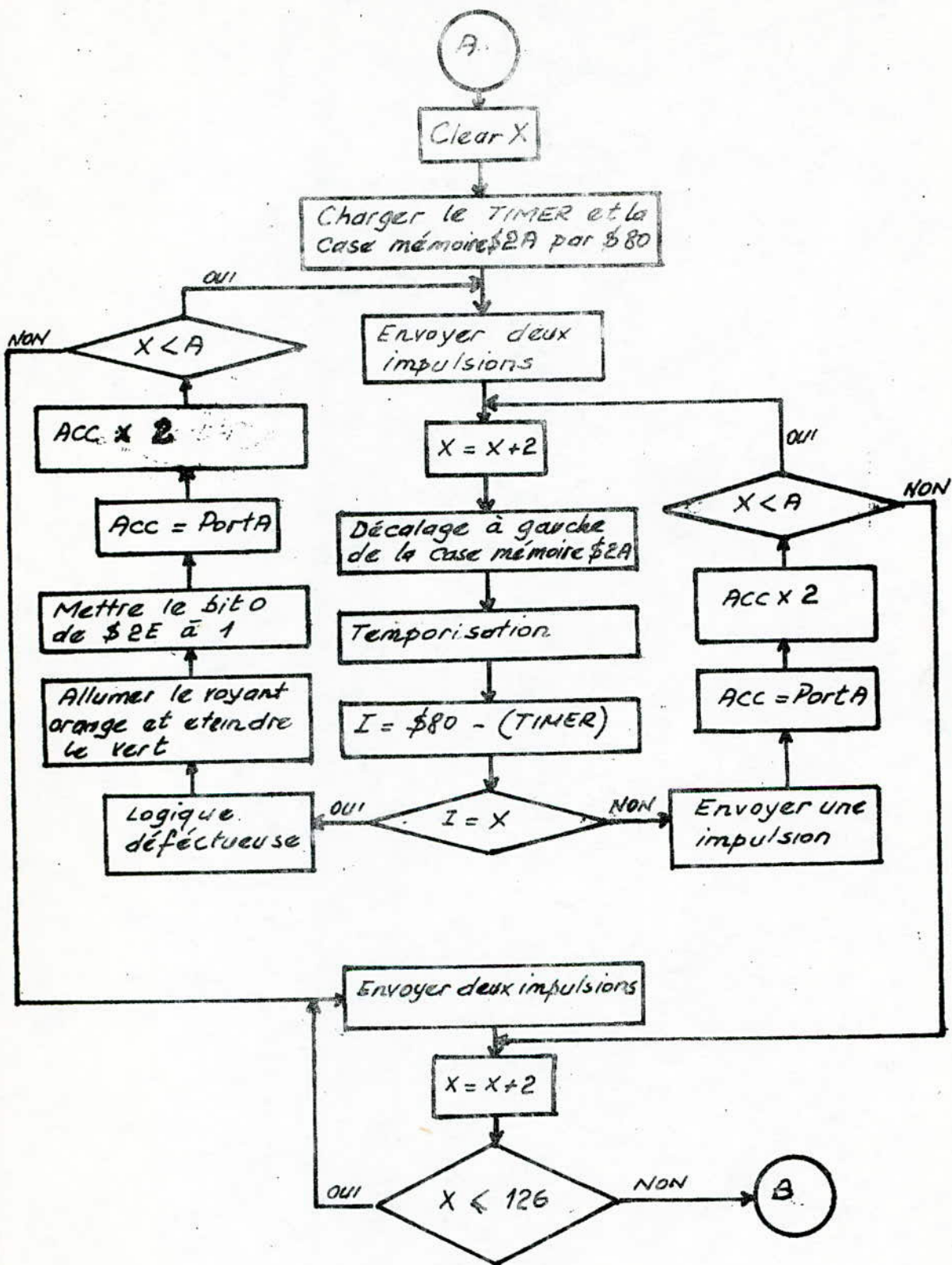
- Initialisation du contexte
- Contrôle de l'alimentation et de la ligne de transmission
- Contrôle des logiques de sélection.
- Lecture des détecteurs.

II.2.2. Organigrammes.

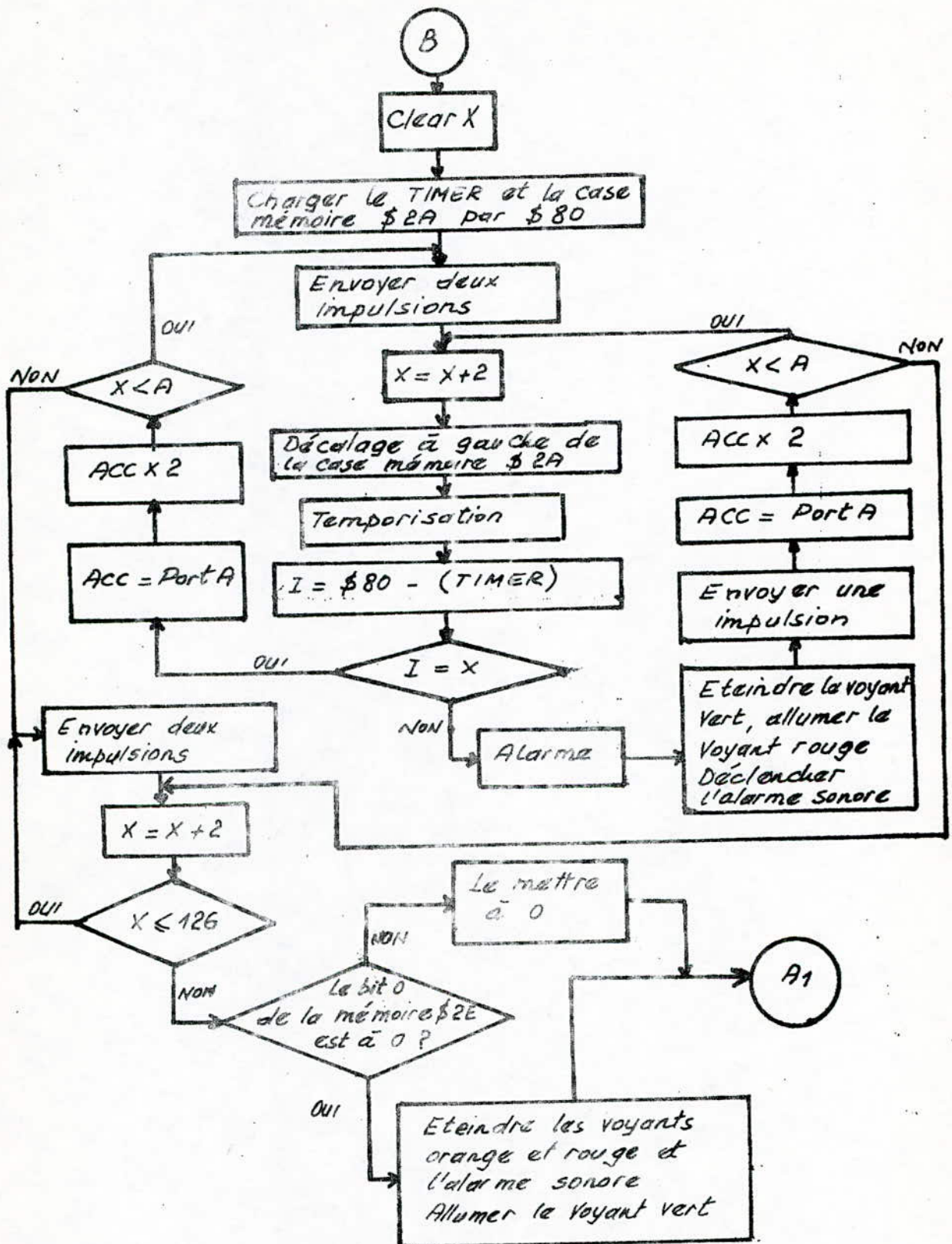
ORGANIGRAMME D'INITIALISATION ET DE CONTROLE



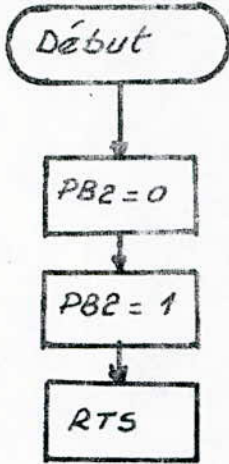
ORGANIGRAMME DE CONTROLE DES LOGIQUES DE SELECTION



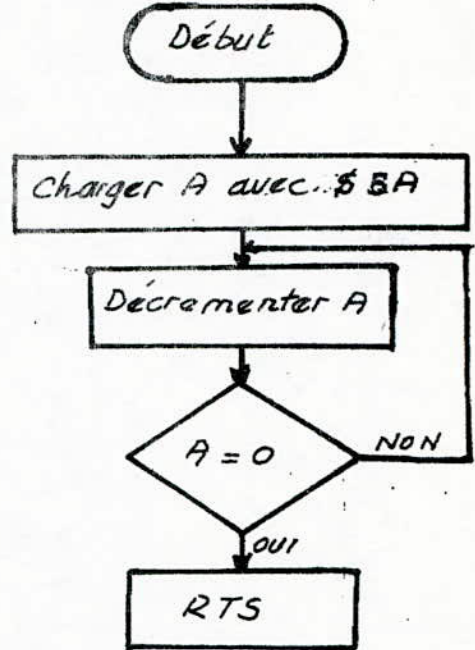
ORGANIGRAMME DE LECTURE DES DETECTEURS



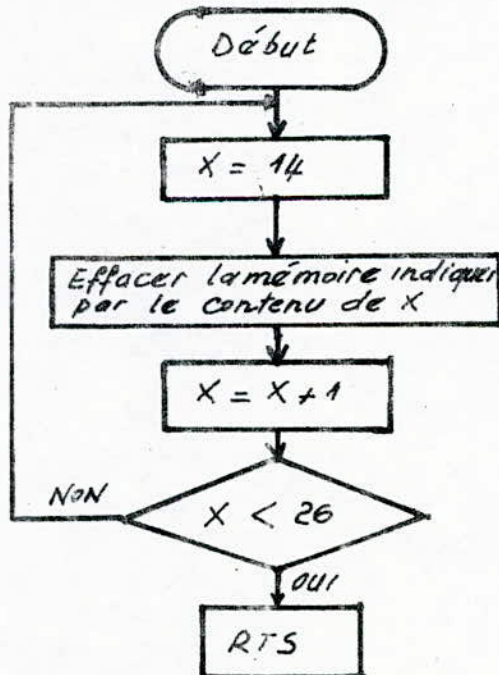
ORGANIGRAMME SPD1: ENVOI D'UNE IMPULSION



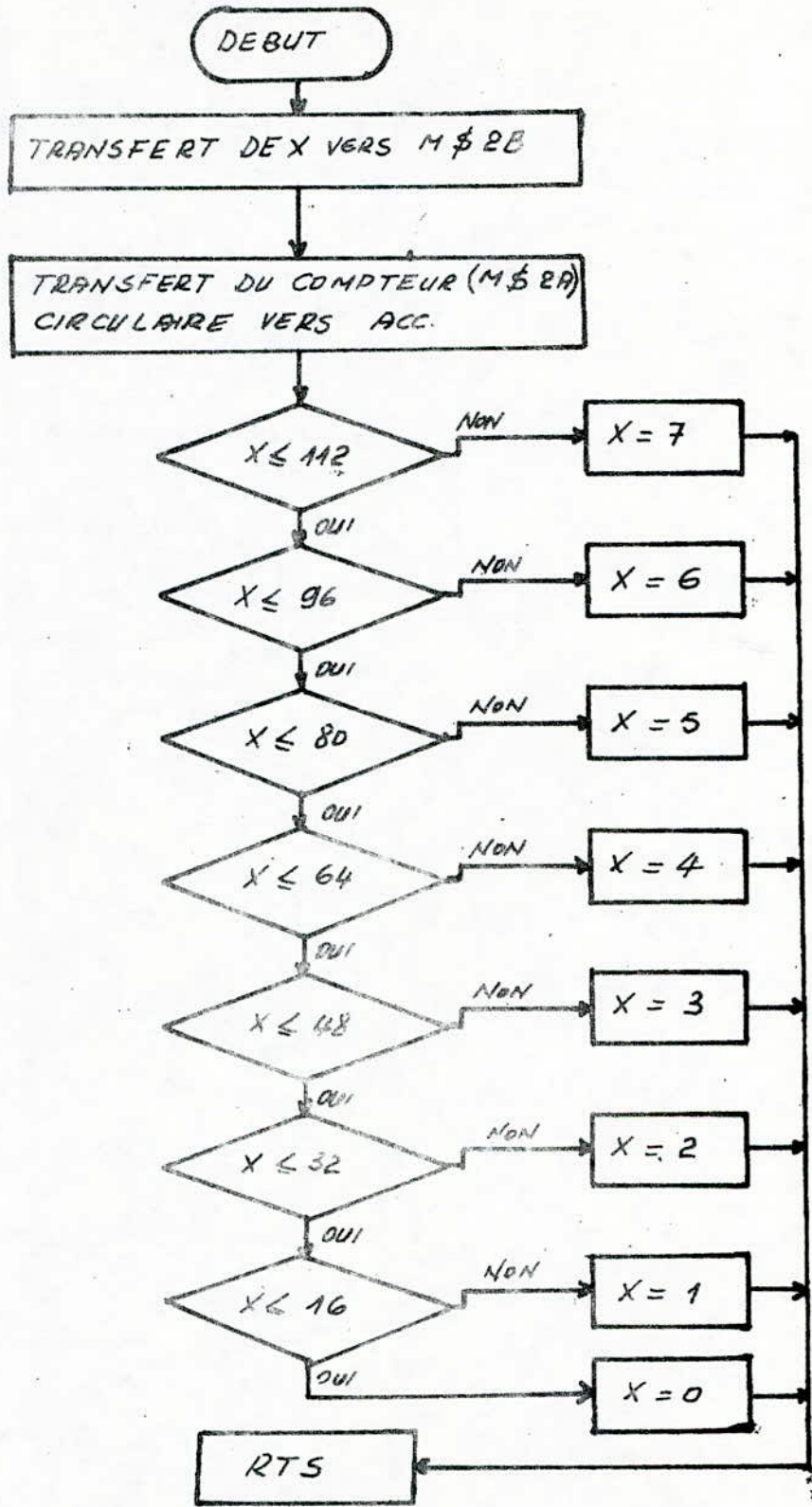
ORGANIGRAMME SPD2: TEMPORISATION



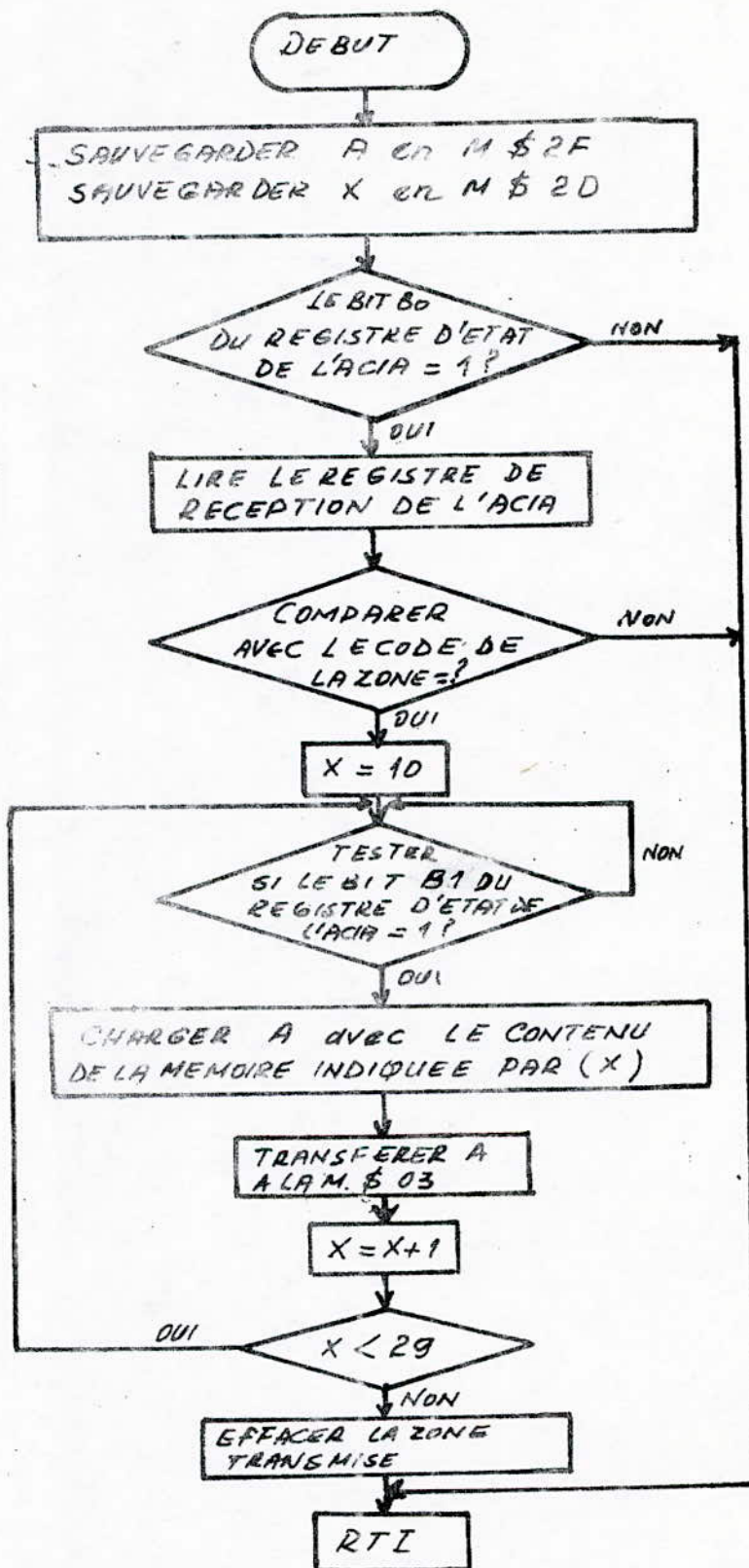
ORGANIGRAMME SPD4: INITIALISATION DU CHAMP MEMOIRE A TRANSMETTRE.



ORGANIGRAMME SPD3 : POSITIONNEMENT DES OCTETS
DEVANT ENMAGAZINER LES INFORMATIONS



ORGANIGRAMME DE L'INTERRUPTION \overline{IRQ}



II.2.3. Programme principale de la surveillance.

Adresse	Assembleur	Langage machine	Commentaires
1800	LDA##\$03	A6 03	Initialisation de l'ACIA
1802	STA \$02	B7 02	(remise à zéro programmée, interruption démasquée en réception et masquée en émission).
1804	LDA##\$91	A6 91	
1806	STA \$02	B7 02	
1808	CLRA	4F	Initialisation du port A
1809	STA \$04	B7 04	rentrant.
180B	LDA##\$67	A6 67	Initialisation du port B.
180D	STA \$05	B7 05	
180F	BCLR0\$01	11 01	Extinction de tous les voyants lumineux
1811	BCLR1\$01	13 01	
1813	BSET2\$01	14 01	
1815	BCLR5\$01	1B 01	
1817	BCLR6\$01	1D 01	
1819	LDA##\$03	A6 03	Chargement du premier mot indicateur de début d'envoi.
181B	STA \$10	B7 10	
181D	STA \$11	B7 11	
181F	LDA##\$04	A6 04	Chargement du deuxième mot indicateur de fin d'envoi.
1821	STA \$28	B7 28	
1823	STA \$29	B7 29	
1825	LDA##\$01	A6 01	Chargement du code de la zone.
1827	STA \$12	B7 12	

1829		STA \$26	B7 26	
182B		LDA \$00	B6 00	<i>Changement du nombre de débites (22 ff. c. de sur port A) dans les mémoires \$13 et \$27.</i>
182D		STA \$13	B7 13	
182F		STA \$27	B7 27	
1831		LDA ## \$78	A6 78	<i>Initialisation du TIMER (Interruption TIMER masquée)</i>
1833		STA \$09	B7 09	
1835		JSR SPD4	CD 195E	
1838	A1	BRSET3 \$01 A2	06 01 0B	<i>Contrôle de l'alimentation. Mémoires l'état de l'alimentation.</i>
183B		LDA ## \$FF	A6 FF	
183D		STA \$14	B7 14	
183F		BSET0 \$01	10 01	<i>Allumer le voyant rouge Éteindre le voyant vert</i>
1841		BCLR1 \$01	13 01	
1841		BCLI		
1843		JMP A1	CC 1838	
1846	A2	CLRA	4F	<i>Mémoires l'état de l'alimentation</i>
1847		STA \$14	B7 14	
1849		BRSET4 \$01 A3	08 01 0B	<i>Contrôle de la ligne de transmission. Mémoires l'état de la ligne de transmission.</i>
184C		LDA ## \$FF	A6 FF	
184E		STA \$15	B7 15	
1850		BSET0 \$01	10 01	<i>Allumer le voyant rouge Éteindre le voyant vert</i>
1852		BCLR1 \$01	13 01	
1854		JMP A1	CC 1838	
1857	A3	CLRA	4F	<i>Mémoires l'état de la ligne de transmission.</i>
1858		STA \$15	B7 15	

185A		BCLR0 \$01	11 01	Eteindre le voyant rouge
185C		CLRX	5F	
185D		LDA## \$80	A6 80	Chargement du TIMER
185F		STA \$2A	B7 2A	et de la mémoire \$2A
1861		STA \$08	B7 08	par la valeur \$80 (128)
1863	A4	JSR SPD1	CD 1919	Envoi d'une impulsion
1866		JSR SPD1	CD 1919	Envoi d'une impulsion
1869	As	INCX	5C	
186A		INCX	5C	
186B		LSL \$2A	38 2A	
186D		JSR SPD2	CD 195E	Temporisation (1ms).
1870		LDA## \$80	A6 80	Contrôle des Logiques
1872		SUBA \$08	B0 08	de sélection
1874		STX \$2C	B7	
1876		CMP \$2C	B1 2C	
1878		BNE A8	26 27	
187A		JSR SPD3	CD 1926	
187D		ORA M [(x)+16]	EA 16	Flocker l'état des
187F		STA M [(x)+16]	E7 16	Logiques de sélection
1881		BSET5 \$01	1A 01	Allumer le voyant
1883		BCLR1 \$01	13 01	orange (pinche)
1885		LDX \$2B	BE 2B	Eteindre le voyant vert
1887		BSET0 \$2E	10 2E	Charger le registre index
1889		LDA \$00	B6 00	par le contenu de la mem. \$2B
				Charger l'accumulateur
				par le port A

188B		LSL A	48	Contrôler si toutes les
188C		STA \$ 2C	B7 2C	logiques de sélection
188E		CPX \$ 2C	B3 2C	ont été testées.
1890		BLO A4	25 D1	
1892	A6	JSR SPD1	CD 1919	Envoi d'une impulsion
1895		JSR SPD1	CD 1919	Envoi d'une impulsion
1898	A7	INCX	5C	
1899		INCX	5C	
189A		CPX ++ \$ 7E	A3 7E	Comparer le contenu du
189C		BLS A6	23 F4	registre index à 126.
189E		JMP B	CC 18BD	
18A1	A8	JSR SPD1	CD 1919	Envoi d'une impulsion
18A4		LDA \$ 00	B6 00	Charger l'accumula-
18A6		LSLA	48	teur par le port A.
18A7		STA \$ 2C	B7 2C	
18A9		CPX \$ 2C	B3 2C	Comparer le contenu de x
18AB		BLO A5	25 BC	avec le nombre affiché au port A
18AD		JMP A7	CC 1898	
18B0	B	CLRX	5F	
18B1		LDA ++ \$ 80	A6 80	Charger la mémoire
18B3		STA \$ 2A	B7 2A	\$ 2A et le TIMER par
18B5		STA \$ 08	B7 08	la valeur 128
18B7	A9	JSR SPD1	CD 1919	Envoi d'une impul-
18BA		JSR SPD1	CD 1919	sion
				Envoi d'une impulsion

18BD	A10	INCX	5C	
18BE		INCX	5C	
18BF		LSL \$ 2A	38 2A	
18C1		JSR SPD2	CD 191E	Temporisation (1ms).
18C4		LDA ++ \$ 80	A6 80	Lecture des détecteurs
18C6		SUBA \$ 08	B0 08	
18C8		STX \$ 2C	BF 2C	
18CA		CMP \$ 2C	B1 2C	
18CC		BEQ A14	27 3F	
18CE		JSR SPD3	CD 1926	
18D1		ORA M[(X)+1E]	EA 1E	Stocker la réponse des
18D3		STA M[(X)+1E]	E7 1E	détecteurs.
18D5		BCLR1 \$ 01	13 01	Eteindre le voyant vert
18D7		BSET0 \$ 01	10 01	Allumer le voyant rouge
18D9		BSET6 \$ 01	1C 01	déclencher l'alarme sonore.
18DB		LDX \$ 2B	BE 2B	
18DD		BSET0 2E	10 2E	Mettre à 1 le bit témoin des signaux.
18DF		JSR SPD1	CD 1919	Envi d'une impulsion.
18E2		LDA \$ 00	B6 00	Charger l'accumulateur par le port A.
18E4		LSL A	48	
18E5		STA \$ 2C	B7 2C	Contrôler si tous les dé- tecteurs ont été lus
18E7		CPX \$ 2C	B3 2C	
18E9		BLO A10	25 02	
18EB		JMP A12	CC 18F4	

18EE	A11	JSR SPD1	CD 1919	Envoi d'une impulsion
18F1		JSR SPD1	CD 1919	Envoi d'une impulsion
18F4	A12	INC X	5C	
18F5		INC X	5C	
18F6		CPX ++ \$ 7E	A3 7E	Comparer le contenu de X avec la valeur 136.
18F8		BLS A11	23 F4	
18FA		BRCLO \$ 2E A13	01 2E 05	
18FD		BCLRO \$ 2E	11 2E	Mettre à 0 le bit témoin des signalisation anormale
18FF		JMP A1	CC 1838	
1902	A13	BCLRO \$ 01	11 01	Eteindre le voyant rouge
1904		BCLR5 \$ 01	1B 01	Eteindre le voyant orange.
1906		BCLR6 \$ 01	1D 01	Stopper l'alarme sonore
1908		BSET1 \$ 01	12 01	Allumer le voyant vert
190A		JMP A1	CC 1838	
190D	A14	LDA \$ 00	B6 00	Charger l'accumulateur par le port A.
190F		LSLA	48	
1910		STA \$ 2C	B7 2C	Vérifier que tous les détecteurs ont été lus
1912		CPX \$ 2C	B3 2C	
1914		BLO A9	25 A1	
1916		JMP A11	CC 18EE	

Sous programme SPD1 (envoi d'une impulsion)

1919	BCLR2 \$01	15 01
191B	BSET2 \$01	14 01
191D	RTS	81

Sous programme SPD2 (temporisation)

191E	LDA++ \$5A	A6 5A
1920	Lp1 DECA	4A
1921	CMP++ \$00	A1 00
1923	BNE Lp1	26 FB
1925	RTS	81

Sous programme SPD3

1926	STX \$2B	BF 2B
1928	LDA \$2A	B6 2A
192A	CPX++ \$70	A3 70
192C	BLS P1	23 03
192E	LDX++ \$07	AE 07
1930	RTS	81
1931	P1 CPX++ \$60	A3 60
1933	BLS P2	23 03
1935	LDX++ \$06	AE 06
1937	RTS	81
1938	P2 CPX++ \$50	A3 50

Positionnement des octets où doivent être emmagasinées les informations sur les logiques de sélection et les détecteurs.

193A	BLS P3	23 03
193C	LDX++\$05	AE 05
193E	RTS	81
193F P3	CPX++\$40	A3 40
1941	BLS P4	23 03
1943	LDX++\$04	AE 04
1945	RTS	81
1946 P4	CPX++\$30	A3 30
1948	BLS P5	23 03
194A	LDX++\$03	AE 03
194C	RTS	81
194D P5	CPX++\$20	A3 20
194F	BLS P6	23 03
1951	LDX++\$02	AE 02
1953	RTS	81
1954 P6	CPX++\$10	A3 10
1956	BLS P7	23 03
1958	LDX++\$01	AE 01
195A	RTS	81
195B P7	LDX++\$00	AE 00
195D	RTS	81

Sous programme SPD4.

195E	LDX++\$14	AE 14
------	-----------	-------

1960	LP	CLR M(x)	7F	
1961		INCX	5C	Effacement de la
1962		CPX ++ \$ 26	A3 26	zone mémoire comprise
1964		BLO LP	25 FA	entre \$14 et \$ 26
1966		RTS	81	

Programme d'interruption externe (IRQ)

1967		STA \$ 2F	B7 2F	Sauvegarder l'accumu- lateur en \$ 2D.
1969		STX \$ 2D	BF 2D	Sauvegarder le registre index en \$ 2D.
196B		BRSET0 \$ 02 K1	00 02 01	Tester le bit 00 du registre d'état de l'ACIA.
196E		RTI	80	
196F	K1	LDA \$ 03	B6 03	Comparer le contenu du registre de réception avec le code de la zone.
1971		CMP \$ 12	B1 12	
1973		BEQ K2	27 01	
1975		RTI	80	
1976	K2	LDX ++ \$ 10	AE 10	Charger le registre index par la valeur \$ 10
1978	K3	BRSET1 \$ 02 K4	02 02 03	
1978		JMP K3	CC 1978	
197E	K4	LDA M(x)	F6	Envi de la zone mé- moire comprise entre
197F		STA \$ 03	B7 03	\$10 et \$ 29.
1981		INCX	5C	
1982		CPX ++ \$ 29	A3 29	
1984		BLO K3	25 F2	
1986		JSR SPD4	CD 195E	Effacer la zone mémoire comprise entre \$10 et \$ 29

1989	LDX \$2D	BF 2D	<i>Charger le registre index par le contenu de la mem. \$ 2D</i>
198B	LDA \$2F	B6 2F	
198D	RTI	80	<i>Charger l'accumulateur par le contenu de la mem. \$2F.</i>

.
 .
 .
 .
 .
 .
 .
 .
 .
 .

1FFA	19	} vecteur interruption \overline{IRQ}
1FFB	67	
1FFE	18	} vecteur interruption RESET
1FFF	00	

CONCLUSION

Cette étude nous a permis de mettre en œuvre quelques connaissances acquises durant notre cycle universitaire et de nous familiariser avec le microprocesseur CMOS MC 146805E2.

Centraliser un système de sécurité pose de nombreux problèmes. Pour nous, il s'agirait de trouver un compromis entre le logiciel, la conception (HARDWARE) et le coût du système. Un multiplexage au niveau du contrôleur de zone nous aurait facilité beaucoup le travail du point de vue logiciel. Cependant, ce multiplexage présente deux inconvénients majeurs, à savoir :

- système très coûteux et encombrant puisque les détecteurs seraient reliés séparément (chacun par son propre bus) au contrôleur de zone,
- un HARDWARE plus complexe (décodage et démultiplexage de chaque détecteur).

Ces deux inconvénients nous ont poussés à opter pour une conception n'utilisant qu'un bus unique, à trois fils, commun à tous les détecteurs; ce qui réduit énormément le coût du système et allège le HARDWARE bien que cela rend notre logiciel plus complexe.

L'utilisation du microprocesseur MC 146805 G2 (nouvelle version du microprocesseur CMOS), avec sa ROM interne de 2K octets et ses trente deux (32) lignes d'entrées/sorties, aurait facilité beaucoup le travail et aurait permis une visualisation plus parlante au niveau du contrôleur de zone, de sorte que lui seul jouerait le rôle d'une véritable mini-contrôle. La signalisation dans ce cas se ferait avec des afficheurs digitaux indi-

quant le code de la logique en panne et le numéro du détecteur excité.
Le nombre de points à surveiller aurait pu être de 128, au lieu de
63, si nous disposions d'un décodeur plus étendu au niveau des logiques
de sélection.

Compte tenu de tout cela, nous estimons que notre travail reste à compléter
et ne représente qu'un début dans la réalisation de tout le système.

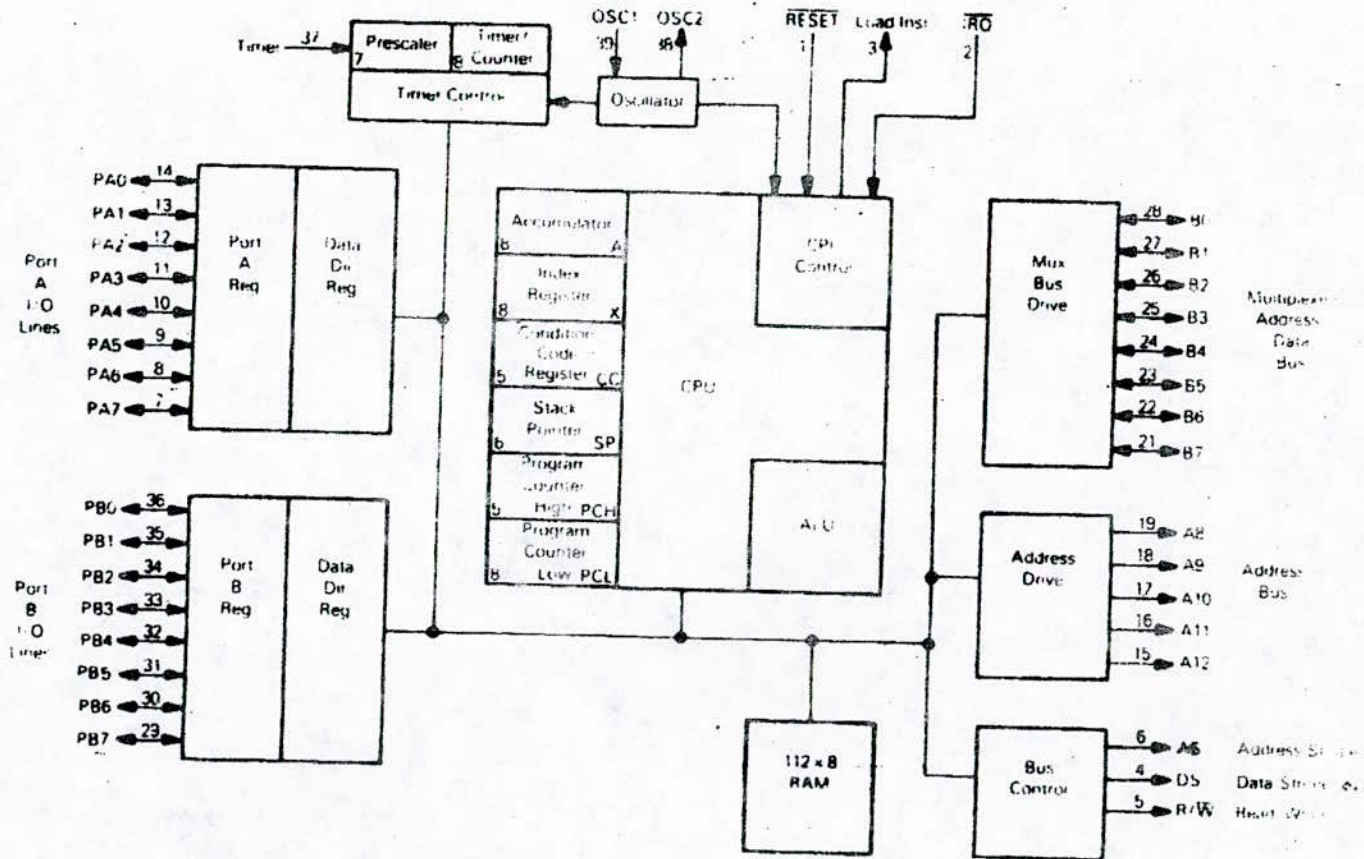


BIBLIOGRAPHIE

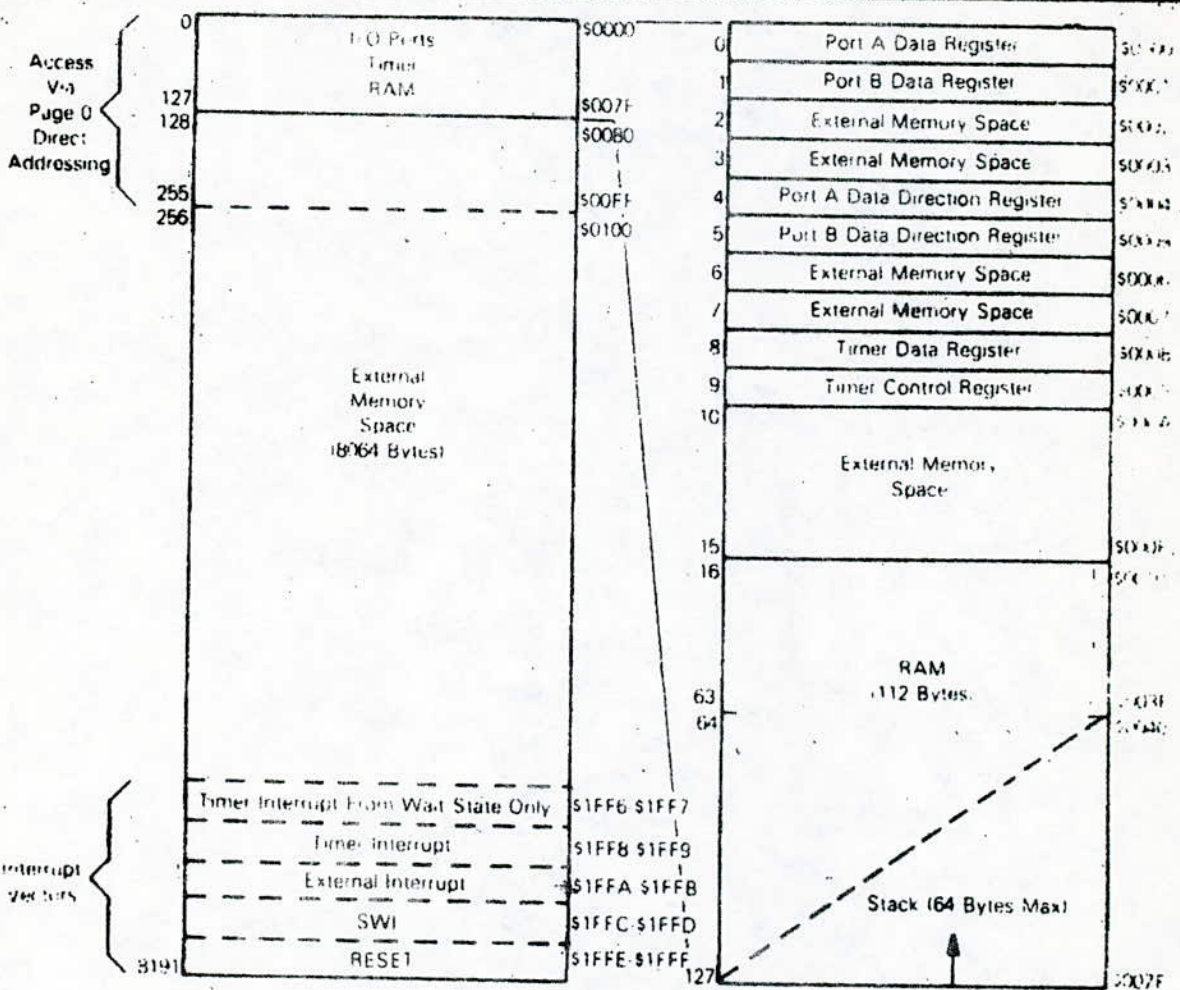
- *Etude du microprocesseur CMOS MC 146805E2*
(Projet de fin d'étude étudié par BOUDRIES R et
ZOUAOUI E. JUIN 83).
- *110 études pratiques à circuits intégrés COSMOS.*
RAYMOND M. MARSTON.
Edition EYROLLES (1980).
- *Revue d'électronique : LE HAUT PARLEUR. N°1693. JUIN 83.*
N°1694. JUIN 83.
- *NOTICE MOTOROLA du MC 146805E2.*
- *Microprocesseurs et mémoires EFCIS. Edition THOMSON*
(1980).

© ANNEXE ©





STRUCTURE INTERNE DU MC 146805 E 2



ORGANISATION DE LA MEMOIRE
ET

BROCHAGE DU MC146805 E2

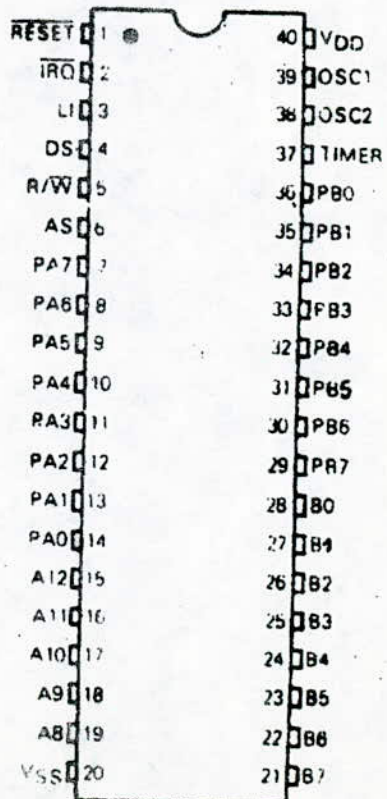


TABLE 4 — REGISTER/MEMORY INSTRUCTIONS

Function	Mnemonic	Addressing Modes																	
		Immediate			Direct			Extended			Indexed (No Offset)			Indexed (8-Bit Offset)			Indexed (16-Bit Offset)		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Load A from Memory	LDA	A6	2	2	B6	2	3	C6	3	4	F6	1	3	E6	2	4	D6	3	5
Load X from Memory	LDX	AE	2	2	BE	2	3	CE	3	4	FE	1	3	EE	2	4	DE	3	5
Store A in Memory	STA	—	—	—	B7	2	4	C7	3	5	F7	1	4	E7	2	5	D7	3	6
Store X in Memory	STX	—	—	—	BF	2	4	CF	3	5	FF	1	4	EF	2	5	DF	3	6
Add Memory to A	ADD	AB	2	2	BB	2	3	CB	3	4	FB	1	3	EB	2	4	DB	3	5
Add Memory and Carry to A	ADC	A9	2	2	B9	2	3	C9	3	4	F9	1	3	E9	2	4	D9	3	5
Subtract Memory	SUB	A0	2	2	B0	2	3	C0	3	4	F0	1	3	E0	2	4	D0	3	5
Subtract Memory from A with Borrow	SBC	A2	2	2	B2	2	3	C2	3	4	F2	1	3	E2	2	4	D2	3	5
AND Memory to A	AND	A4	2	2	B4	2	3	C4	3	4	F4	1	3	E4	2	4	D4	3	5
OR Memory with A	ORA	AA	2	2	BA	2	3	CA	3	4	FA	1	3	EA	2	4	DA	3	5
Exclusive OR Memory with A	EOR	AB	2	2	BB	2	3	CB	3	4	FB	1	3	EB	2	4	DB	3	5
Arithmetic Compare A with Memory	CMP	A1	2	2	B1	2	3	C1	3	4	F1	1	3	E1	2	4	D1	3	5
Arithmetic Compare X with Memory	CPX	A3	2	2	B3	2	3	C3	3	4	F3	1	3	E3	2	4	D3	3	5
Bit Test Memory with A (Logical Compare)	BIT	A5	2	2	B5	2	3	C5	3	4	F5	1	3	E5	2	4	D5	3	5
Jump Unconditional	JMP	—	—	—	BC	2	2	CC	3	3	FC	1	2	EC	2	3	DC	3	4
Jump to Subroutine	JSR	—	—	—	BD	2	5	CD	3	6	FD	1	5	ED	2	6	DD	3	7

TABLE 5 — READ/MODIFY/WRITE INSTRUCTIONS

Function	Mnemonic	Addressing Modes														
		Inherent (A)			Inherent (X)			Direct			Indexed (No Offset)			Indexed (8-Bit Offset)		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Increment	INC	4C	1	3	5C	1	3	3C	2	5	7C	1	5	6C	2	6
Decrement	DEC	4A	1	3	5A	1	3	3A	2	5	7A	1	5	6A	2	6
Clear	CLR	4F	1	3	5F	1	3	3F	2	5	7F	1	5	6F	2	6
Complement	COM	43	1	3	53	1	3	33	2	5	73	1	5	63	2	6
Negate (2's Complement)	NEG	40	1	3	50	1	3	30	2	5	70	1	5	60	2	6
Rotate Left Thru Carry	ROL	49	1	3	59	1	3	39	2	5	79	1	5	69	2	6
Rotate Right Thru Carry	ROR	46	1	3	56	1	3	36	2	5	76	1	5	66	2	6
Logical Shift Left	LSL	48	1	3	58	1	3	38	2	5	78	1	5	68	2	6
Logical Shift Right	LSR	44	1	3	54	1	3	34	2	5	74	1	5	64	2	6
Arithmetic Shift Right	ASR	47	1	3	57	1	3	37	2	5	77	1	5	67	2	6
Test for Negative	TST	4D	1	3	5D	1	3	3D	2	4	7D	1	4	6D	2	5

TABLE 6 - BRANCH INSTRUCTIONS

Function	Mnemonic	Relative Addressing Mode		
		Op Code	# Bytes	# Cycles
Branch Always	BRA	20	2	3
Branch Never	BRN	21	2	3
Branch IFF Higher	BHI	22	2	3
Branch IFF Lower or Same	BLS	23	2	3
Branch IFF Carry Clear	BCC	24	2	3
(Branch IFF Higher or Same)	(BHS)	24	2	3
Branch IFF Carry Set	BCS	25	2	3
(Branch IFF Lower)	(BLO)	25	2	3
Branch IFF Not Equal	BNE	26	2	3
Branch IFF Equal	BEQ	27	2	3
Branch IFF Half Carry Clear	BHCC	28	2	3
Branch IFF Half Carry Set	BHCS	29	2	3
Branch IFF Plus	BPL	2A	2	3
Branch IFF Minus	BMI	2B	2	3
Branch IFF Interrupt Mask Bit is Clear	BMC	2C	2	3
Branch IFF Interrupt Mask Bit is Set	BMS	2D	2	3
Branch IFF Interrupt Line is Low	BIL	2E	2	3
Branch IFF Interrupt Line is High	BIH	2F	2	3
Branch to Subroutine	BSR	AD	2	6

TABLE 7 - BIT MANIPULATION INSTRUCTIONS

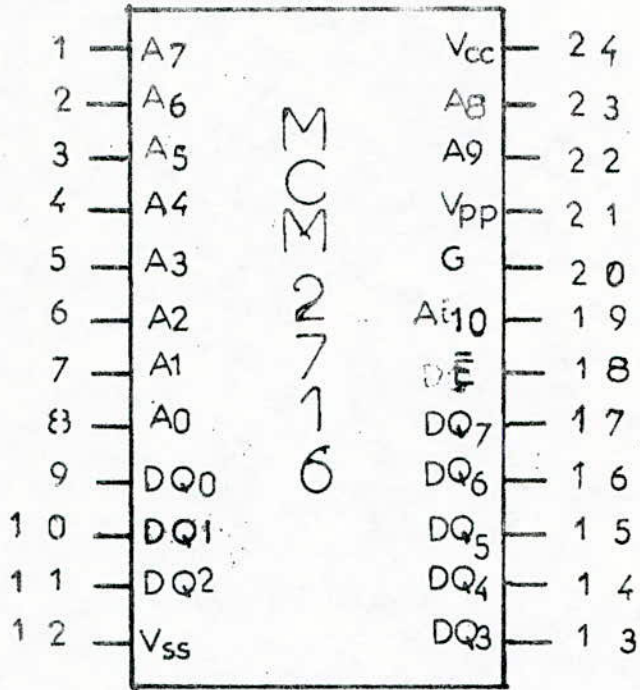
Function	Mnemonic	Addressing Modes					
		Bit Set/Clear			Bit Test and Branch		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Branch IFF Bit n is Set	BRSET n (n=0..7)	--	--	--	2*n	3	5
Branch IFF Bit n is Clear	BRCLR n (n=0..7)	--	--	--	01+2*n	3	5
Set Bit n	BSET n (n=0..7)	10+2*n	2	5	--	--	--
Clear Bit n	BCLR n (n=0..7)	11+2*n	2	5	--	--	--

11

TABLE 8 - CONTROL INSTRUCTIONS

Function	Mnemonic	Inherent		
		Op Code	# Bytes	# Cycles
Transfer A to X	TAX	97	1	2
Transfer X to A	TXA	9F	1	2
Set Carry Bit	SEC	99	1	2
Clear Carry Bit	CLC	98	1	2
Set Interrupt Mask Bit	SEI	9B	1	2
Clear Interrupt Mask Bit	CLI	9A	1	2
Software Interrupt	SWI	83	1	10
Return from Subroutine	RTS	81	1	6
Return from Interrupt	RTI	80	1	9
Reset Stack Pointer	RSP	9C	1	2
No-Operation	NOP	9D	1	2
Stop	STOP	8E	1	2
Wait	WAIT	8F	1	2

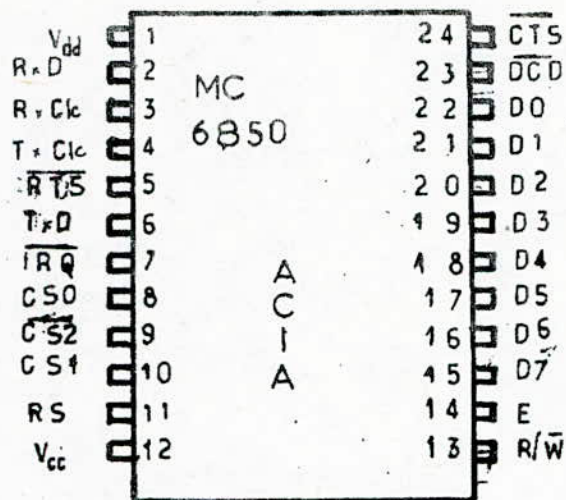




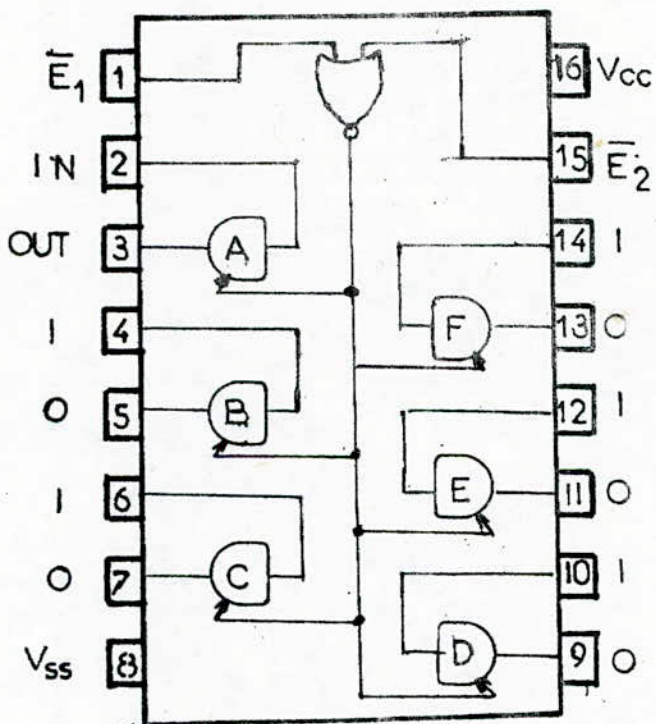
MODES	Numéro des broches					
	9-11; 13-17 DQ _i	12 V _{SS}	18 E / Prog	20 G	21 V _{PP}	24 V _{CC}
Lecture	Sorties des données	V _{SS}	V _{IL}	V _{IL}	V _{CC}	V _{CC}
Sorties deconnectées	Haute impédance	V _{SS}	Sans impédance	V _{IH}	V _{CC}	V _{CC}
Basse consommation	Haute impédance	V _{SS}	V _{IL}	Sans impédance	V _{CC}	V _{CC}
Programmation	Entrées des données	V _{SS}	V _{IL} à V _{IH} impulsions	V _{IH}	V _{IH(P)}	V _{CC}
Vérification de la Programmation	Sorties des données	V _{SS}	V _{IL}	V _{IL}	V _{IH(P)}	V _{CC}
Validation de la Programmation	Haute impédance	V _{SS}	V _{IL}	V _{IH}	V _{IH(P)}	V _{CC}

$$\begin{cases} V_{IH} = 2^V \text{ à } V_{CC} + 1 \\ V_{IL} = -0,4V \text{ à } 0,8V \\ V_{CC} = 5V \end{cases}$$

BROCHAGE ET DIFFERENTS MODES
DE LA MCM 2716



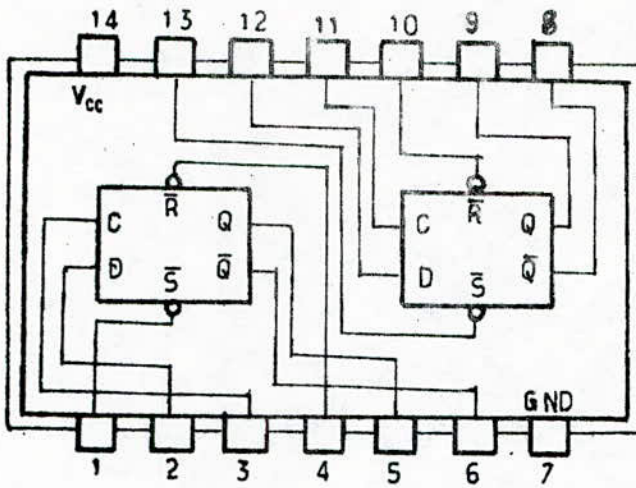
BROCHAGE DE L'ACIA



\bar{E}_1	\bar{E}_2	IN	OUT
L	L	L	L
L	L	H	H
L	H	X	Z
H	L	X	Z
H	H	X	Z

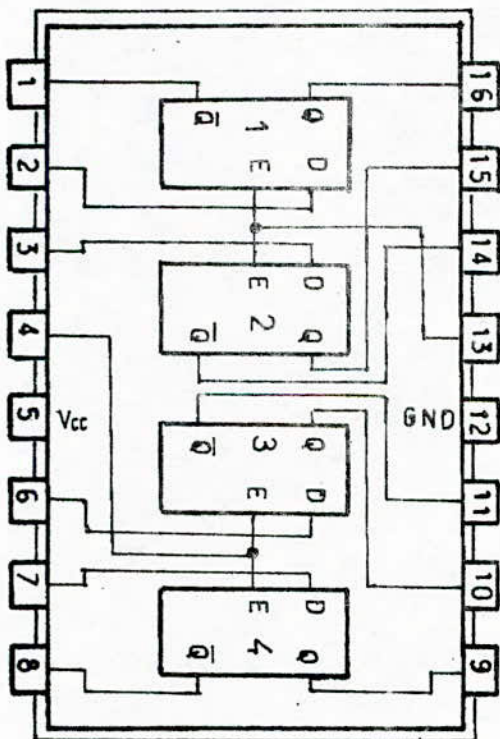
Z: HAUTE IMPEDENCE

BROCHAGE ET TABLE DE VERITE DU 8T95



D_n	Q_{n+1}	\bar{Q}_{n+1}
1	1	0
0	0	1
\bar{R}	\bar{S}	Q_n
1	1	0
1	0	0
0	1	1
0	0	1

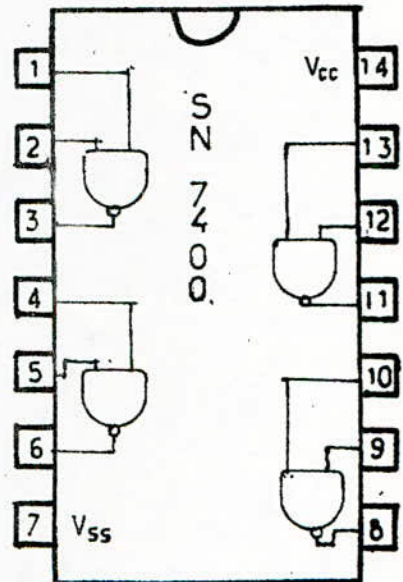
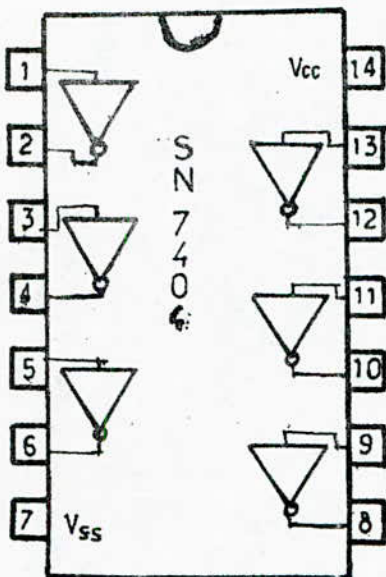
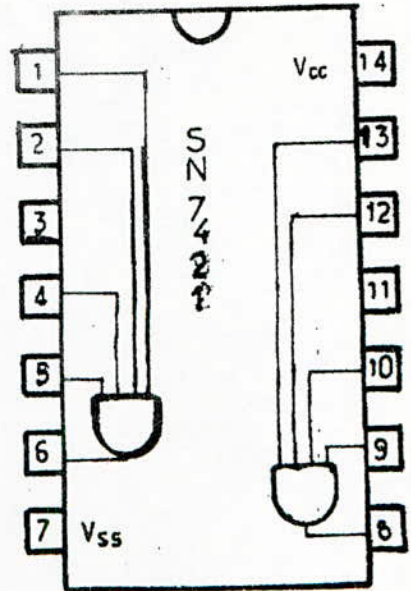
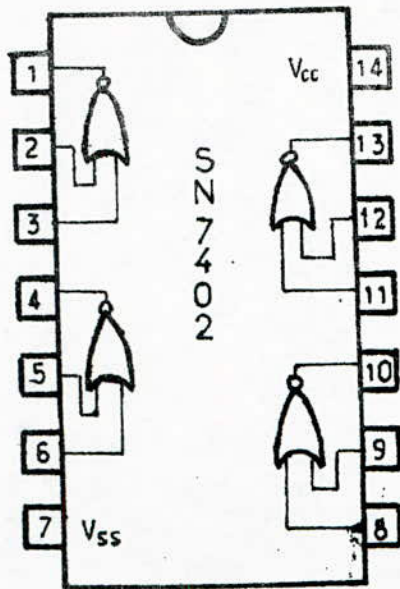
BROCHAGE ET TABLE DE VERITE DU SN 7474



ENTREES		SORTIES	
D	E	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

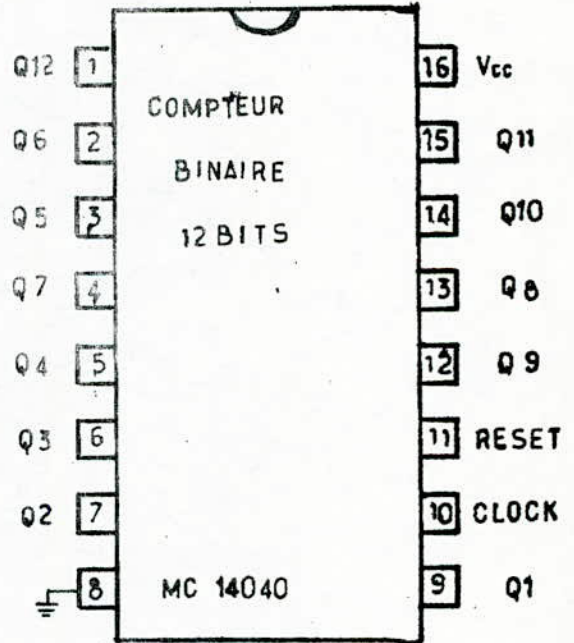
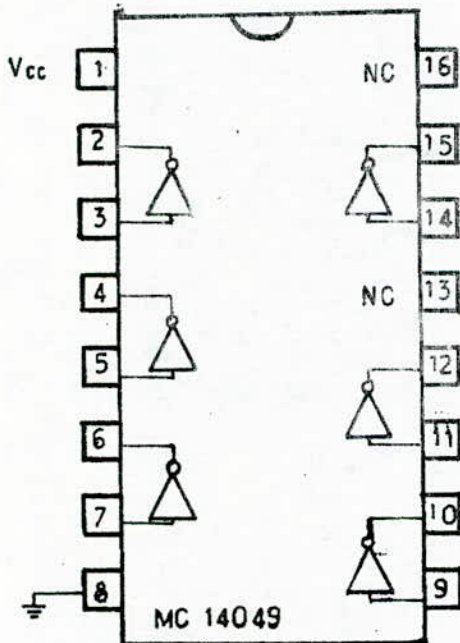
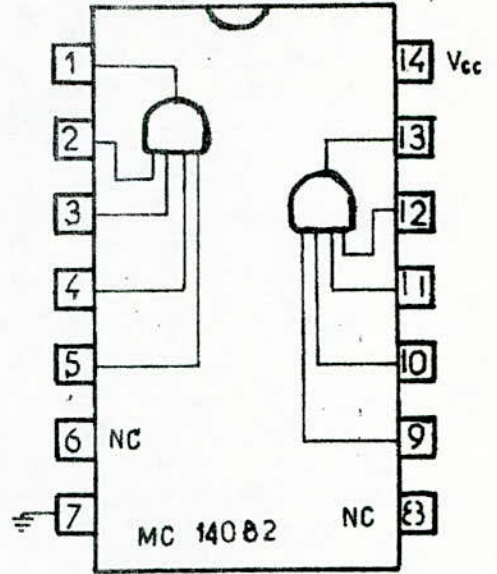
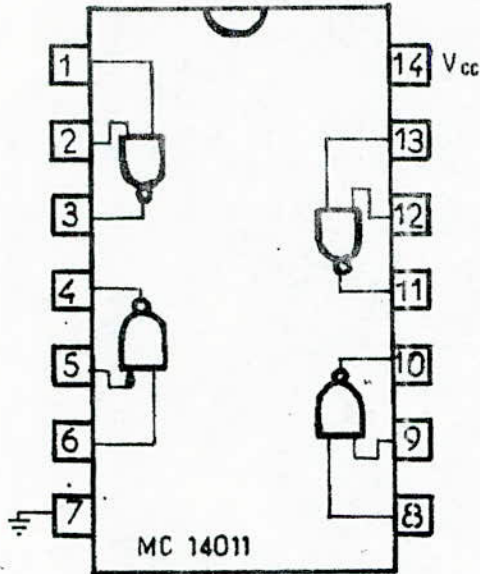
BROCHAGE ET TABLE DE VERITE DU SN 7475

BROCHAGE DES CIRCUITS LOGIQUE DU CONTRÔLEUR DE ZONE



BROCHAGE

DES CIRCUITS DE LA LOGIQUE DE SELECTION



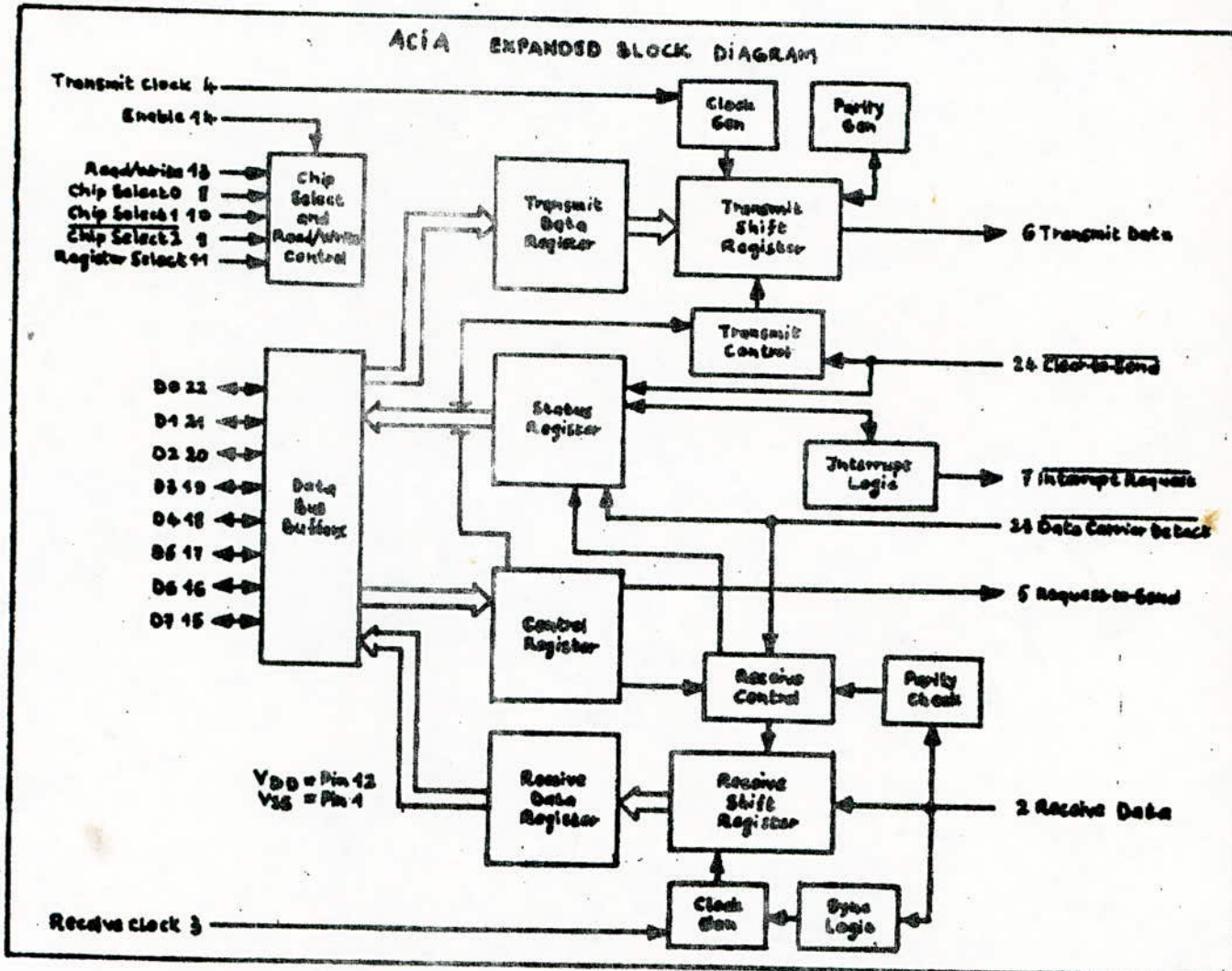
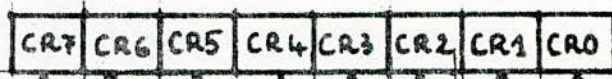


TABLE 1 - DEFINITION OF ACIA REGISTER CONTENTS

Data Bus Line Number	Buffer Address			
	RS - R/W	RS - R/W	RS - R/W	RS - R/W
	Transmit Data Register (Write Only)	Receive Data Register (Read Only)	Control Register (Write Only)	Status Register (Read Only)
0	Data Bit 0*	Data Bit 0	Counter Divide Select 1 (C.D.S.)	Receive Data Register Full (R.D.R.F.)
1	Data Bit 1	Data Bit 1	Counter Divide Select 2 (C.D.S.)	Transmit Data Register Empty (T.D.R.E.)
2	Data Bit 2	Data Bit 2	Word Data or 4 (W.D.4)	Data Carrier Detect (D.C.D.)
3	Data Bit 3	Data Bit 3	Word Select 2 (W.S.2)	Clear-to-Send (C.T.S.)
4	Data Bit 4	Data Bit 4	Word Select 3 (W.S.3)	Request-to-Send (R.T.S.)
5	Data Bit 5	Data Bit 5	Transmit Control 1 (T.C.1)	Receive Overrun (O.V.R.N.)
6	Data Bit 6	Data Bit 6	Transmit Control 2 (T.C.2)	Parity Error (P.E.)
7	Data Bit 7***	Data Bit 7**	Receive Interrupt Enable (R.I.E.)	Interrupt Request (I.R.Q.)

* Leading bit is LSB = bit 0
 ** Data bit will be zero in 7-bit plus parity modes.
 *** Data bit is "don't care" in 7-bit plus parity modes.

ACIA CONTROL AND STATUS REGISTERS (TABLE 2)



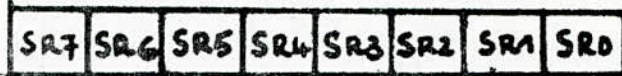
Function	CR7
Interrupt from receive register is disabled	0
Interrupt from receive register is enabled	1

CR1	CR0	Function
0	0	÷ 1
0	1	÷ 16
1	0	÷ 64
1	1	Master Reset

Function	CR6	CR5
Transmitting Interrupt Disabled	0	0
Transmitting Interrupt Enabled	0	1
Transmitting Interrupt Disabled	1	0
Transmitting Interrupt Enabled	1	1

CR4	CR3	CR2	Function
0	0	0	7 bits + even Parity + 2 Stop Bits
0	0	1	7 bits + odd Parity + 2 Stop Bits
0	1	0	7 bits + even Parity + 1 Stop Bit
0	1	1	7 bits + odd Parity + 1 Stop Bit
1	0	0	8 bits + 2 Stop Bits
1	0	1	8 bits + 1 Stop Bit
1	1	0	8 bits + even Parity + 1 Stop Bit
1	1	1	8 bits + odd Parity + 1 Stop Bit

RTS Low
RTS High
RTS Low



Function	PE
Error of Parity	1
Not Error	0

RDRF	RDR
0	Empty
1	Full

Indicate of Int	IRQ
Not Int	0
Interrupt	1

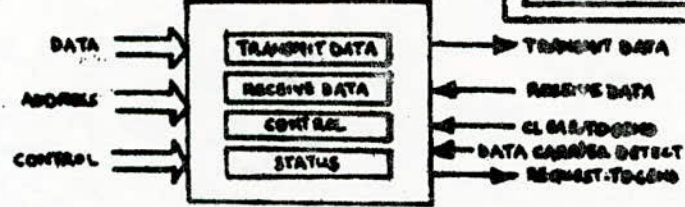
Function	OVEN
Correct length and one more character left	0
Correct length and one more character left	1

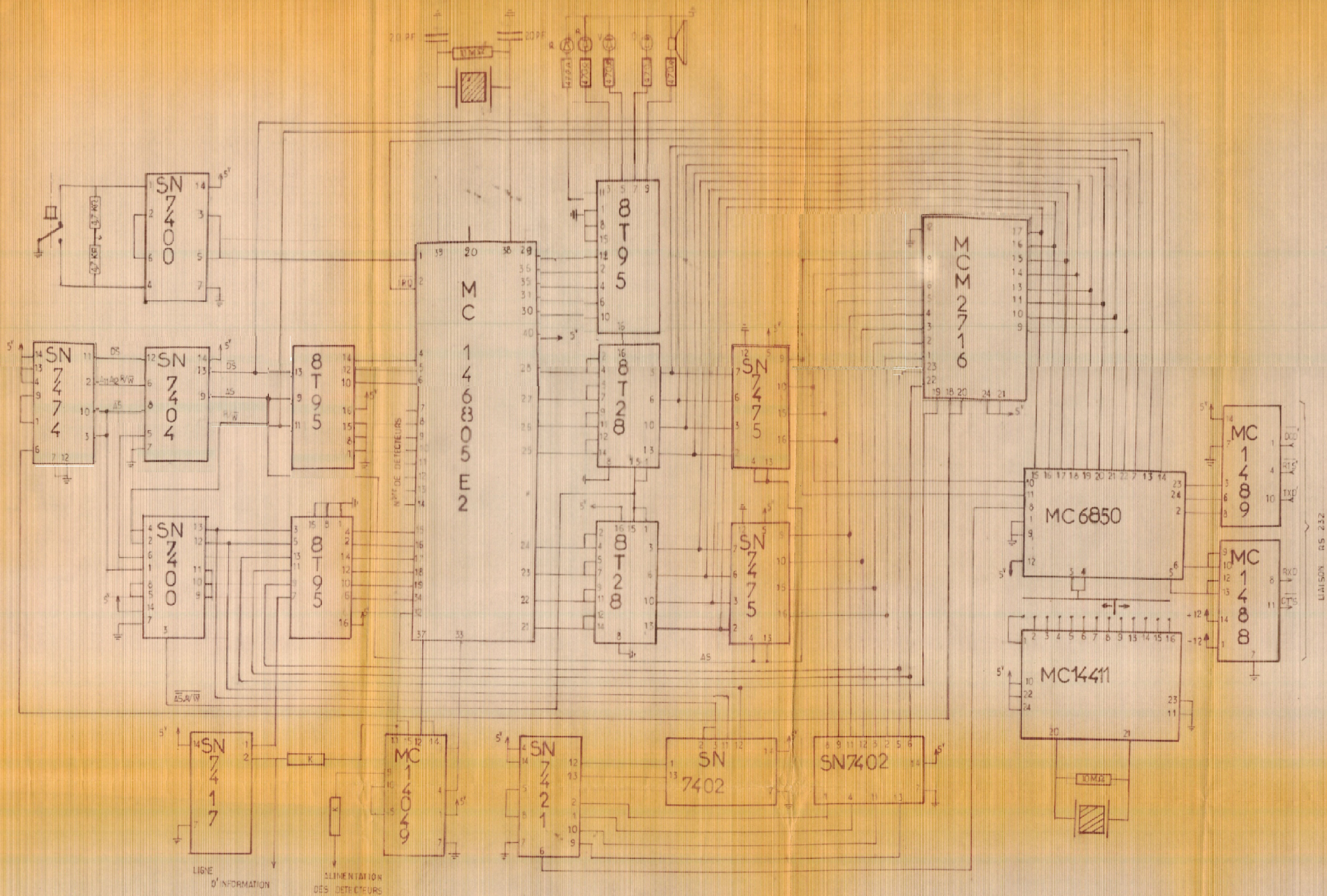
TDRF	TDR
0	Full
1	Empty

Function	FE
Not Error	0
Error	1

DCD	Data Carrier in Reception
0	Present
1	Not Present

CTS	Transmit Line control
0	trans Possible
1	trans Impossible





CIRCUIT DE BROCHAGE DU CONTROLEUR DE ZONE