

UNIVERSITE DES SCIENCES
ET DE LA TECHNOLOGIE
D'ALGER

6/80
ECOLE NATIONALE
POLYTECHNIQUE D'ALGER

BIBLIOTHEQUE (E.N.P.A.)

DEPARTEMENT D'ELECTRONIQUE
ET D'ELECTROTECHNIQUE

THESE DE FIN D'ETUDES

DIPLOME D'INGENIORAT

**ETUDE ET AUTOMATISATION
DU SYSTEME DE TELECOMMANDE DE LA R.T.A.**

(Faisceau hertzien - Bouzareah)



Proposé par : M^r M. BAGHLI
INGENIEUR D'ETAT
PROFESSEUR A L'E.N.P.A.

Etudié par :
M. T. E. BELAKROUM
B. HAMIDI

PROMOTION JUIN 1980

UNIVERSITE DES SCIENCES
ET DE LA TECHNOLOGIE
D'ALGER

ECOLE NATIONALE
POLYTECHNIQUE D'ALGER

DEPARTEMENT D'ELECTRONIQUE
ET D'ELECTROTECHNIQUE

THESE DE FIN D'ETUDES

DIPLOME D'INGENIORAT

**ETUDE ET AUTOMATISATION
DU SYSTEME DE TELECOMMANDE DE LA R.T.A.**

(Faisceau hertzien - Bouzareah)

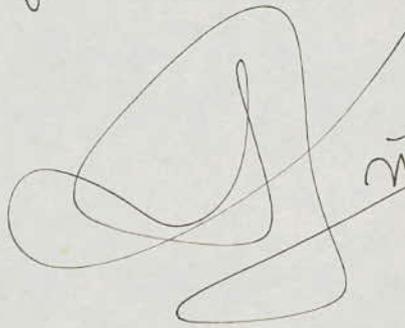
Proposé par : M^r M. BAGHLI
INGENIEUR D'ETAT
PROFESSEUR A L'E.N.P.A.

Etudié par :
M. T. E. BELAKROUM
B. HAMIDI

PROMOTION JUIN 1980

Bibliothèque (E.N.P.A)

Que cet ouvrage
servira pour beaucoup aux étudiants.


Mith.



DEDICATIONS

- A mon père, à ma mère
- A mes soeurs, à mes frères, à mes neveux
- A toute la famille
- A mes amis

MOHAMED

- A mon père, à ma mère
- A mes soeurs
- A ma femme

HELKACEM

- REMERCIEMENTS -

Que Monsieur BAGHLI Ingénieur d'Etat, chargé de cours de Télévision à l'E.N.P.A, daigne trouver ici l'expression de tous nos remerciements et toute notre gratitude pour nous avoir guidé dans l'élaboration de ce travail.

Nos remerciements vont également à :

- Monsieur TEDJINI, Docteur Ingénieur au C.S.T.N.
- Monsieur BOURKEB
- Au Personnel de la R.T.A.
- et à tous ceux qui ont eu l'amabilité de nous aider de près et de loin.

Nous remercions vivement nos parents, qui nous ont montré le chemin de l'école.

INTRODUCTION/.

CHAPITRE I: PRESENTATION DU CENTRE NODAL

- A. Caractéristiques
- B. Le système de Télécommande

CHAPITRE II. LE MICROPROCESSEUR MC 6800

- 1. Organisation interne
- 2. Différentes lignes

CHAPITRE III. SUPPORT DU MC 6800

- A. Les mémoires:
 - 1. La mémoire RAM
 - 2. La mémoire ROM
- B; Les interfaces d'entrées/ sorties: le PIA MC 6821
 - 1. Description et bloc diagramme du PIA MC 6821
 - 2. Différentes lignes
 - 3. Organisation interne
 - 3.1 Adressage des registres internes du PIA/RSO. RSI
 - 2.2 Le registre de direction de transfert des données: DDR
 - Transfert de données sur le port "A"
 - Transfert de données sur le port " D"
 - 3.3 Le registre de contrôle : CR
 - 4 L'adressage des PIA
 - Circuit d'adressage
 - Schéma d'adressage
 - 5 La logique de commande des buffers 8T 26

CHAPITRE IV: APPLICATION POUR UNE STATION

- 1. Définition du problème
- 2. Description de la solution choisie
- 3. Détermination des paramètres
- 4. Organisation - codification et signification des états
- 5. Le langage BASIC
- 6. Programmation et commentaire

CHAPITRE V: GENERALISATION DU SYSTEME

- A. Généralités sur la télécommande
- B. La télécommande automatique
- C. Les phases d'exécution de la télécommande

A N N E X E .

C O N C L U S I O N

INTRODUCTION

Le centre faisceau hertzien de BOUZAREAH est un centre nodal qui doit recevoir et distribuer tous les programmes radio et télévision d'ALGERIE, tant qu'en production national qu'en transit international.

Cette station comporte cinq grandes directions qui sont :

- L'Est Algérien et la TUNISIE
- L'Ouest Algérien et le MAROC
- La FRANCE
- Le Centre de Production (Maison de la Télévision)
- La station d'émission d'ALGER (CAP MATIFOU)

La quantité du matériel à exploiter, l'importance des informations en transit exigent que les commutations contrôles locaux et la surveillance des stations de faisceau hertzien distantes, soient regroupées en un ensemble logique, qui permet un regroupement de toutes les informations d'où une très grande rapidité d'intervention et un minimum de personnel pour l'exploitation et la surveillance.

L'étude du système actuel de la télécommande et permet de dire que le temps d'exécution d'une télécommande est relativement grand par rapport aux moyens qu'offre l'électronique. On a jugé nécessaire d'introduire le microprocesseur qui vient se placer entre la télésignalisation et la télécommande éliminant ainsi un grand nombre de composants, en particulier les relais dont le temps de basculement est assez grand.

Le microprocesseur est capable d'exécuter des opérations arithmétiques et logiques, il est donc évident que tout système en logique câblée pourra être remplacé par son homologue en logique programmée.

Dans la première solution, on utilisera des fonctions en boîtiers supportées et interconnectées par une carte imprimée. Le produit est figé.

Dans la seconde le processus est géré par un programme stocké dans une mémoire. C'est à ce niveau qu'apparaît une des principales différences entre les deux techniques : si l'on souhaite modifier ou étendre le système dans la logique câblée il faudra pratiquement reprendre le système par contre dans la solution programmée, seule la partie logiciel sera affectée.

L'automatisation du Centre nodal de la RTA est un point important notamment dans le cadre du projet de l'introduction de la 2^o chaîne nationale des émissions T.V.

CHAPITRE I.

PRESENTATION DU CENTRE NODAL.

A Généralités sur le Faisceau hertzien L.H.T.4 :

- 1) INTRODUCTION. Le faisceau hertzien LHT4 est destiné à assurer la transmission en modulation de fréquence d'un signal à large bande sur des fréquences comprises en 3800 et 4200 MHz.
- Il est constitué d'armoires dans lesquelles grace à l'emploi exclusif de semi-conducteurs il est possible de loger un récepteur et un émetteur délivrant une puissance de 400 mW.
- La puissance de l'émetteur peut être portée à 2,4 ou 7W par l'adjonction d'une chaîne amplificatrice de puissance.

2) Caractéristiques techniques générales.

Type de modulation : modulation de fréquence

Bande de fréquence : 3800 - 4200 MHz

3) Caractéristiques de transmission.

Les caractéristiques de transmission sont conformes aux avis du C.C.I.R, elles s'appliquent aux liaisons réelles dont les structures sont telles que :

- La longueur de trajet est conforme à l'avis du C.C.I.R (N 80 Km)
- Le plan de fréquence est celui de l'avis du C.C.I.R.
- La longueur de guide entre l'équipement et l'aérien est inférieur ou égal à 60 m.

4) Les moyens de transmission :

La modulation est envoyée sur 4 voies de transmission ou canal qui sont : la voie unilatérale, la voie bilatérale, la voie réversible.

.../...

.../...

Les différentes liaisons avec le Centre Nodal.

LIAISON BOUZAREAH - EST ALGERIEN :

- Une voie unilatérale (U3) canal fait la liaison Alger-Souk-Ahras.
- Voie 5R elle occupe le canal 5 avec 4 GHz; c'est une voie reversible qui travaille d'Alger à la frontière, ou l'inverse, mais jamais les 2 fonctions en même temps.
- Une voie bilatérale (4 GHz) qui assure les 2 fonctions en même temps
Alger -----) Souk-Ahras; Souk-Ahras -----) Alger.

A côté des 3 voies, on a un faisceau auxiliaire qui assure le coordination entre les différentes stations : transmission des programmes radiophonique, assure la télésurveillance et la télécommande qu'il y a dans le F.H.

Remarque : Les mêmes voies assurent la liaison BOUZAREAH-OUEST du pays.

LIAISON BOUZAREAH - CENTRES DIFFUSEURS.

- La liaison entre les studio et Bouzaréah se fait par voie bilatérale
- Le faisceau auxiliaire assure 2 fonctions - transmission radio
- La transmission se fait de foyer à foyer - coordination avec les studio (antennes paraboliques).

TRANSMISSIONS DES PROGRAMMES VERS LE SUD.

La transmission des programmes vers le sud se fait par satellite.

Alors il a fallu la liaison Bouzaréah - Lakhdaria par 3 émetteurs qui permettent d'envoyer les programmes.

B) Le principe de la Télécommande :

L'envoi d'une télécommande consiste à la fermeture d'une boucle.

Généralement, on exécute une télécommande à partir d'une télésignalisation.

1) Caractéristique de la Télécommande :

Une télécommande est assurée par un cycle de 4 mots :

.../...

B - Le principe de la Télécommande:

L'envoi d'une télécommande consiste à la fermeture d'une boucle Généralement, on exécute une télécommande à partir d'une télésignalisation.

1 - Caractéristique de la télécommande :

- Le groupe (désigne la station)
- L'ordre (désigne la fonction à exécuter au niveau de la station)
- Le groupe complémentaire (pour la sécurité de l'information)
- L'ordre complémentaire (" " " " " ")

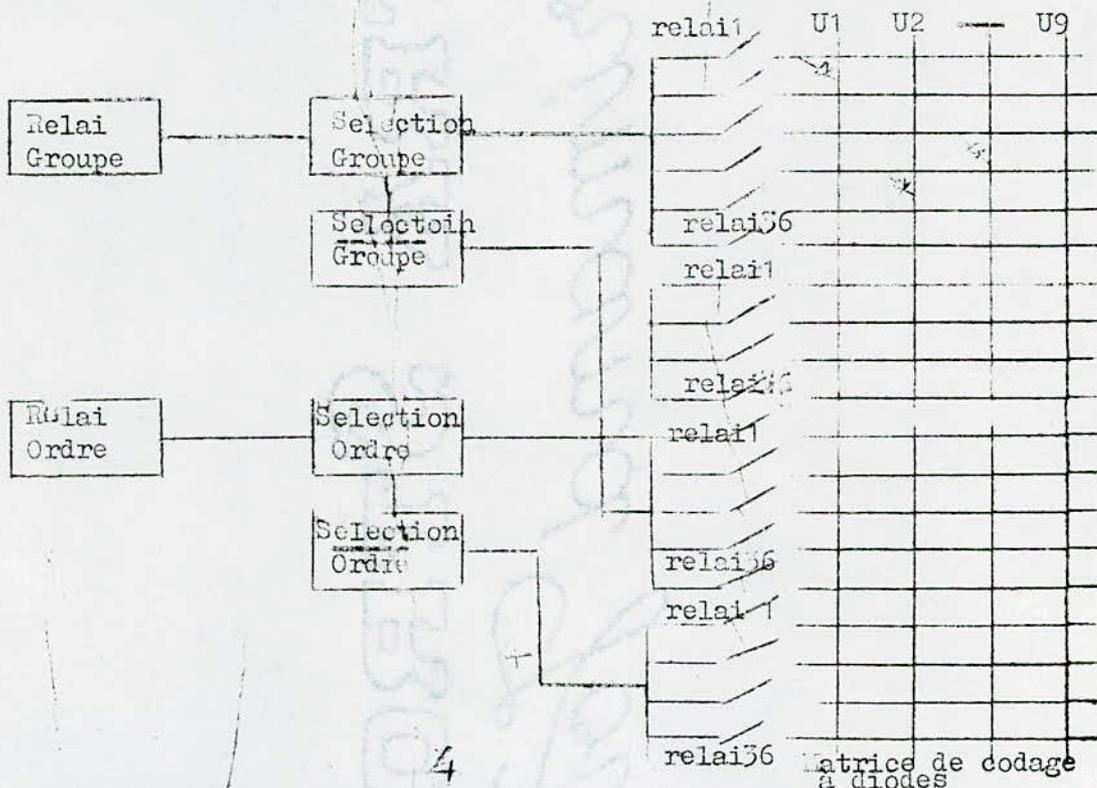


Le mot est formé de 9 bits d'information, 1 bit de start et 2 bits d'adresse formant l'adresse du mot dans le cycle d'émission : soit 12 bits.

2 - Principe de la télécommande :

Le système est à base de relais dont le temps de basculement est lent surtout qu'on utilise un cycle de 4 mots.

Schéma Synoptique :



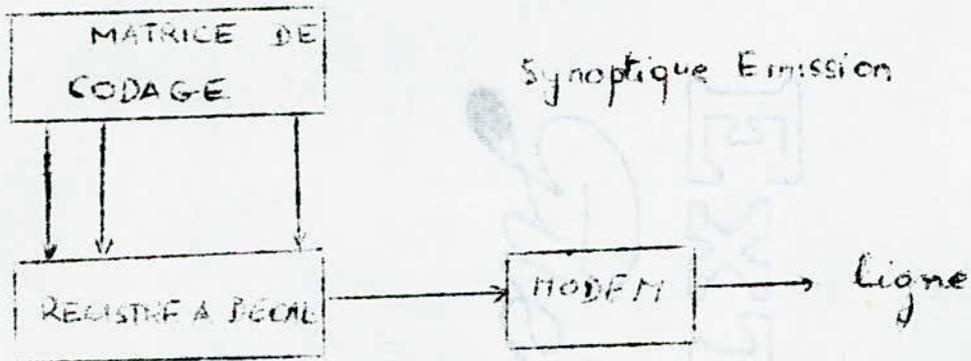
.../...

3) Les différentes phases de l'émission d'une Télécommande.

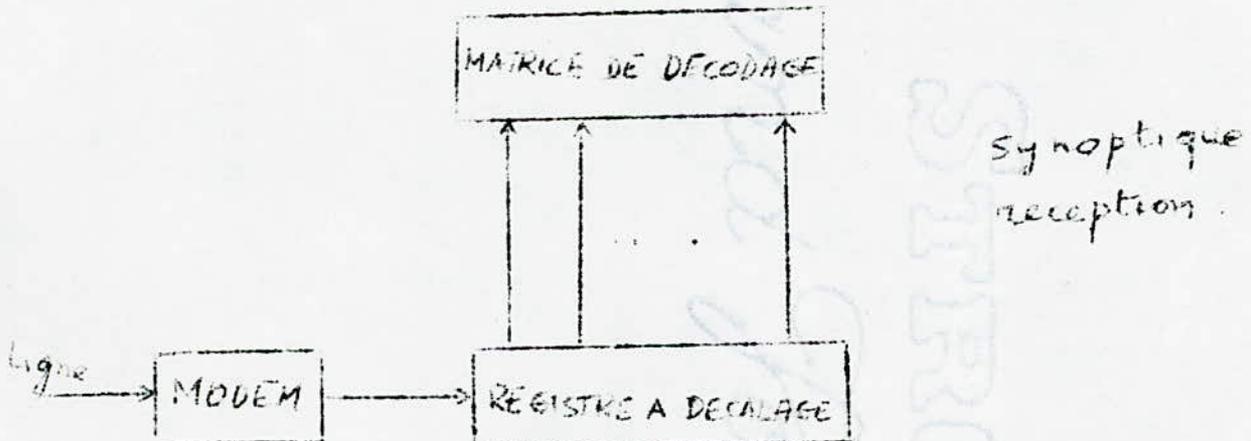
- Selection du Groupe
- Selection de l'ordre .

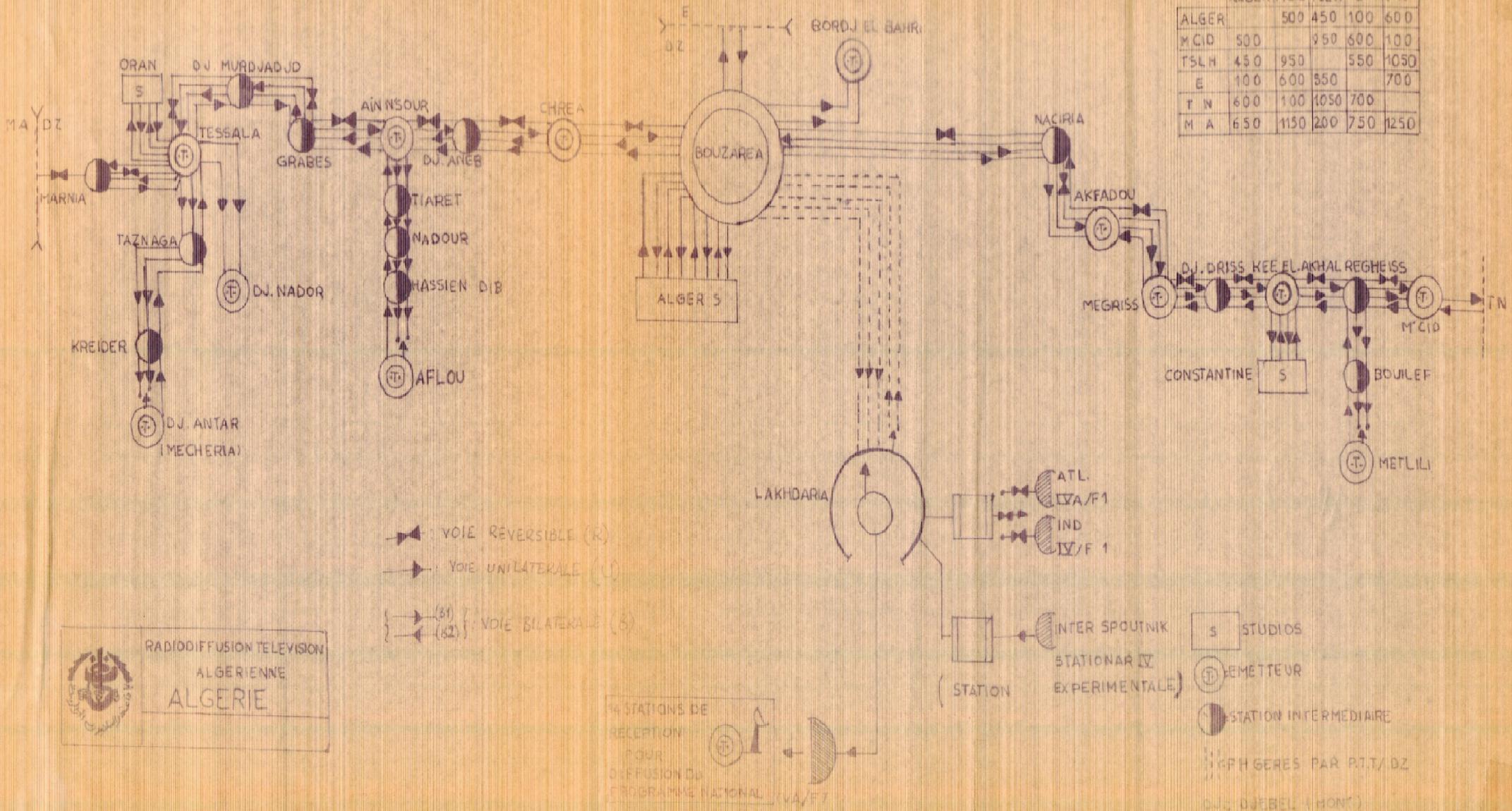
Avec ces 2 selections on aboutit à la matrice de codage .

- Exécution : elle permet l'ordre de transfert de la matrice de codage dans un registre à décalage avant que l'information atteigne le modulateur.



Pour la réception on fait le chemin inverse de l'émission.





	ALGER	M'CID	TSLH	E	T N
ALGER	500	450	100	600	
M'CID	500	950	600	100	
TSLH	450	950	550	1050	
E	100	600	550	700	
T N	600	100	1050	700	
M A	650	1150	200	750	1250



- ↔ : VOIE REVERSIBLE (R)
- : VOIE UNILATERALE (U)
- { → (31) ← (32) } : VOIE BILATERALE (B)

14 STATIONS DE RECEPTION POUR DIFFUSION DU PROGRAMME NATIONAL

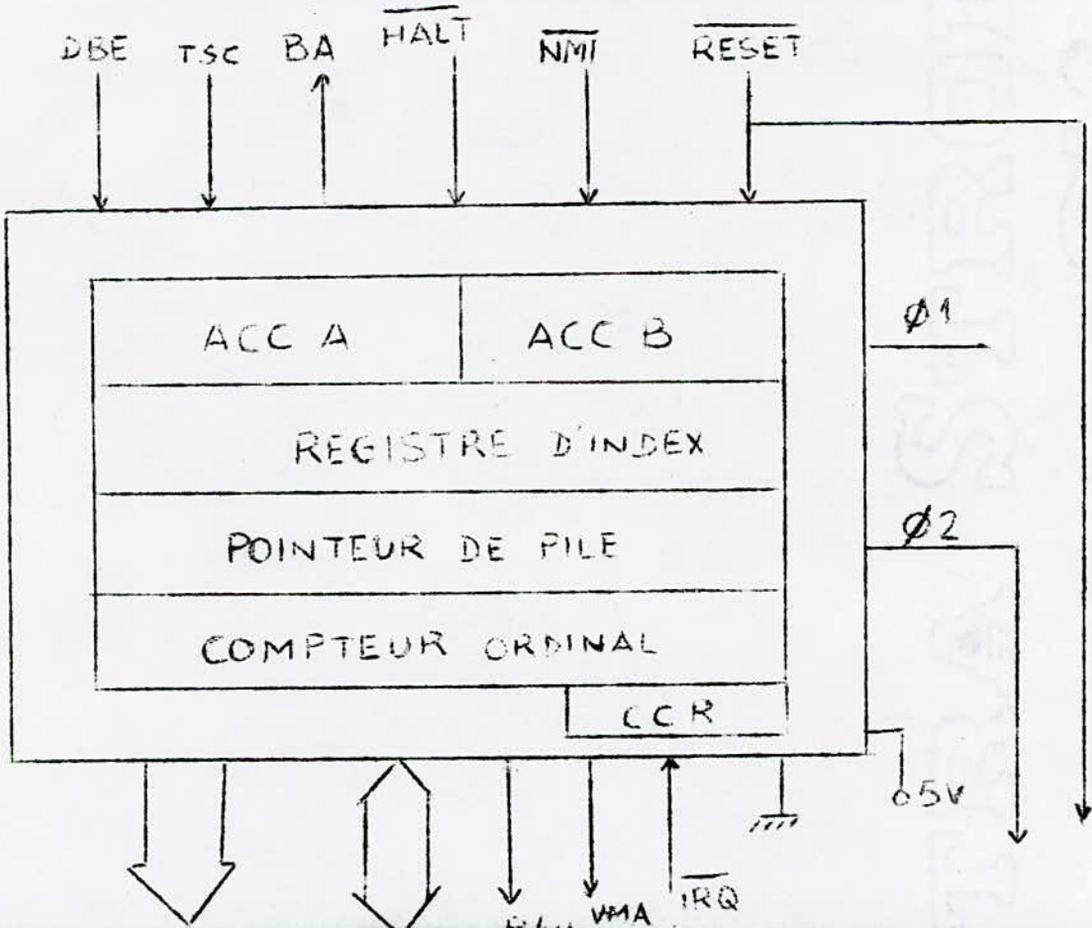
- ⊞ : INTER SPOUTNIK STATIONAR EXPERIMENTALE
- ⊞ : STATION
- S : STUDIOS
- ⊞ : EMETTEUR
- ⊞ : STATION INTERMEDIAIRE
- ⋯ : GERES PAR P.T.T./DZ (DJE DJEBEL HOM)

Le microprocesseur MC 6800 constitue l'unité centrale de traitement, commandé par un programme et remplissant la fonction de micro-ordinateur.

Pour son utilisation, le microprocesseur nécessite des mémoires qui stockent le programme de travail et les données.

Il a des circuits d'entrées/sorties qui le branchent sur le monde externe que l'on désigne par périphériques.

On présentera dans ce chapitre le contenu du MPU accessible au programmeur.



Il est à noter que les opérations du MPU sont indépendantes du reste des éléments de la famille du M 6800, dans le sens que le MPU peut opérer avec des circuits MOS ou TTL standard sans inconvénients. Sauf que l'utilisation des circuits M 6800 augmente d'avantage la capacité et la souplesse du système pour obtenir la configuration du microprocesseur la plus complète.

II. 1/- Organisation interne du 6800

Le MPU est constitué de :

- Une unité arithmétique et logique (ALU) : elle sert à exécutés les opérations arithmétiques et logiques.
- Deux accumulateurs (A et B) de 8 bits chacun qui ont pour rôle principal de maintenir les opérandes et les résultats de l'ALU.
- Un registre index de 16 bits, utilisé pour le stockage de données et surtout pour spécifier une adresse précise.

- Un pointeur de pile ou "stock - pointer" qui est également un registre de 16 bits. La pile est faite de façon à apparaitre comme une mémoire dans laquelle les octbits peuvent être empilés les uns après les autres. Elle est utilisée pour la sauvegarde des données contenues dans les registres lors des interruptions. Le pointeur de pile retient l'adresse de la prochaine position libre dans la pile.

Un compteur de programme ou programme counter (PC), est un registre de 16 bits qui retient l'adresse de la prochaine instruction du programme qui doit être exécutée. Lorsque le MPU a trouvé l'instruction adressée par le contenu du PC ce dernier est incrémenté à l'adresse de la prochaine instruction.

- Un registre de code de condition (CCR):

Il est composé de 8 bits, qui, après chaque opération effectuée par le MPU, prennent des états pouvant nous renseigner sur le résultat les bits 6 et 7 sont sans attribution; ils sont constamment à "1".

7	6	5	4	3	2	1	0
:	:	:	:	:	:	:	:
:	:	:	L	I	N	Z	V
:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	C

.../...

Si $I = 1$ (masquage) de MPU poursuit l'exécution de son programme.

Si $I = 0$, le MPU range le contenu de ses registres PC,CCR,ACCA,ACCB dans la pile de sauvegarde, dont le niveau de remplissage est indiqué par un pointeur de pile (stack pointer) après quoi, le MPU établit le masque en portant I à 1 ce qui permettra éventuellement au programme de déterminer dans quel ordre les interruptions seront traitées.

Si d'autres interruptions prioritaires sont autorisées à intervenir, I sera aussitôt remis à zéro.

Le MPU se branche alors sur l'adresse du vecteur IRQ et va lire dans les cellules mémoire qui sont ici obligatoirement FFF8 et FFF9; l'adresse du sous-programme spécifique de l'interruption.

L'adresse contenue dans les cellules FFF8 et FFF9 sur 16 bits, est chargée dans le compteur ordinal.

Désormais, commencera le traitement de l'interruption proprement dite, la procédure de son acquisition étant terminée à l'issue de traitement une instruction de fin d'interruption et par conséquent de retour au programme principal (RTI), termine le programme propre à l'interruption.

F. ϕ_1 : une des 2 phases d'horloge prévues pour activer le MPU :

$\phi_1 = \phi_2$.

G. NMI: Non masquable Interrupt.

Le MPU dispose d'une entrée d'interruption non masquable à laquelle est attribué le niveau prioritaire.

NMI est similaire à IRQ mais disposant de la priorité absolue, donc le vecteur se trouve dans les cellules FFFC et FFFD car cette interruption est également vectorisée.

DBE : Data Bus Enable

C'est un signal qui caractérise les 3 états du bus data

- l'état fermé sens rentrant
- " " " sortant
- " ouvert

DBE = 1 , le bus data est dans l'état " 0 ou 1 "

DBE = 0 , le bus data est dans l'état off

ce signal dérive généralement de $\phi 2$

TSC Three state control

ce signal place les lignes d'adresses et R/W dans l'état Off (haute impédance).

Les pins VMA et BA sont forcés dans leur niveau bas.

TSC n'a aucun effet sur le data bus

TSC est utilisé par exemple pour mettre l'accès direct aux mémoires.

Halte :

Quand ce signal est à un niveau bas, toute activité dans la machine est arrêtée après l'exécution de l'instruction en cours. Tous les signaux caractérisant les 3 états des lignes seront à l'état haute impédance, le VMA est à Zéro et BA niveau haut.

Bus available :

Ce signal est généralement à l'état inactif (état "0"); le MPU fonctionne alors normalement.

Il est porté à l'état "1" actif lorsque survient une halte ou un état d'attente (wait).

La sortie bus available doit être utilisée pour signaler à un élément extérieur que le MPU ne possède plus le contrôle des bus, ce qui est intéressant pour un multiprocessing ou un accès direct aux mémoires.

a. "Half carry" : H.

H = 1 veut dire qu'il existe une retenue par suite d'une addition entre les quatre premiers bits des accumulateurs A et B.

b. Interruption mask : I.

L'indicateur de masquage intervient lorsqu'une interruption vient d'être prise en compte et que l'on veut interdire l'accès à toute autre interruption. Il est remis à zéro lorsqu'on autorise de nouveau les interruptions à se manifester.

Pour I = 1 la demande d'interruption (IRQ) est rejetée.

c. "Négatif" : N.

Si le résultat de l'opération qui vient d'être exécutée a mené à un résultat négatif, ce bit se positionne à 1.

Il servira lors de branchements conditionnels qui seront définis par son test.

d. "Zéro" : Z.

Il signale que le résultat d'une opération est nul en se positionnant à "1". Si ce résultat n'est pas nul, il reste à zéro. Citons l'une de ses fonctions : par exemple lors d'un décomptage, ce dernier interviendra par conséquent dans les ordres de branchements conditionnels.

e. Overflow : V.

Ce bit nous renseigne sur le dépassement de capacité des registres A et B.

f. Carry : C.

Il indique s'il y a une retenue (report) provenant du bit 7 à la suite d'une opération entre accumulateurs.

II, 2/ - Différentes lignes du MC6800

Les entrées / sorties du MC 6800 peuvent être divisées en trois catégories de fonctions :

- Fonction Data - Data buses
- Fonction Adresse - Bus adresse
- Fonction contrôle - Bus contrôle .

2.1/ - Data bus : (D0, D1 A15) :

Il est composé de huit lignes bidirectionnelles permettant le transfert de données entre le MC 6800 et les différents éléments de la famille qui lui sont reliés.

.../...

.../...

2. 2/ - Bus adress : (A0 , A1 ... A15) :

Ces 16 lignes sont sortantes du MPU et possèdent 3 états (0, 1, Off); l'état "off" correspond à une haute impédance (ligne déconnectée); l'état "off" est utilisé pour le mode D.M.A (Direct Memory Access).

2. 3/ - Bus Control :

Le Bus control est constitué par les lignes suivantes :

a. R/W (Read/Write) : il indique la direction de transfert des données

R/W = 1 : le MPU effectue une opération de lecture

R/W = 0 : le MPU effectue une opération d'écriture.

b. VMA Valid Memory Adress :

Valide l'adress présente sur le bus adress.

c. RESET :

On peut considérer le "reset" comme une interruption.

Il vise à initialiser le système, à la mise sous tension, par exemple.

De ce fait, il mettra souvent en service un programme dit d'initialisation, qui fournira aux divers registres les informations utiles de démarrage : valeur initiale du P.C, du SP etc...

Il interviendra également chaque fois qu'on voudrai revenir à la situation initiale en cours de service.

Par conséquent il n'y a plus rien de sauvegarder des contenus de registres, non plus de tester I ou le porter à "1".

On résume la fonction du Reset par l'organigramme suivant :

d. HORLOGE $\phi 2$:

C'est une phase de l'horloge en opposition de phase $\phi 1$ elle sort à mettre en liaison l'élément sélectionné du système avec le MPU via le bus data et ceci seulement lorsque lorsque le bus adress et le VMA sont stables.

e. INTERRPT REQUEST IRQ :

Le signal IRQ est généré par le PIA , l'ACIA. Il indique la présence ou l'absence de demande d'interruption de la part de l'ACIA ou le PIA. Tout d'abord le MPU termine l'instruction en cours, puis il teste le bit de masquage "I" du CCR.

.../...

CHAPITRE III

Support du MC6800

A. LES MEMOIRES

1/ La mémoire RAM (Random access Memory):

Elle est utilisée pour stocker des informations variables dans un système microprocesseur, ainsi l'unité centrale, sous contrôle du programme peut à volonté lire ou changer le contenu d'une position mémoire.

Les mémoires vives peuvent être de deux sortes: statiques ou dynamiques. Dans ces dernières, l'information est stockée sous forme électrique dans la capacité porte (Gate) d'un transistor MOS. Ces mémoires nécessitent un rafraichissement périodique. Par contre les RAM statiques n'ont pas besoin d'être rafraichies car les cellules mémoires sont à deux états et de conception similaire au flip-flop traditionnel.

La plus part des mémoires vives à semi-conducteur sont volatiles, c'est à dire que l'information stockée est perdue lorsqu'on supprime l'alimentation.

2/ La mémoire morte : ROM (Read Only Memory)

La ROM est non volatile .Elle permet de stocker des informations figées (programme des instructions et des données constantes) et de les restituer sur demande.

Les ROM peuvent être réparties en trois groupes.

-Les ROM programmées par masque: la programmation est exécutée par le fabricant selon les directives de l'utilisateur , et leur contenu ne peut plus être modifié.

-Les ROM programmable ou PROM qui sont programmées par l'utilisateur

-Les PROM dans lesquelles l'information peut être effacée (EPROM) en exposant le substrat à un flux de radiations Ultra violet

-Les EAROM.ROM programmable électriquement.

3 LES INTERFACES D'ENTREE/SORTIE : LE PIA

Un microprocesseur n'est pas fait pour dialoguer uniquement avec sa mémoire de donnée et de programme. Il doit pouvoir communiquer avec la périphérie et recevoir ou transmettre des informations de ou vers l'environnement extérieur.

LE PIA MC 6821 ADAPTEUR D'INTERFACE PERIPHERIQUE

1 Description du MC 6821 :

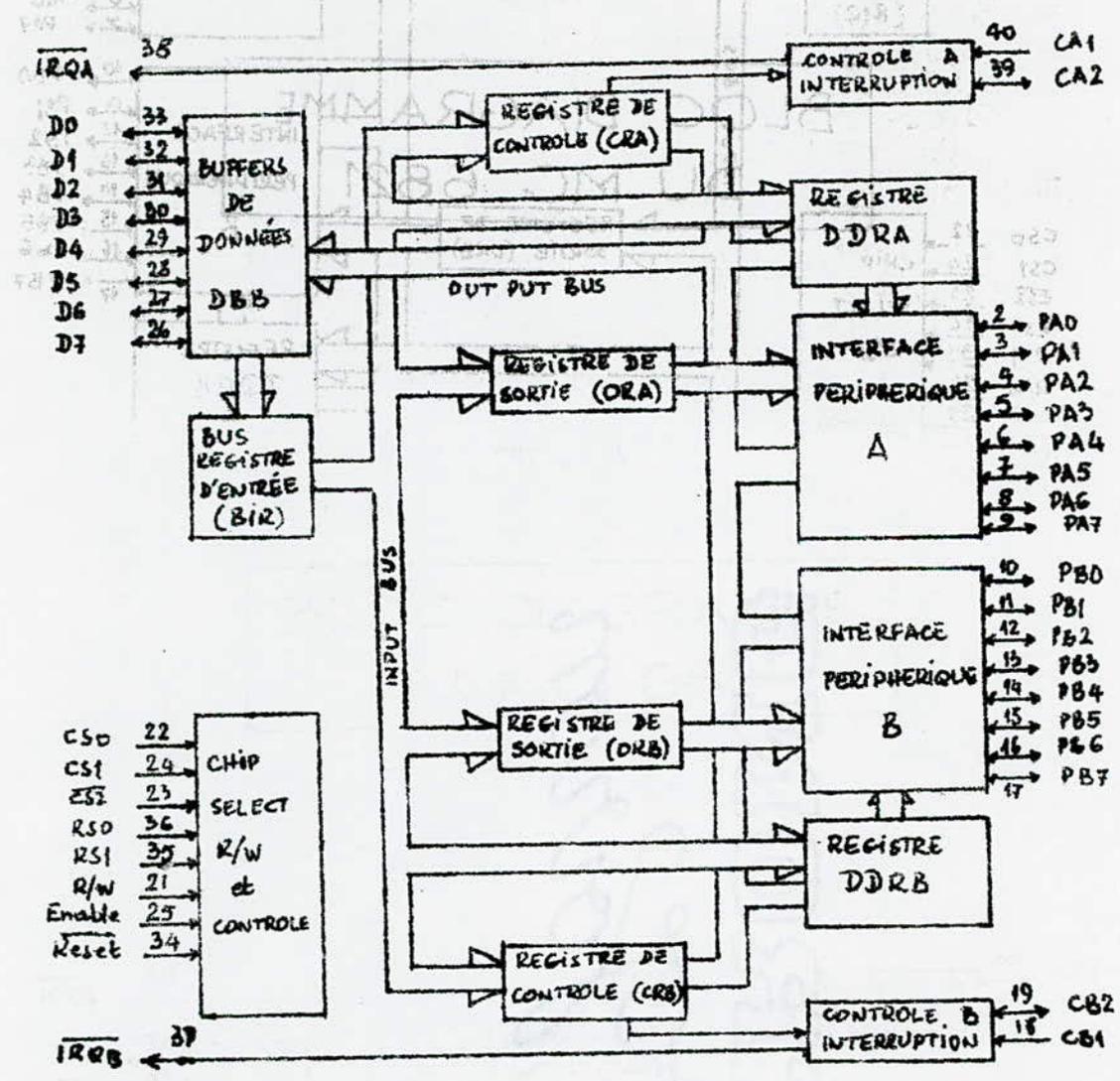
MC 6821 est le coupleur d'entrée/sortie en mode parallèle de la famille M6800.

Suivant le besoin et la nature, certains périphériques nécessitent pour leur fonctionnement la présence en même temps d'un certain nombre de bits ce qui explique la liaison par 8 lignes de l'unité centrale (MPU) avec le PIA qui délivre les données en mode parallèle pour faire apparaître au même moment les 8 bits formant l'information. Le MC 6821 possède 16 sorties groupées en deux parties dites port A et port B. Chacun de ces ports est régi par :

- Un registre de contrôle (CR)
- Un registre de direction de transfert des données (DDR)
- Un registre de sortie (OR)
- Deux lignes de contrôle d'interruption (CA1 et CA2 pour le port A ; CB1 et CB2 pour le port B).

Les ports A et B sont reliés à travers ces registres au registre d'entrées du bus de données (DIR : Bus Input Register)

BLOC DIAGRAMME DU MC 6821



2/ LES DIFFERENTS LIGNES DU MC6821

Le PIA communique avec le MPU par l'intermédiaire des bus suivants :

- Le bus d'adresses
- Le bus de données
- Le bus de contrôle

L'emplacement des lignes correspondantes sur ces bus est indiqué sur la figure 1 du bloc diagramme.

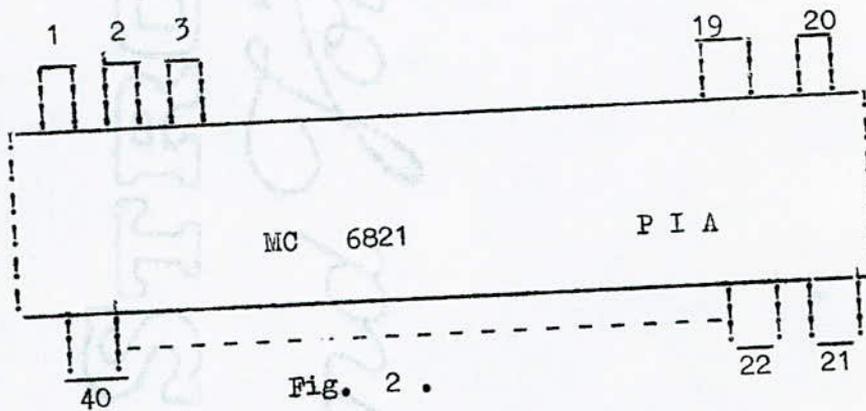


Fig. 2 .

Bus de contrôle

Bus de données

Bus adresses

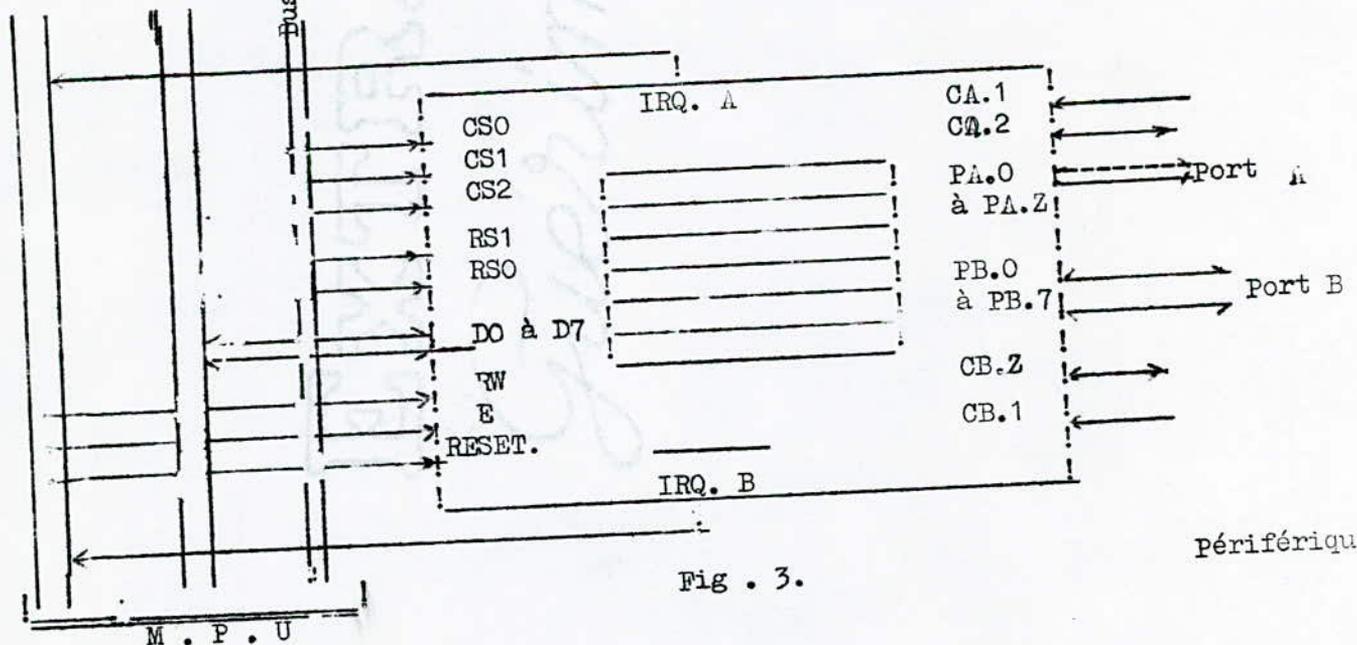


Fig. 3.

3-ORGANISATION INTERNE DU PIA

Le PIA est donc composé de deux parties (port A et port B) presque identique mais tout à fait distinctes l'une de l'autre.
Chaque port est formé de trois registres que le MPU peut adresser en lecture et en écriture.

REGISTRE	ROLE
C.R.A C.R.B	Contient les paramètres de fonctionnement
D.D.R.A D.D.R.B	Contient le mot fixant le sens du transfert (entrée ou sortie) pour chacune des lignes de données. - état "1" : ligne en sortie - état "0" : ligne en entrée
O.R.A O.R.B	Memorise les données en sortie lors d'une écriture. A la même adresse, on peut lire les données présentés en entrée, mais elles devront être mémorisées à l'extérieur.

31. ADRESSAGE DES REGISTRES INTERNES DU PIA / RSO-RS1

Le PIA est sélectionné par la condition $CS_0=1$, $CS_1=1$ et $\overline{CS_2}=0$
On ne dispose donc que de deux fils RSO et RS1 du bus d'adresser pour l'adressage des 6 registres .

Or 2 fils d'adressage n'affectent que 4 registres par les combinaisons 00-01-10-11. Donc un troisième fil aurait permis l'adressage des 6 registres.

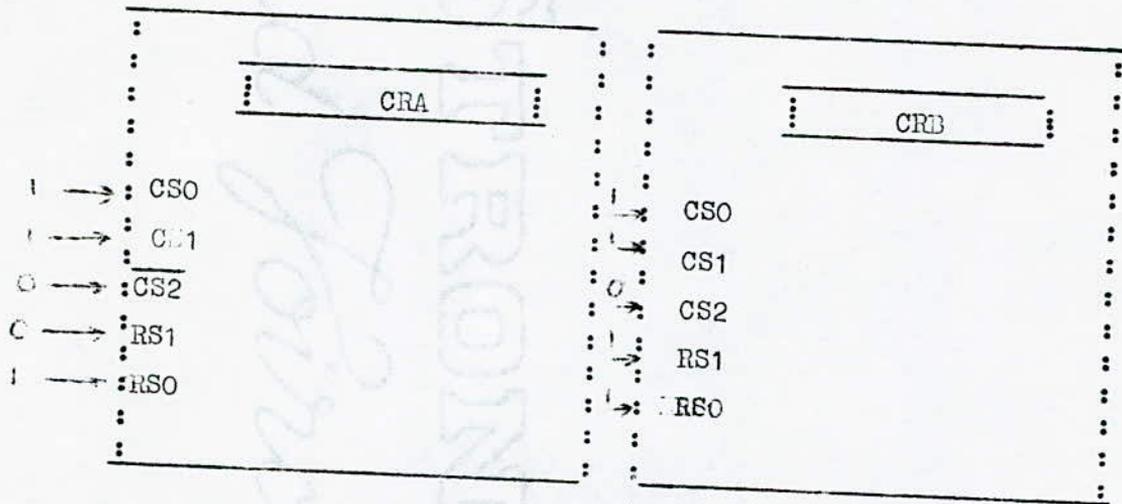
La solution choisie par le constructeur prévoit une économie de broches sur le boîtier.

Ainsi, les deux registres de controle CRA et CRB sont adressés directement ; les quatres autres registres ORA, ORB, DDRA, DDRB sont adressés indirectement. Le choix entre le registre de sortie (ORA, ORB) et le registre de direction de données (DDRA, DDRB) dépendra du bit2 du registre de controle (CRA2, CRB2).

L'ADRESSAGE SE RESUME PAR LE TABLEAU SUIVANT:

RSI	RSO	CRA.2	CRB.2	SELECTION
0	0	0	X	DDRA
0	0	1	X	DRA et interface
0	1	X	X	CRA
1	0	X	0	DDRB
1	0	X	1	ORB et interface
1	1	X	X	CRB

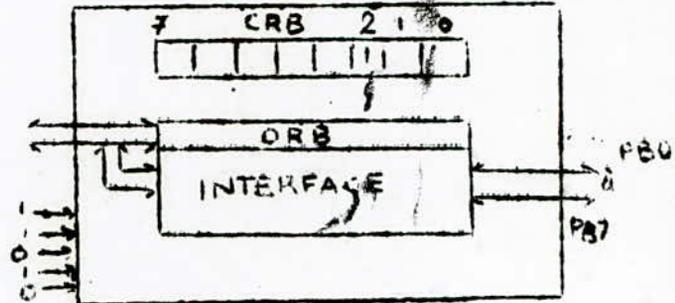
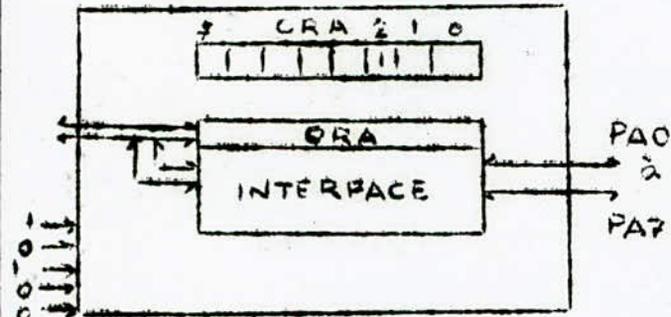
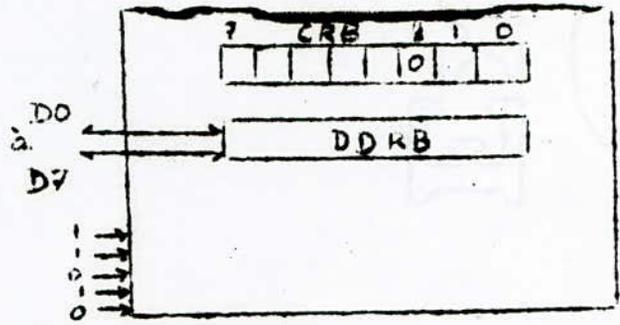
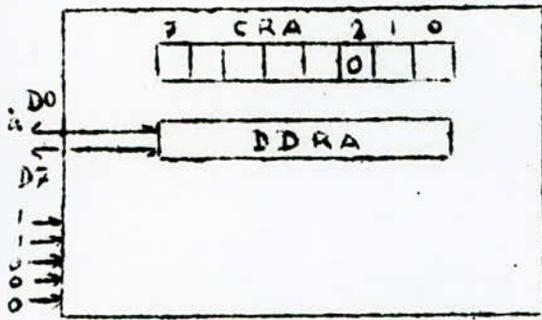
ILLUSTRATION DU TABLEAU D'ADRESSAGE:



N.B: Si RS1=0, RSO=1 et, si R/W=1 : on réalise une entrée du registre de controle CRA vers le bus de données
Si R/W=0 Sortie bus de données — CRA.

* Le symbole "X" dans le tableau , veut dire quelque soit le bit correspondant.

ACCES AU REGISTRE DE DIRECTION DE TRANSFERT



ACCES AU REGISTRE DE SORTIE

3.2.1 LE REGISTRE DDR

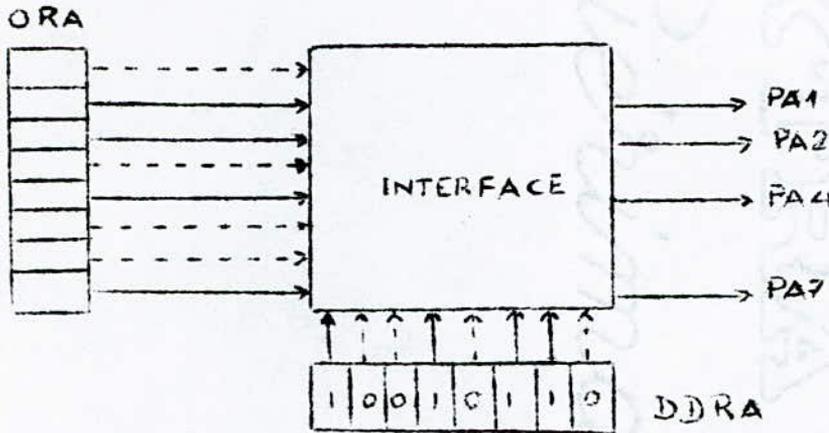
Par son contenu, il assure la programmation en entrée ou en sortie de chacune des lignes des deux ports (PA0-PA7 et PB0-PB7)

- Lorsque le bit "i" de DDR est "0", la ligne i du port considéré est programmée en entrée
- Lorsque le bit "i" de DDR est "1" la ligne "i" du port considéré est programmée en sortie.

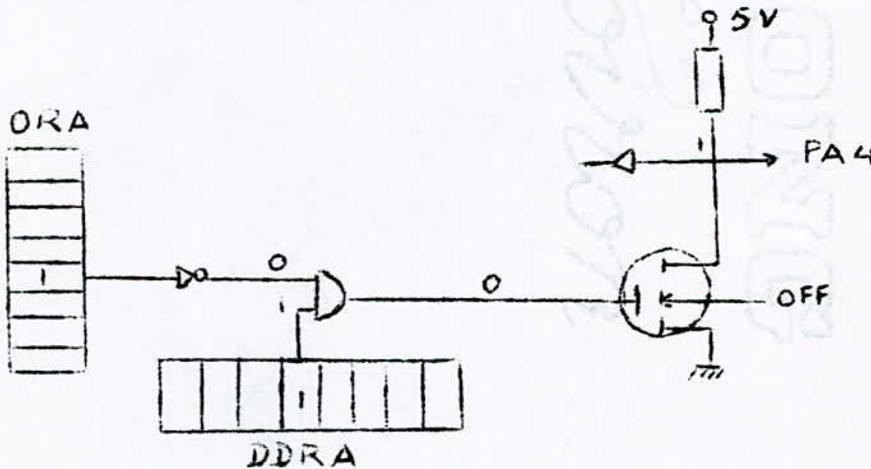
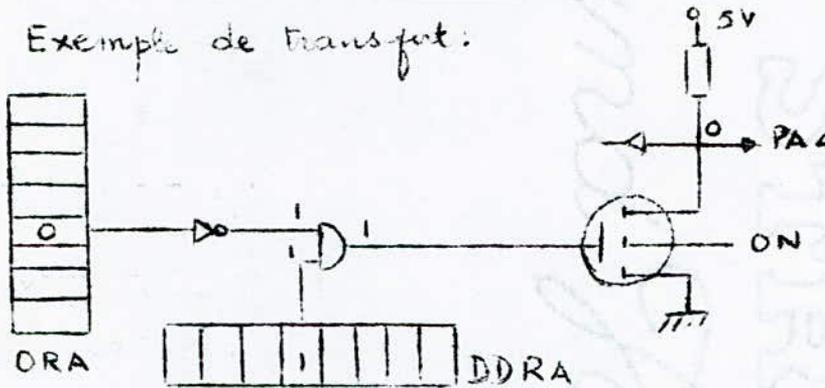
3.3 TRANSFERT DES DONNEES SUR LE PORT A

Suivons par l'exemple de la figure, l'évolution d'une donnée dans le PIA

Le MPU écrit les bits "1" dans ORA, qui seront transmis vers un périphérique (les autres bits ne sont pas pris en considération) on a vu que pour le transfert en sortie, il y'a mémorisation des données, donc seules ces bits apparaîtront sur les lignes PA1, PA2, PA4, PA7 et seront disponibles en permanence.



Exemple de transfert:



Lorsque DDRA est à "1" la porte "ET" autorise le transfert des données de ORA vers PA.

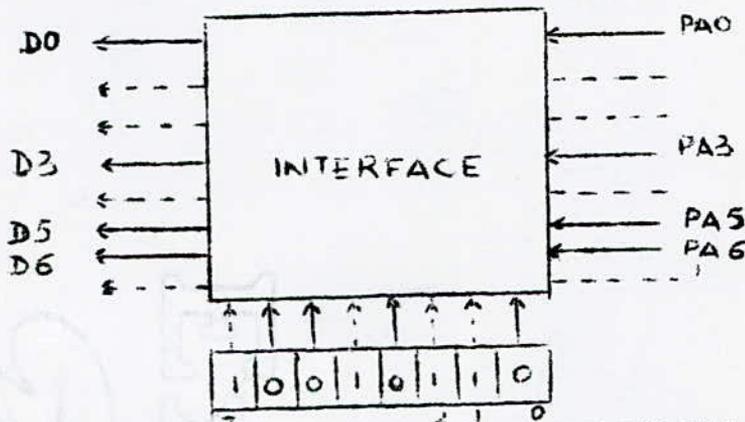
Si l'information transmettre vers PA est un "0" a la sortie de la porte ET se présente un "1" qui sature le transistor et la ligne PA sera portée à un niveau bas qui correspondra à un "0" logique.

conformément à l'information que l'on veut transmettre.

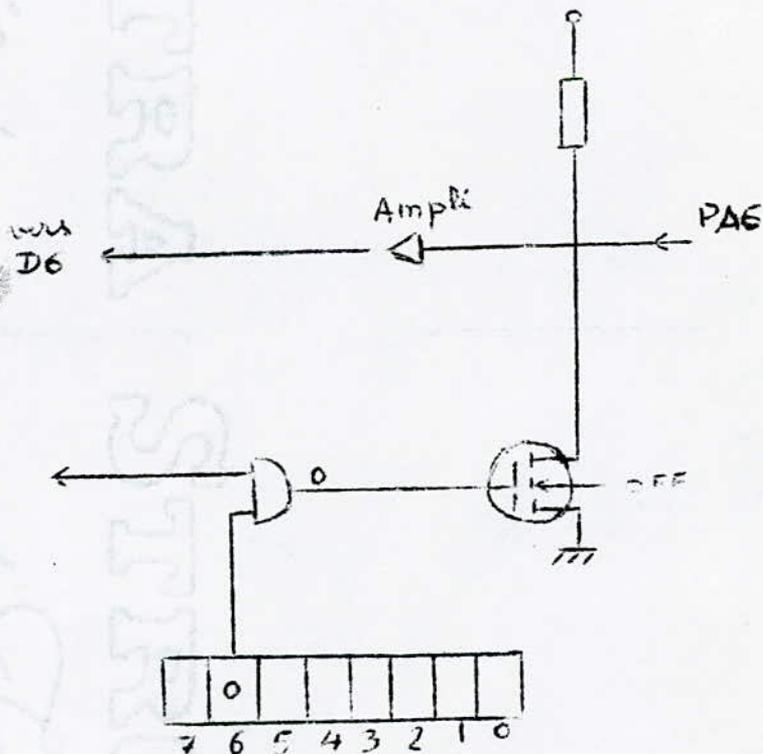
Si l'information à transmettre est un 1, la sortie de la porte "ET" porte la base du transistor à un niveau bas (niveau "0") par conséquent le bloque et la ligne PA sera portée à un niveau haut ("1" logique) conformément à l'information qu'on veut transmettre;

Cas où les lignes sont programmées comme entrée :

Dans ce cas les bits correspondant de DDRA sont à "0", il s'agit donc d'une lecture et il n'y a pas de mémorisation.



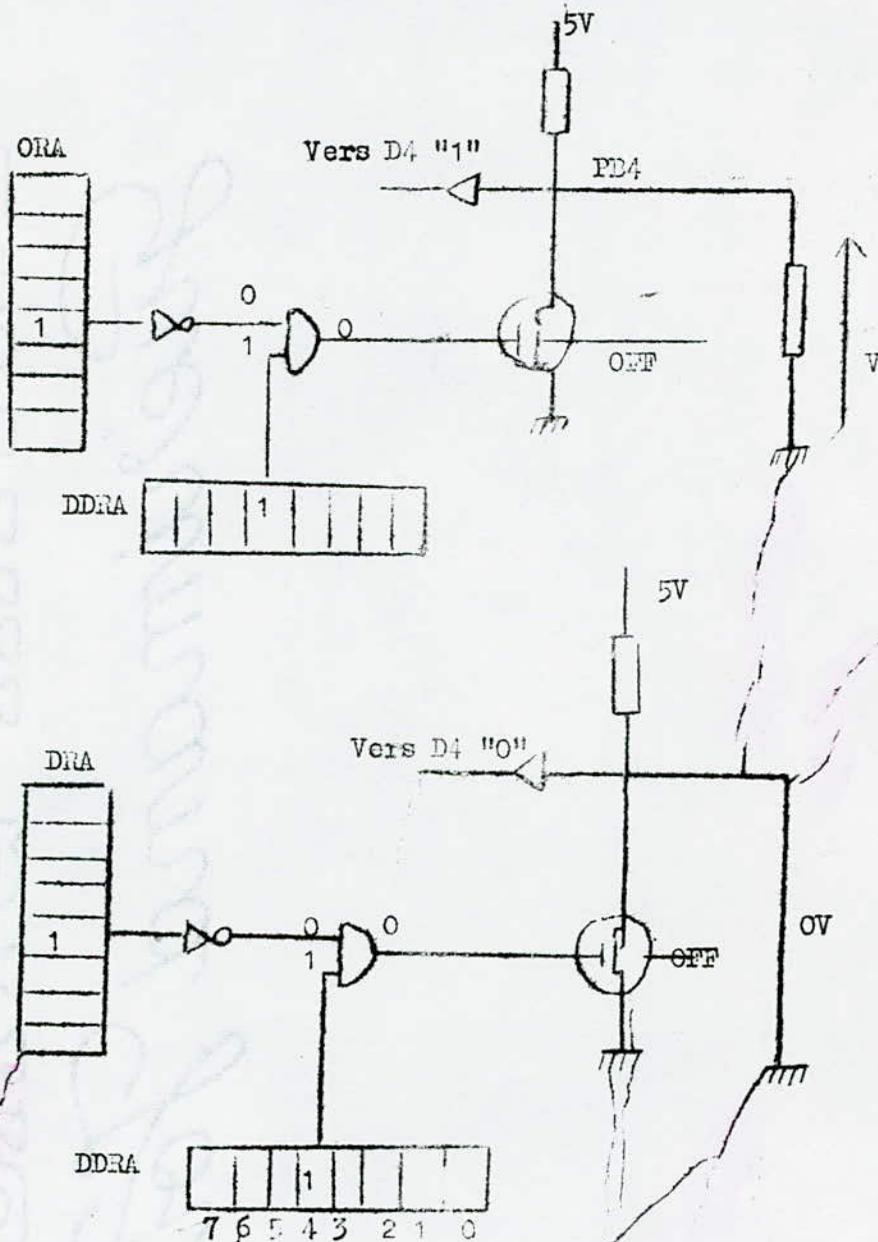
Les données arrivant par les lignes PA0, PA3, PA5, PA6, se retrouveront après amplification sur le bus de données du MPU



Le bit 6 de DDRA étant à "0", il est appliqué à l'entrée d'une porte ET dont la sortie à niveau bas ("0" logique) bloque le transistor.

La ligne PA6 contenant l'information provenant du périphérique est alors transmise vers le bus de données du MPU. Lors de la lecture des lignes PA₀, PA₃, PA₅ ET PA₆, le MPU lit un mot de 8 bits dont seuls D₀, D₅, et D₆ sont significatifs.

Si les sorties PA₁, PA₂, PA₄, PA₇ sont chargées de façon à respecter les normes TTL alors il y'aura coïncidence entre l'état de ces sorties et l'état des bits correspondant de ORA pour les lignes programmées en sortie.



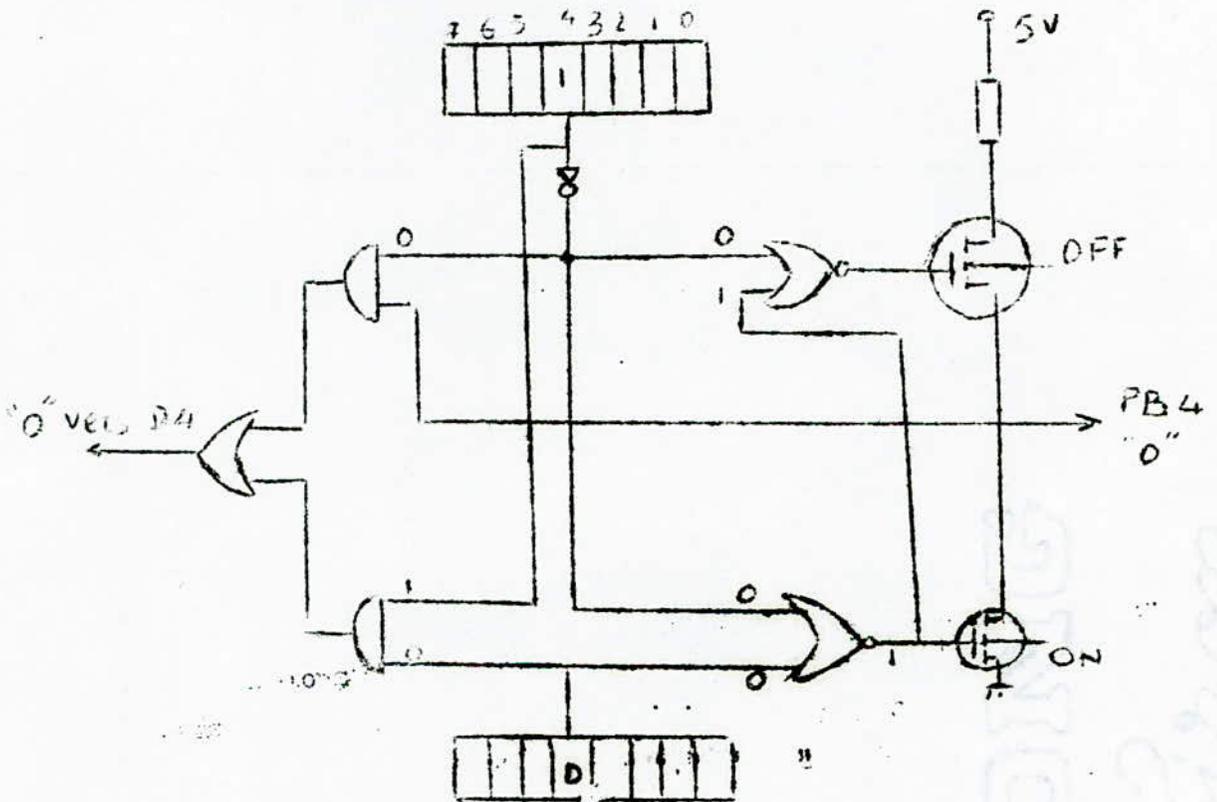
3/20. ETUDE DU PORT B :

Les lignes de données du port B jouent le même rôle que les lignes PA du port A du point de vue fonctionnel.

Une différence de structure permet aux lignes PB d'être mises à l'état de haute impédance lorsqu'elles sont programmées en entrées.

LIGNES PROGRAMMEES EN SORTIE :

Les données présentes sur le bus de données sont mémorisées dans ORB exactement comme pour le port A

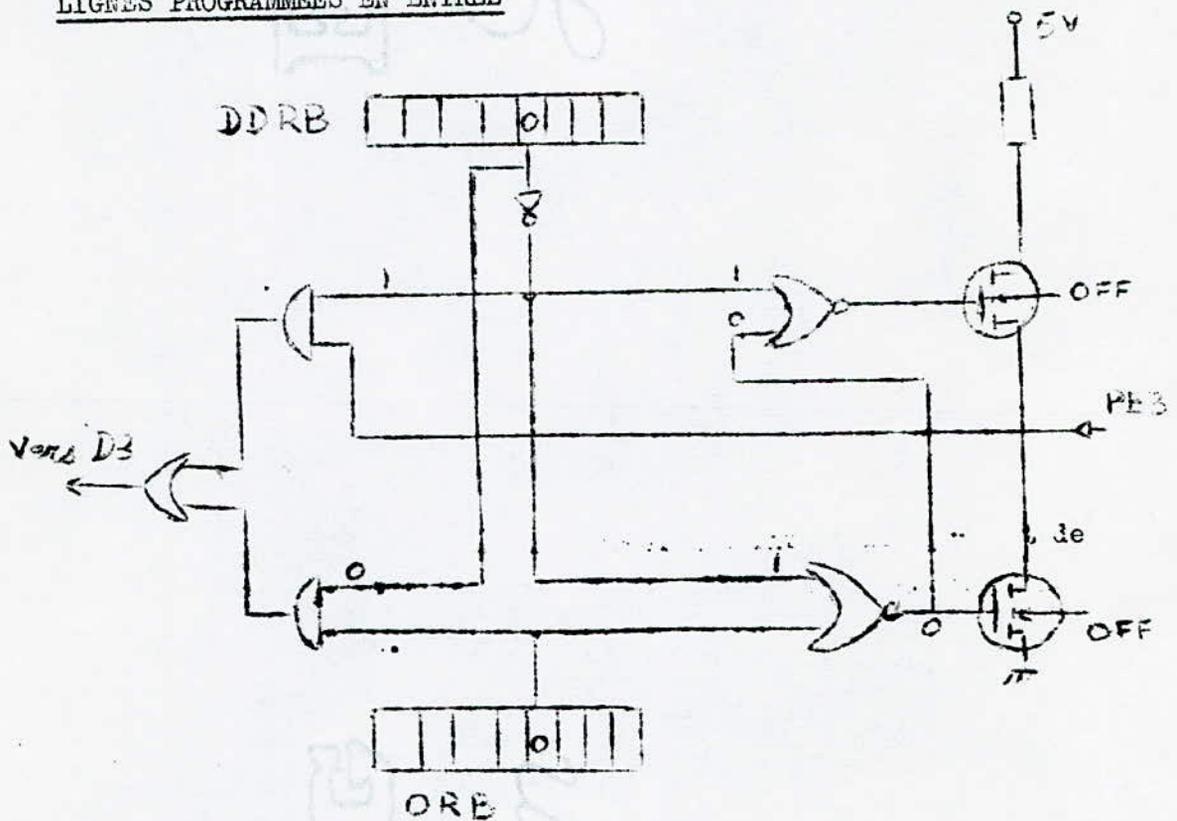


Le bit 4 de DDRB étant à 1 permet de fixer le sens de transfert des informations de ORB vers PB4.

Lorsque le bit 4 de ORB est un "0" PB4 est à "0"

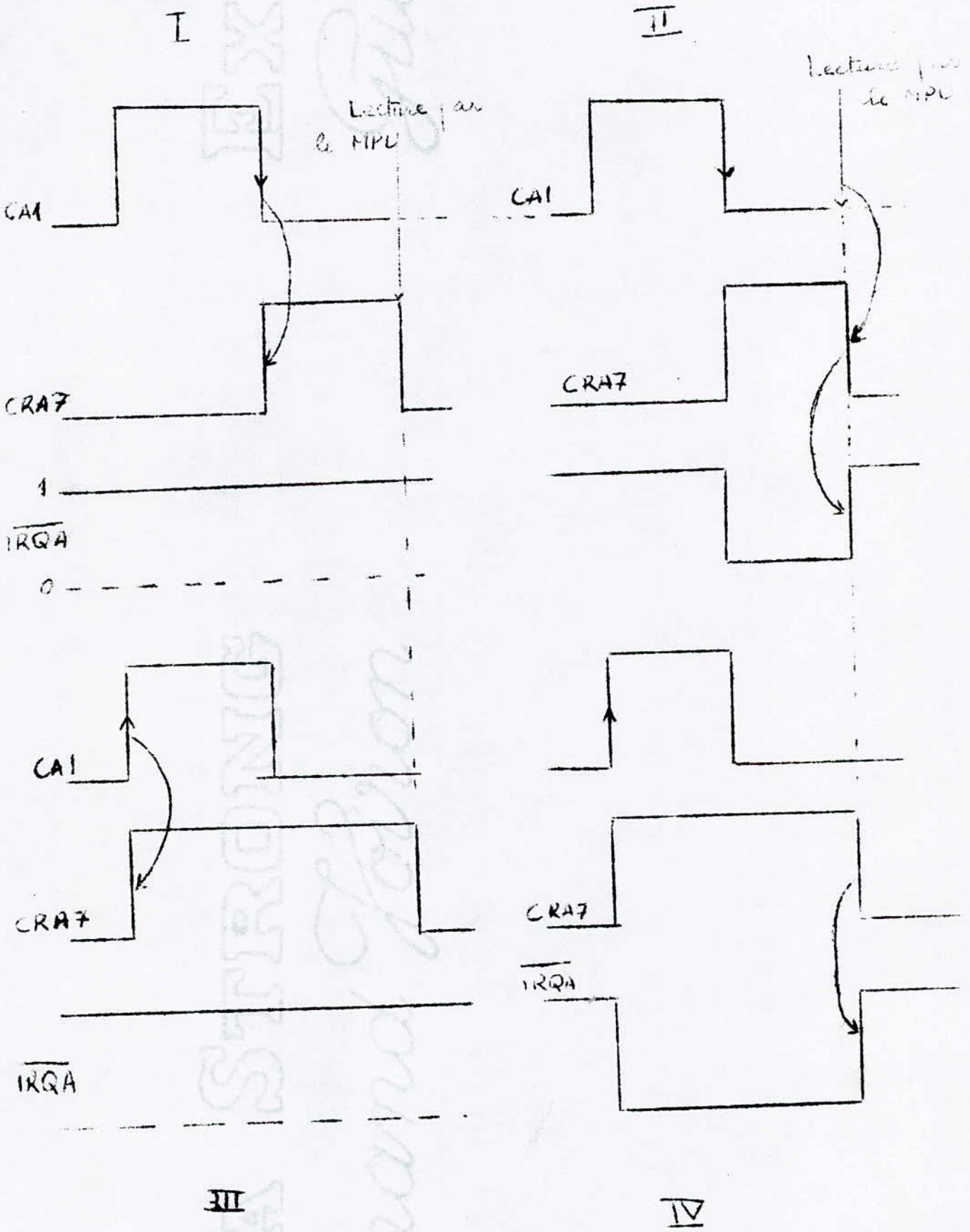
Lorsque le bit 4 de ORB est un "1" PB4 est à "1"

LIGNES PROGRAMMÉES EN ENTREE



Les lignes étant programmées en entrée, les bits correspondant de DDRB sont à "0" et l'état des lignes de sortie est transmis directement sur le bus de données.

Mode de fonctionnement de CAI



Choix de la transition active

de CA1 (CB1).

CRA1 (CRB1) = 0; CR7 mis à 1
par une transition négative de CA1
(CB1). CRA1 (CRB1) = 1, CR7 mis à 1 par
une transition positive de CA1 (CB1)

AUTORISATION DU SIGNAL D'INTERRUPTION

CRO=0 masque les demandes
d'interruption sur CA1 (CB1)

CRO = 1 autorise les demandes
d'interruption sur CA1 (CB1)

INDICATEUR D'INTERRUPTION

CR7. Mis à 1 par une tran-
sition active sur la ligne
CA1 (CB1).

RAZ par une lecture de DDRA
(B) par Reset.

7	6	5	4	3	2	1	0
IRQA (B) 1	IRQA (B) 2	Commande CA2 (CB2)		Accès DDR	Commande CA1 (CB1)		

INDICATEUR D'INTERRUPTION CR6

Si CA2 (CB2) sont des entrées
d'interruption, ces indicateurs sont
mis à 1 par une transition active de
CA2 (CB2). RAZ par une lecture de OR
et par Reset.

SELECTION DE "OR" ou "DDR"

CR2 = 0 selection de DDR

CR2 = 1 selection de OR

Comportement de CA2 (CB2) en
sortie de commande.

Commande en entrée
d'interruption.

Commande de CA2 (CB2)

a/ Comportement de CA2 (CB2) comme sorties de commande :

Le bit 5 est mis à 1, les bits 4 et 3 permettent de définir le mode d'action de CA2 (CB2).

CRA5 (CRB5)=1 CRA4(CRB4)=0

CA2: envoi d'une impulsion vers le périphérique indiquant l'exécution d'une opération de lecture

Si CRA3=0

CA2 passe à l'état bas sur première transition négative de E(\emptyset 2) qui suit une lecture d'une donnée provenant de la périphérie .

CA2 passe à l'état haut quand l'indicateur d'interruption CRA7 est mis à 1 par une transition active de CA1.

Si CRA3=1: CA2 passe à l'état bas sur la transition négative de la première impulsion E(\emptyset 2) qui suit une lecture d'une donnée provenant de la périphérie A;

CA2 passe à l'état haut à la prochaine transition négative de E(\emptyset 2).

Il y a lieu de distinguer la différence existant entre CA2 et CB2;

CA2 est associé à une lecture
CB2 " " " " écriture

b/ COMPORTEMENT DE CA2 (CB2) COMME ENTREES D'INTERRUPTION :

Le bit 5 est mis à 0

CRA (CRB3): autorisation du signal de demandes d'interruption sur CA2 CB2; CRA3 (CRB3)=1 autorise les demandes d'interruption sur CA2(CB2). Le choix de la transition active de CA2(CB2):

CRA4(CRB4)=0, CRA6(CRB6) mis à 1 par une transition négative de CA2 (CB2):

CRA4(CRB4)=1 , CRA6 (CRB6) mis à 1 par une transition positive de CA2(CB2).

MODE DE FONCTIONNEMENT DE CA2 et CD2

Selon la programmation des bits 3 et 4 du registre de controle, on distingue 4 modes de fonctionnement.

CRA4	CRA3	MODES
0	0	Dialogue
0	1	Impulsionnel
1	0	
1	1	Programme

} Lecture

TABEAU 1.

CRD4	CRD3	MODES
0	0	Dialogue
0	1	Impulsionnel
1	0	
1	1	Programme

} Ecriture

TABEAU 2.

4. ADRESSAGE DES PIA

On a vu que pour sélectionner un PIA il faut qu'on ait les conditions suivantes: $CS_0=1$, $CS_1=1$ et $\overline{CS_2}=0$, par ailleurs le PIA occupe 4 adresses-mémoires. A partir de ces données, on peut aisément concevoir un circuit d'adressage du PIA qui fera valider celui-ci à certaines adresses que nous fixerons et qui seront évidemment différentes des adresses des mémoires du MPU ou des autres interfaces soit à adresser 4 PIA. Adressons le 1^e PIA à l'adresse 8000-8003, le 2^e de 8004 à 8007, le 3^e de 8008-à 8011 et le 4^e de 8012 à 8015.

A 15	A 14	A 13	A 12	A 11	A 10	A 9	A 8	A 7	A 6	A 5	A 4	A 3	A 2	A 1	A 0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PIA 1
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	PIA 2
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	PIA 3
1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	PIA 4
1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	
1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	
<u>1</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>												
CS0	SELECT											CS1				

.../...

.../...

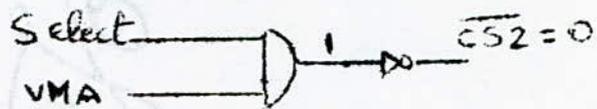
On remarque qu'au niveau d'un PIA, seul les deux derniers bits changent, donc on peut les utiliser pour adresser les 4 positions internes du PIA; soit donc RSO et RS1.

Les bits A2 et A3 permettent de différencier les PIA .

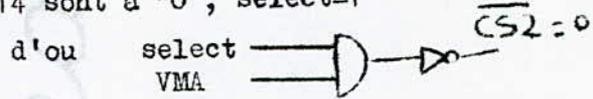
- PIA 1 → 00
- PIA 2 → 01
- PIA 3 → 10
- PIA 4 → 11.

On peut donc schématiser l'adressage d'un PIA par CSI, bien sûr avec les conditions $\overline{CS2}=0$ et $CS0=1$

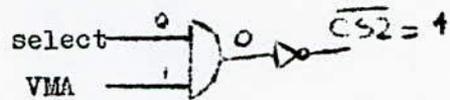
$CS0$ étant toujours à 1 pour tous les PIA et $\overline{CS2}=0$



Selon étant le niveau délivré par les comparateurs si les bits $A4$ à $A14$ sont à "0", $select=1$

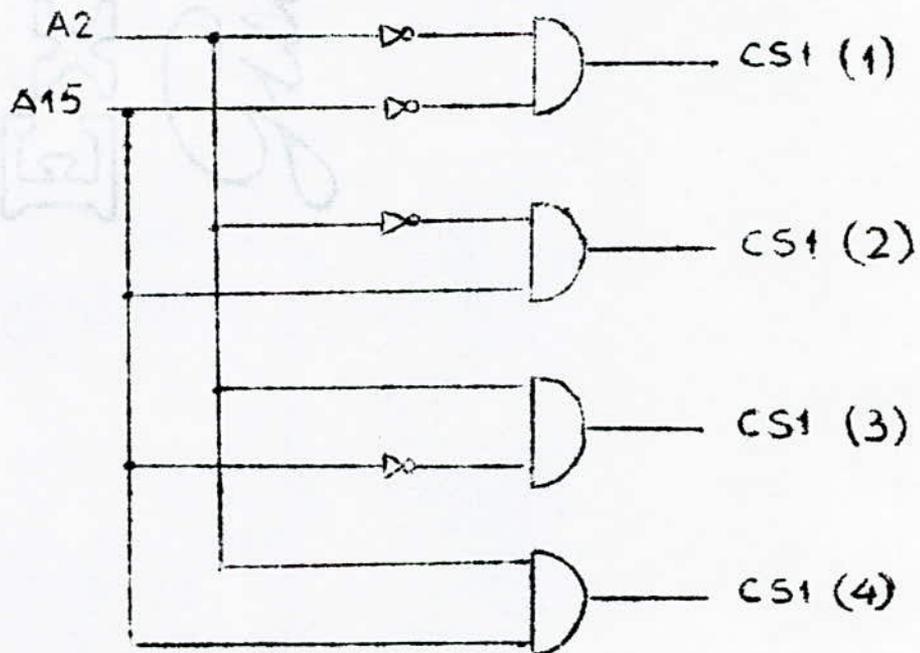


si un seul bit est à "1", alors $select=0$



Alors dans ce cas aucun PIA n'est sélectionné
On remarque aussi que l'apparition de $A_{15}=0$ désélectionne les PIA.

2. SCHEMA DE SELECTION D'ADRESSAGE D'UN PIA.



5 LOGIQUE DE COMMANDE DES BUFFERS: MC 8T26

Les buffers servent de tampons entre le MPU et l'exterieur.

Les bus adresses et données étant indépendants, il apparait donc évident de les synchroniser, justement les buffers présentent, dans notre cas, l'avantage grâce à leur état de haute, impédance de pouvoir assurer la synchronisation entre l'adresse et les données constituant l'information. Il faut alors disposer d'une logique de commande des 8T26 de sorte que lorsque l'adresse est présenté pour un cycle donné le transfert de données puisse dans un sens ou dans l'autre.

Dans notre cas, les 8T26 , permettent le transfert des données lorsque VMA=1, lorsque le signal d'activation des échanges du MPU, $\phi 2=1$, et selon l'état de R/W ils déterminent le sens du transfert dans un sens ou dans l'autre.

Dans le cas contraire, les 8T26 doivent être à l'état haute impédance pour déconnecter le MPU du PIA. Cet état est obtenu en portant la ligne 1 au niveau logique "1" et la ligne 15 au niveau logique "0". L'inversion de ces niveaux mettrait les buffers 8T26 en court-circuit (on passant dans les 2 sens) et cet état doit être évité!.

TABLE DE VERITE DE LA LOGIQUE DE COMMANDE

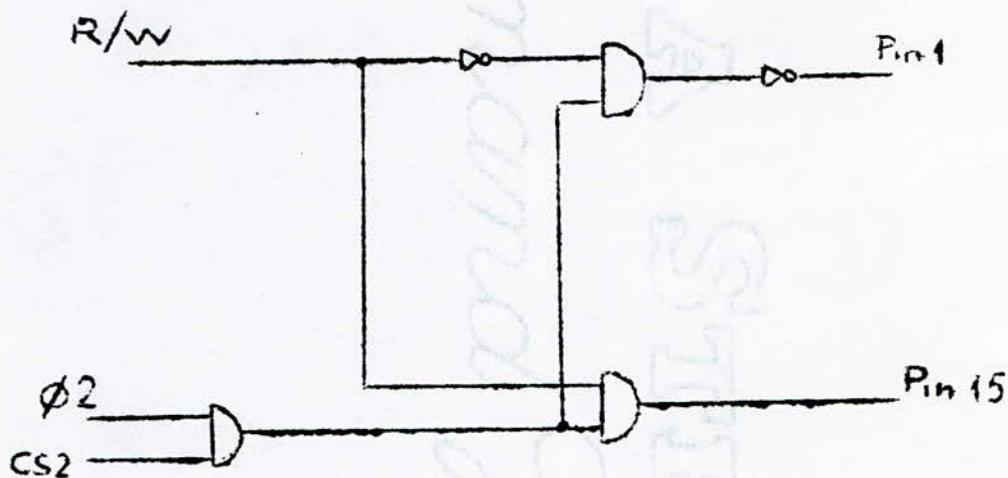
CS2	R / W	$\phi 2$	Ligne 1	Ligne 15	Etat du buffer
1	0	0	1	0	Haute impédance
	0	1	0	0	Ecriture
	1	0	1	0	Haute impédance
	1	1	1	1	Lecture
0	0	0	1	0	Haute impédance
	1	0	1	0	
	1	1	1	0	

$$\overline{P1} = \phi 2 \cdot R/\overline{W} \cdot CS2$$

$$\overline{P1} = \phi 2 \cdot R/\overline{W} \cdot CS2$$

$$P2 = \phi 2 \cdot R/\overline{W} \cdot CS2$$

SCHEMA DE LA LOGIQUE DE COMMANDE DES 8T26

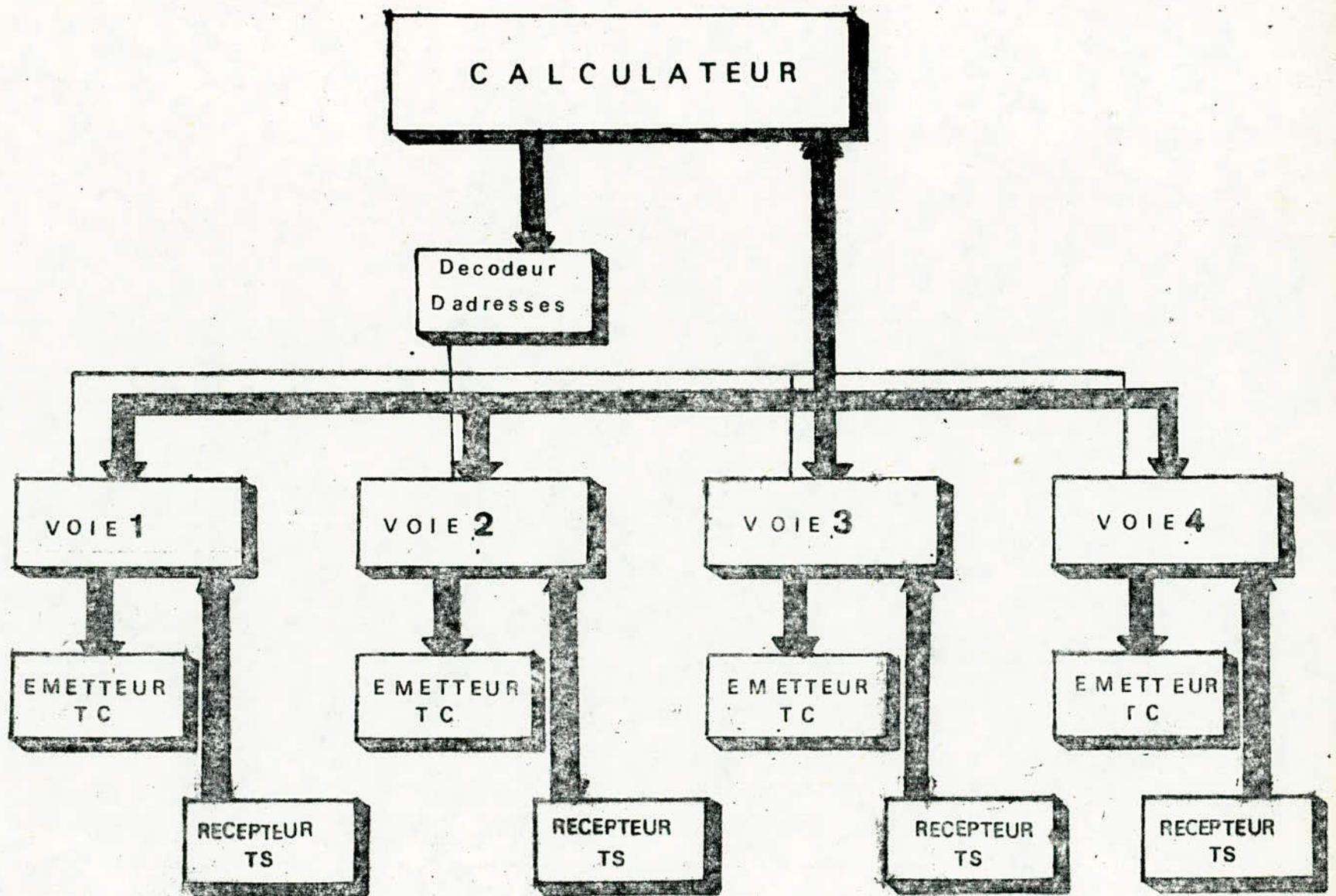


Exemples: 1/ CS2=1 - R/W=0 (Ecriture) phi 2=1

$\left. \begin{array}{l} P1=0 \\ P2=0 \end{array} \right\} =$ Ecriture d'après le tableau, ce qui vérifie donc R/W=0 qui correspond à l'écriture

Exemples: 2/ CS2=1 - R/W=1 (lecture) phi 2=1

$\left. \begin{array}{l} P1=1 \\ P2=1 \end{array} \right\} =$ On a une lecture



SCHEMA SYNORTIQUE

.../...

CHAPITRE IV APPLICATION POUR UNE STATION A 4 VOIES :

Les nombreux équipements périphériques nécessitent une exploitation de façon entièrement automatique sans aucune présence de personnel. Ceci conduit alors à ramener au centre de contrôle toutes les fonctions de commandes et de surveillances à distance.

Les équipements concernés sont entre autres les émetteurs, les récepteurs, l'alimentation ...

L'émission de chaque télécommande est suivie de la réception d'une télésignalisation rendant compte de la bonne exécution de l'ordre au niveau d'une station.

L'objet de cette application consiste à proposer une méthode adaptée aux besoins du système de télécommande télésignalisation la méthode proposée comporte 2 volets :

- la définition du problème à résoudre
- la description de la solution choisie

1/ Définition du problème :

Pour arroser le territoire national par des informations, toutes les stations émettrices réceptrices doivent assurer normalement l'émission et la réception. Pour ceci, il faut alors recevoir l'état de tous les éléments dont dépend un émetteur ou un récepteur.

2/ Description de la solution choisie :

La solution retenue, est de grouper toutes les informations et de les ramener de la baie de télésignalisation vers le microprocesseur via les PIA tous les états susceptibles de se présenter seront affectés d'un code (voir plus loin).

Un programme d'autosurveillance sert de programme de base, pour scruter station par station et voie par voie.

Les données proviennent du pupitre de télésignalisation vers le MPU, via les PIA. Lorsqu'une anomalie est détectée, ses caractéristiques, (station, voie, cause d'apparition etc...) sont visualisées ou imprimées, alors si nécessaire, le MPU intervient en arrêtant la voie (éventuellement), exécuter une commutation, etc....

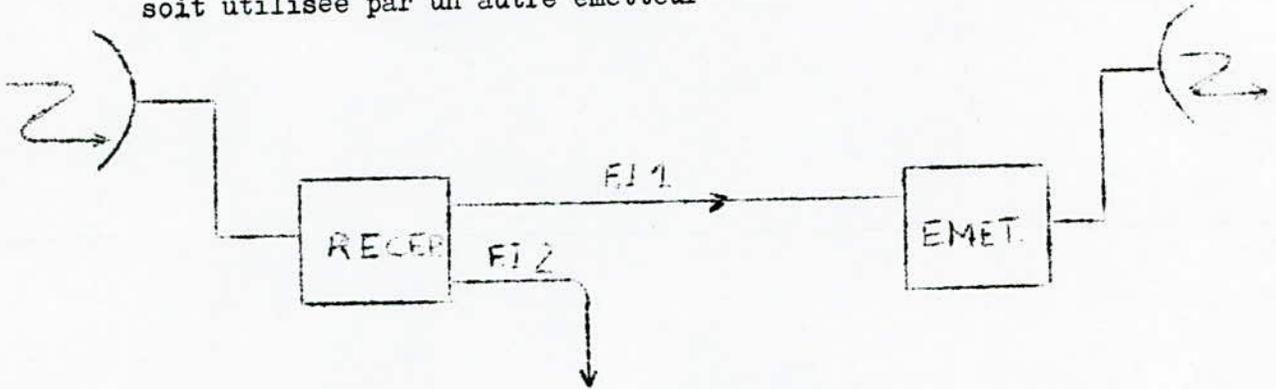
.../...

.../...

3/ Détermination des paramètres de codification des états :

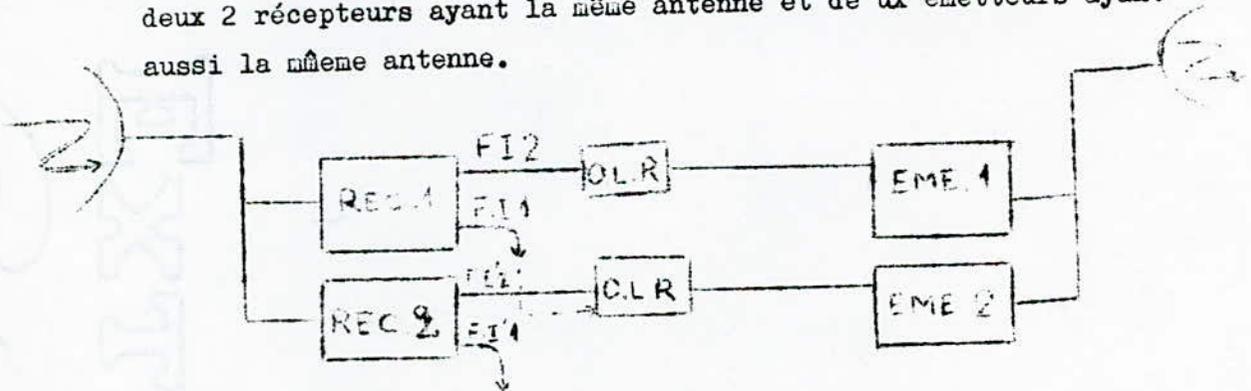
Particularités des récepteurs :

Le récepteur reçoit une fréquence FI pour donner à sa sortie grace à un dédoubleur de fréquence 2 fréquences FI et FI2, l'une de ces 2 fréquences attaque l'émetteur, l'autre étant soit gardée en l'air soit utilisée par un autre émetteur



Cas particuliers :

Le centre nodal de la RTA (Bouzaréah), utilise pour chaque voie deux 2 récepteurs ayant la même antenne et de ux émetteurs ayant aussi la même antenne.

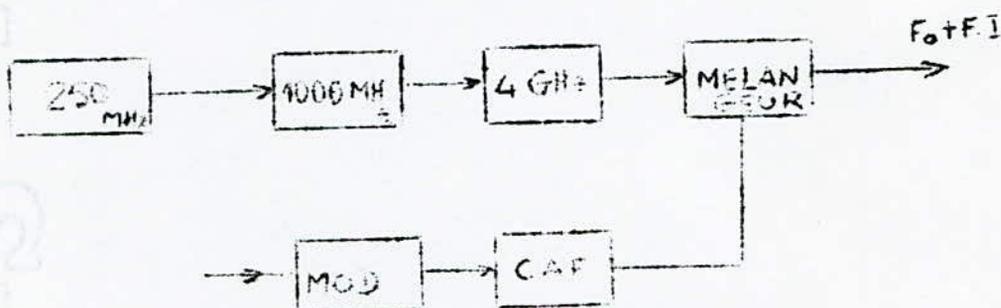


Un système de télémessure vient se placer après l'O.L.R pour déterminer le niveau de la réception, généralement les mauvaises réceptions sont dues à l'O.L.R (ou aux conditions atmosphériques) et c'est là qu'apparaît l'intérêt du couplage de récepteurs et d'émetteurs. Pour ce faire, en cas de défaillance de l'O.L.R, on commute la FI1 (par exemple) avec l'O.L.R du récepteur 2 pour attaquer l'entrée de l'émetteur correspondant.

.../...

.../...

Schéma synoptique de la chaîne émission.

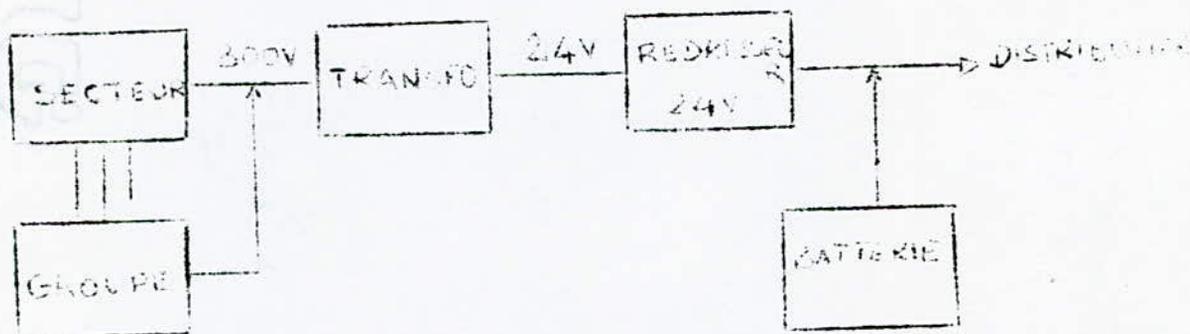


Les principaux éléments à surveiller au niveau de l'émission sont :

- L'oscillateur local d'émission : (osc. 250 MHz)
- L'oscillateur (1000 MHz) : multiplicateur de fréquence
- L'oscillateur (4000 MHz) : multiplicateur de fréquence.

Le modulateur est surveillé par un système télésupervision.

L'ALIMENTATION.



L'Alimentation comprend le secteur, énergie fournie par la SONEGAS.

En cas d'absence du secteur, l'énergie est fournie par le groupe. Cette énergie est ensuite abaissée et redressée. Une série de batteries qui débite lorsque le redresseur est à l'arrêt est prévue.

Les causes de pannes pouvant affectées l'alimentation sont les suivantes :

- Absence secteur
- Absence du groupe
- Arrêt redresseur.

N.B : Vu que les batteries n'ont pas une grande puissance ou arrêt la bilatérale en cas de panne du redresseur.

.../...

Les particularités citées, sont valables pour la voie unilatérale et la voie réversible.

Par conception, la voie bilatérale diffère à l'émission, des voies citées plus haut. On utilise pour cette voie à la place des oscillateurs, un tube à ondes progressives (T.O.P) qui joue exactement le même rôle que les oscillateurs, seulement un T.O.P a l'avantage de disjoncter pour ne pas "claquer" ce qui provoque un rétablissement de porteuse ou rupture de la voie. Pour remettre le T.O.P en fonctionnement, il suffit de faire une télécommande pour le réarmer (Reset).

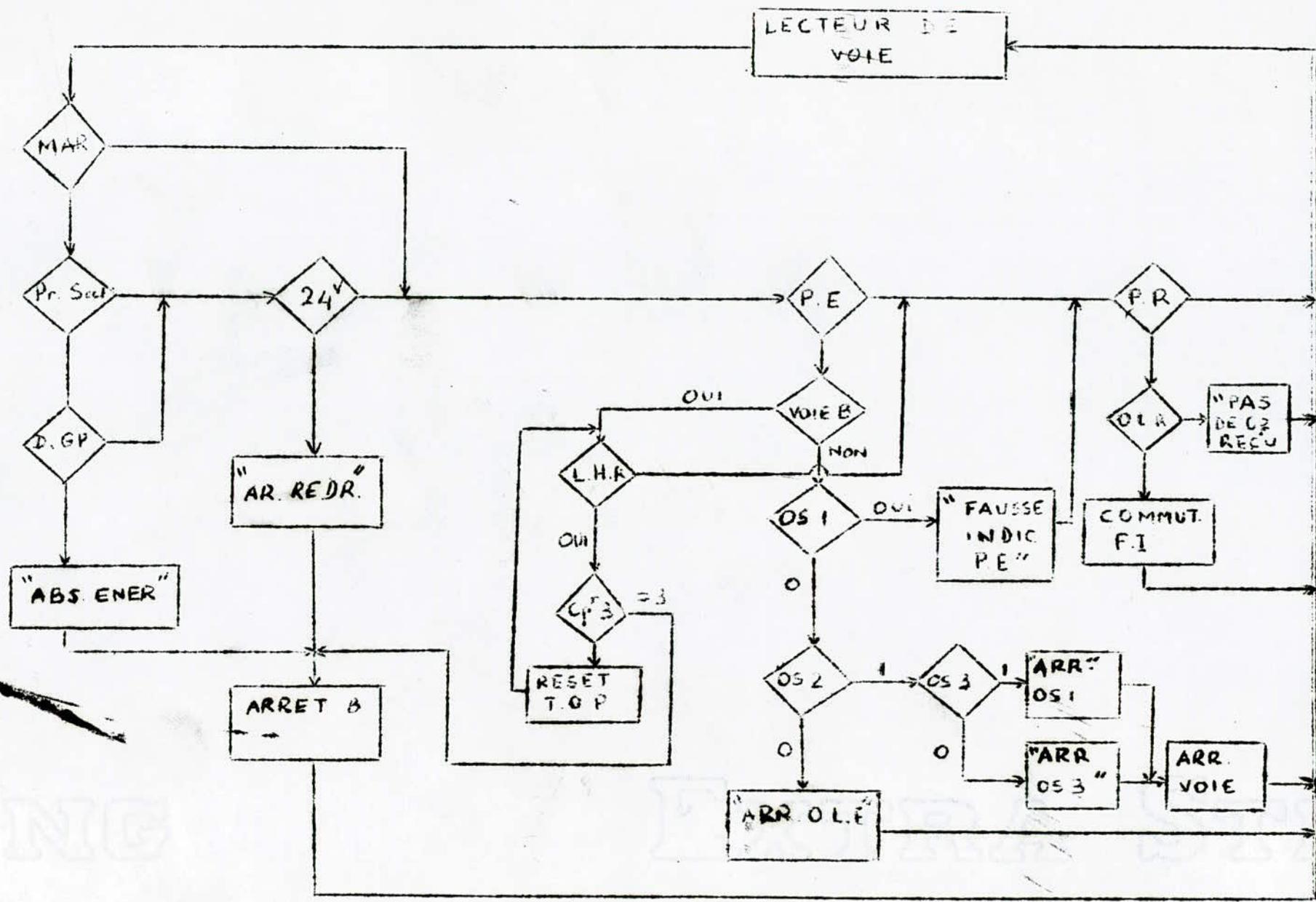
Les paramètres devant être testés pour surveiller l'état des stations sont :

- La fonction " marche" de la voie au niveau de la station
 - Le secteur
 - Le groupe électrogène
 - Le redresseur 24V
 - (L'énergie)
 - La puissance émise (P.E)
 - Les oscillateurs d'émission : OSC 1 (4000 MHz), OSC2 (250 MHz), OSC3 (1000 MHz)
 - La puissance reçue (P.R)
 - L'oscillateur de réception (O.L.R)
 - Le tube à ondes progressives (T.O.P) qui provoque un établissement de porteuse (L.H.R) dans le cas de la voie bilatérale à la place des oscillateurs d'émission pour les voies unilatérale et réversible.
- La disposition du codage des états est la suivantes :
- 8 téléseñalisations peuvent être présentes dans un registre du PIA

Exp.

Marche : Secteur: Groupe: Red. 24V : P. E. : L. H. R.: OSC1 : OSC2
128 : 64 : 32 : 16 : 8 : 4 : 2 : 1
PA7 : PA6 : PA5 : PA4 : PA3 : PA2 : PA1 : PA0

Ceci est la configuration du registre pouvant être lu par le MPU si 128 se présente dans le registre du PIA, le MPU nous sort la correspondance avec le code "c'est à dire que l'on a seulement l'ordre "marche".



ORGANIGRAMME D'AUTOMATISATION D'UNE STATION A 4 VOIES

39

CODIFICATION DES ETATS DE LA VOIE
VOIE DE LA ...

CODE	128 MARCHE	64 PRES. SECT.	32 DEB. GPE	16 RED 24. V	8 PU EM	4 L.H.R	2 OSC. 1	1 OSC. 2	4 OSC. 3	2 PU RECUE	1 O.L.R
0-0	0	0	0	0	0	0	0	0	0	0	0
32-0	0	0	1	0	0	0	0	0	0	0	0
40-0	0	0	1	1	0	0	0	0	0	0	0
48-0	0	0	1	1	0	1	0	0	0	0	0
52-1	0	0	1	1	0	1	0	0	0	0	0
56-3	0	0	1	1	0	1	0	0	0	0	0
56-0	0	0	1	1	1	0	0	0	0	0	0
56-1	0	0	1	1	1	0	0	0	0	0	0
56-3	0	0	1	1	1	0	0	0	0	0	0
64-0	0	1	0	0	0	0	0	0	0	0	0
80-0	0	1	0	1	0	0	0	0	0	0	0
84-0	0	1	0	1	0	1	0	0	0	0	0
84-1	0	1	0	1	0	1	0	0	0	0	1
88-0	0	1	0	1	1	0	0	0	0	0	0
88-1	0	1	0	1	1	0	0	0	0	0	1
88-3	0	1	0	1	1	0	0	0	0	1	1
208-0	1	1	0	1	0	0	0	0	0	0	0
208-1	1	1	0	1	0	0	0	0	0	0	1
208-3	1	1	0	1	0	0	0	0	0	1	1
212-0	1	1	0	1	0	1	0	0	0	0	0
212-1	1	1	0	1	0	1	0	0	0	0	1
212-3	1	1	0	1	0	1	0	0	0	1	1
216-0	1	1	0	1	1	0	0	0	0	0	0
216-1	1	1	0	1	1	0	0	0	0	0	1
216-3	1	1	0	1	1	0	0	0	0	1	1

CODIFICATION DES ETATS (VOIR II ET B)

CODL	MARCHE	PRE S SLECT	DEB GPE	RED 24 V	PU EM	LHR	OSC.1	OSC.2	OSC.3	PU RECULE	O.L.P
100-0	1	1	0	1	0	0	0	0	0	0	0
100-1	1	1	0	1	0	0	0	1	0	0	0
100-3	1	1	0	1	0	0	0	1	0	0	1
209-4	1	1	0	1	0	0	0	1	1	0	0
209-5	1	1	0	1	0	0	0	1	1	0	1
209-7	1	1	0	1	0	0	0	1	1	1	1
211-4	1	1	0	1	0	0	1	1	1	0	0
211-5	1	1	0	1	0	0	1	1	1	0	1
211-7	1	1	0	1	0	0	1	1	1	1	1
219-4	1	1	0	1	1	0	1	1	1	0	0
219-5	1	1	0	1	1	0	1	1	1	0	1
219-7	1	1	0	1	1	0	1	1	1	1	1
0 - 0	0	0	0	0	0	0	0	0	0	0	0
32-0	0	0	0	0	0	0	0	0	0	0	0
48-0	0	0	1	1	0	0	0	0	0	0	0
49-0	0	0	1	1	0	0	0	1	0	0	0
49-1	0	0	1	1	0	0	0	1	0	0	1
49-3	0	0	1	1	0	0	0	1	0	1	1
49-4	0	0	1	1	0	0	0	1	1	0	0
49-5	0	0	1	1	0	0	0	1	1	0	1
49-7	0	0	1	1	0	0	0	1	1	1	1
51-4	0	0	1	1	0	0	1	1	1	0	0
51-5	0	0	1	1	0	0	1	1	1	0	1
51-7	0	0	1	1	0	0	1	1	1	1	1
59-4	0	0	1	1	1	0	1	1	1	0	0
59-5	0	0	1	1	1	0	1	1	1	0	1
59-7	0	0	1	1	1	0	1	1	1	1	1

VOIE U ET B

CODE	MARCHE	PRES SECT	DEB GPE	RED 24 V	PU EM.	LHR	OSC.1	OSC.2	OSC.3	PU RECUE	OLR
64 - 0	0	1	0	0	0	0	0	0	0	0	0
80 - 0	0	1	0	1	0	0	0	0	0	0	0
81 - 0	0	1	0	1	0	0	0	1	0	0	0
81 - 1	0	1	0	1	0	0	0	1	0	0	1
81 - 3	0	1	0	1	0	0	0	1	0	1	1
81 - 4	0	1	0	1	0	0	0	1	1	0	0
81 - 5	0	1	0	1	0	0	0	1	1	0	1
81 - 7	0	1	0	1	0	0	0	1	1	1	1
83 - 4	0	1	0	1	0	0	1	1	1	0	0
83 - 5	0	1	0	1	0	0	1	1	1	0	1
83 - 7	0	1	0	1	0	0	1	1	1	1	1
91 - 4	0	1	0	1	1	0	1	1	1	0	0
91 - 5	0	1	0	1	1	0	1	1	1	0	1
91 - 7	0	1	0	1	1	0	1	1	1	1	1

SIGNIFICATION DES CODES DES ETATS DES VOIES.

VOIE - U.E.R.:

0 - 0 : Absence d'Energie.

Débit avec Groupe: 32 - 0 : Arrêt du redresseur 24V: On arrête la voie B.

48 - 0 : Voie à l'arrêt.

49 - 1 : P.E= 0 à cause de l'oscillateur 1000 (OS.3), on ne reçoit pas de champ (donc PE= 0 pour la station précédente): on arrête la voie.

49- 3 : P.E= 0 et PR= 1 (bonne réception): on arrête la voie.

49- 4 : P.E= 0 (OS.1 =0) et PR=0 (OLR = 0): on arrête la voie.

49- 5 : PE = 0 (OS1 =0) et PR=0 (pas de champ reçu) : on arrête la voie

49-7 : PE = 0 PR=1 (bonne reception) : on arrête la voie.

51-4 : Fausse indication de PE, arrêt OLR : on fait une communication.

51-5 : Fausse indication de PE, pas de champ reçu: voie normale

51-7 : Fausse indication de PE, PR=1 : voie normale

59-4 : PE=1 ; pas de champ reçu : voie normale

59-7 : voie normale

Débit secteur : (Marche) :

208-0 : Arrêt O.L.E (OS2) PE=0 , PR=0 : on arrête la voie

209-0 : PE=0 (OS3=0) , PR=0 : on arrête la voie

209-1 : PE=0 (OS3=0) , PR=0 (O.L.R=1) pas de champ reçu: on arrête la voie

209-3 : PE=0 (OS3=0) , PR=0 (O.L.R=0) : on arrête la voie

209-4 : PE=0 (OS1=0), PR=0 (O.L.R=0) : on arrête la voie

209-7 : PE=0 (OS1=0) , PE=1 : on arrête la voie

211-4 : Fausse indication de PE, PR=0 (OLR=0): commutation de FI

211-5 : " " " " PR=0 (OLR=1): voie normale

211-7 : " " " " PR=1 : voie normale

219-4 : PE=1 , PR=0 (OLR=0) : commutation de FI

219-5 : PE=1 , PR=0 (OLR=1) : pas de champ reçu: voie normale

219-7 : voie normale

.../...

.../...

Voie U et R

- 64-0 : Arrêt redresseur 24^v : on arrête la voie B
- 80-0 : Voie arrêtée
- 81-0 : Pas de puissance émise, arrêt OL1 : on arrête la voie
- 81-1 : " " " " " OL2 : " " " "
- 81 : Pas de puissance émise, arrêt O.L.E : on arrête la voie
- 83-4 : Fausse indication de puissance émise (PE) et, pas de puissance reçue, arrêt O.L.R : "Commutation F.I"
- 83-5 : Fausse indication de PE
Voie normale, pas de chap reçu
- 83-7 : Voie normale, fausse indication de PE
- 91-4 : Pas de puissance reçue, arrêt O.L.R : commutation F.I
- 91-5 : Voie normale, pas de champ reçu
- 91-7 : Voie normale.

N.B :

Pour une simplification de la compréhension de la méthode, il est inutile de spécifier le mode de débit d'énergie (Secteur ou groupe) ; l'essentiel est de savoir si l'élément fonctionne ou non.

VOIE . B.

-Débit groupe :

0.0 : Absence énergie
32.0: Arrêt redresseur 24V : on arrête la voie B
48.0: PE=0 (O52=0), PR=0 (OLR=0) : voie arrêtée
52.0: PE=0 (LHR=1), PR=0 (O.L.R=0) : Reset T.O.P puis commutation
52.1: PE=0 (LHR=1), PR=0 (O.L.R=1) : T.O.P
52.3: PE=0 (LHR=1), PR=0 (O.L.R=1) : Reset T.O.P
56.0: PE=1 (LHR=0), PR=0 Commutation
56.1: PE=1 (LHR=0), PR=0 (OLR=1) : voie normale

-Débit secteur :

64.0: Arrêt redresseur 24V : on arrête la voie
80.0: PE=0 (LHR=0), PR=0 (OLR=0) : voie arrêtée
84.0: PE=0 (LHR=1) PR=0 : Reset T.O.P commutation FI, ou arrêt de la voie
84.1: PE=0 (LHR=1) PR=0 (OLR=1) : Reset T.O.P
84.3: PE=1 (LHR=1), PR=1 : Reset T.O.P
88.0: PE=1 PR=0 : commutation FI
88.1: PE=1 PR=0 (OLR=1) : pas de chap reçu "voie normale"
88.3: PE=1 PR=1 : "voie normale"

-Marche secteur

208.0 : PE=0 (LHR=0) PR=0 (OLR=0) : Arrêt de la voie
208.1 : PE=0 (LHR=0) PR=0 (OLR=1) : Arrêt de la voie
208.3 : PE=0 (LHR=0) PR=1 : Arrêt de la voie
212.0 : PE=0 (LHR=1) PR=0 (OLR=0) : Reset T.O.P commutation FI ou arrêt
de la voie
212.1 : PE=0 (LHR=1) PR=0 (OLR=1) : Reset T.O.P
212.3 : PE=0 (LHR=1) PR=1 : Reset T.O.P
216.0 : PE=1 PR=0 (OLR=0) : commutation FI
216.1 : PE=1 PR=1 PR=0 (OLR=1) : pas de champ reçu: voie normale
216.3 : PE = 1 PR = 1 : voie normale

5-LE langage BASIC:

L'interpreteur BASIC résidant dans l'exorciser permet d'employer le langage BASIC bien connu pour la programmation des systèmes MC 6800.

Le langage Basic est simple, Offre des possibilités Telles-que l'arithmétique décimale, les chaines de variables et les tableaux, les fonctions intrinsèques, et peut travailler en mode "calculatrice" ou en mode "programmé" il permet une discussion avec le microprocesseur.

Les composants principaux du langage.

Chaines de caractères: Les constantes sont écrites entre guillemets

Les variables sont désignées par une lettre de A à Z suivie du caractère%

LES OPERATEURS :

ARITHMETIQUES	DE RELATIONS	LOGIQUES
+ Addition	= égalité	NOT
- Soustraction	< inférieur	AND
* Multiplication	> supérieur	OR
/ Division	<= inférieur ou égale	1 logique VRAI
↑ Puissance	>= supérieur ou égale	0 logique FAUX
	< > différent	
	≠ "	

FORMAT GENERAL D'UNE INSTRUCTION

Numéro	MOT	Expression
de ligne	clé	

Les instructions d'entrées-sorties de données :
entrée de données constantes au terminal:

Numéro	INPUT	Variable
		ou constante

FIN DE PROGRAMME :

:	NUM	:	END	:
:		:		:

FIN DE PROGRAMME :

:	NUM	:	STOP	:
:		:		:

INITIALISATION DU PIA

Dans notre cas, on a programmé en BASIC, il faut pour écrire directement dans les registres, utiliser l'instruction POKE dont la syntaxe est la suivante.

:	NUM	:	POKE	:	ADRESSE	:	DONNEE	:
:		:		:		:		:

L'adresse et la donnée doivent être exprimée en décimal. Par exemple si l'on veut mettre à "1" tous les bits d'un registre situé à l'adresse 8000, soit $2^8 = 256$ en décimal. Puisque l'on veut mettre tous les bits de ce registre à "1" cela donne en hexadécimal FF, donc en décimal 255.
L'instruction s'écrit alors :

10 POKE (32768) (255)

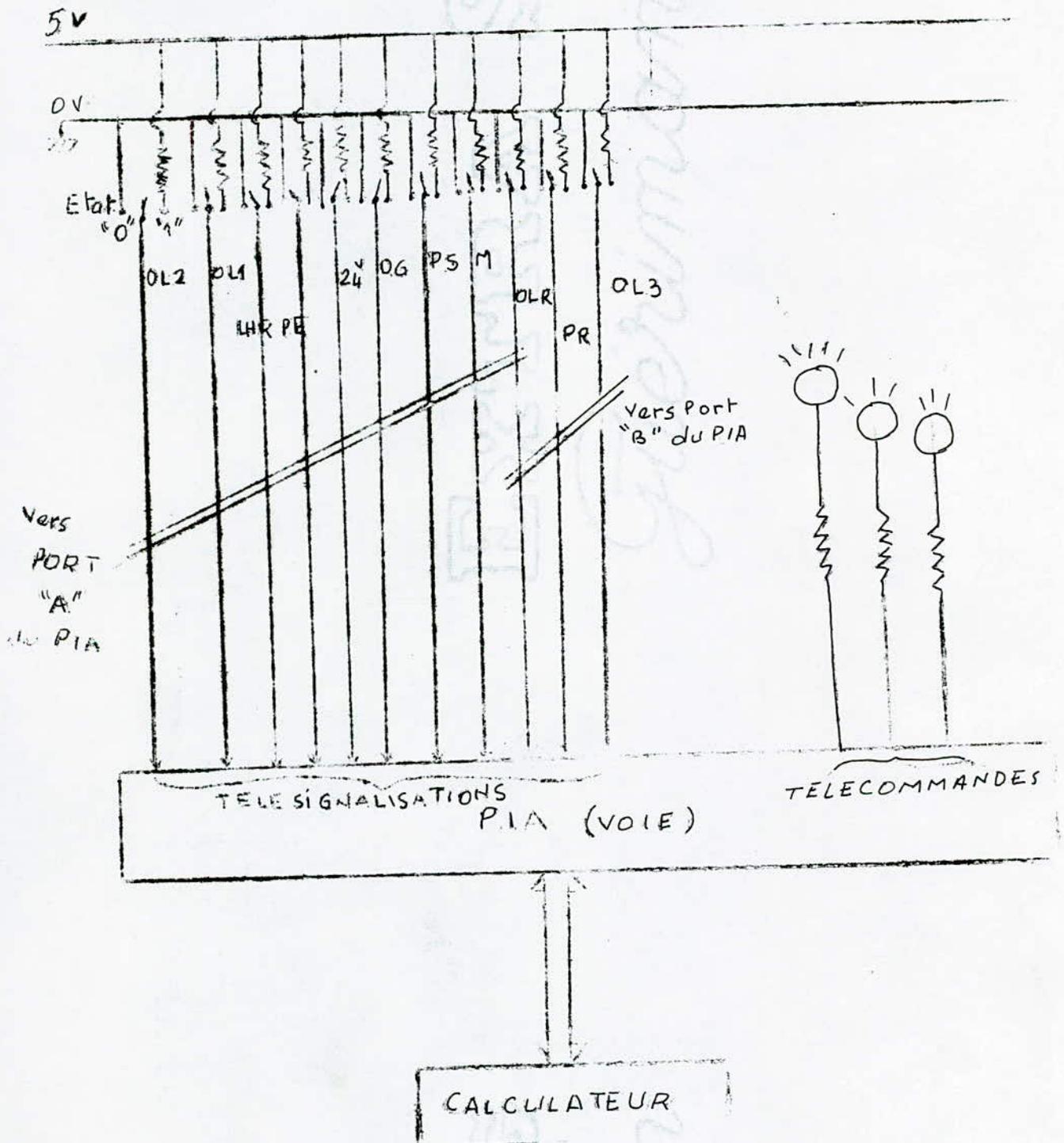
32768 est donc l'adresse décimal correspondant aux registres DDRA ou ORA. Le choix entre les deux (2) registres, on l'a vu est fixé par le bit N°2 du registre CRA qui occupe physiquement la seconde adresse du PIA. CRA est donc implanté en 8001. Les 2 autres adresses du PIA 8002 et 8003 correspondent au port B.

On peut analyser maintenant le programme suivant :

```
10 POKE (32769) (0)
20 POKE (32768) (0)
30 POKE (32769) (4)
40 POKE (32771) (0)
50 POKE (32770) (248)
60 POKE (32771) (4)
```

La ligne 10 met à 0 le registre CRA, donc de fait, CRA2=0 ce qui implique qu'à l'adresse 8000 ce sera DDRA qui sera adressé. La ligne 20 remplit de "0" DDRA. Autrement dit les bits A seront des entrées. Il faut accéder maintenant à ORA, c'est à dire à la périphérie, pour cela il faut que CRA2=1 ce qui est réalisé à la ligne 30.

SCHEMA DE REALISATION DE SIMULATION



PROGRAMMATION :

Les différentes possibilités d'exploitation du système d'interface avec le microprocesseur étant étudiées (partie HARDWARE ou MATERIEL), maintenant il faut le faire fonctionner et pour ceci l'élaboration d'une programmation est nécessaire (partie SOFTWARE).

L'élaboration du programme consiste à la lecture d'un mot binaire, Des données représentant l'état des voies au niveau de chaque station et stockées en mémoire, et à opérer le transfert des données demandées par le périphérique. En effet, à chaque fois que le microprocesseur lit une donnée, affiche le diagnostic correspondant (puissance émise, puissance reçue etc.....), et effectue éventuellement le transfert des données suivants les demandes du périphérique. Donc le transfert est basé sur la lecture des registres ORA et ORB.

Du fait que les télécommandes sont présentés dans le port B des PIA , il suffit donc d'écrire dans le registre ORB pour envoyer une télécommande pour lire un état, on procède 2 étapes car 11 lignes informations donne l'état d'une voie ; les 2 étapes sont :

- 1/ Lecture du nombre A dans ORA
- 2/ Lecture du nombre B dans ORB

```

0010 POKE ( 32769,0 )
0020 POKE ( 32768,0 )
0030 POKE ( 32769, 4)
0040 POKE ( 32771,0 )
0050 POKE ( 32770,248)
0060 POKE ( 32771,4 )
0070 POKE ( 32773,0 )
0080 POKE ( 32772,0 )
0090 POKE ( 32772,4 )
0100 POKE ( 32775, 4)
0110 POKE ( 32774,240)
0120 POKE ( 32775,4)
0130 LET A = PEEK ( 32768)
0140 LET E = PEEK ( 32770)
0160 PRINT TAB " VOIE U"
0170 GOCUB 190
0172 LET A= PEEK ( 32772)
0174 LET E= PEEK ( 32774)
0176 PRINT TAB(15) "VOIE B"
0178 COSUB 760
0180 GOTO 1100
0190 IF A = 219 THEN 340
0200 IF A = 211 THEN 370
0210 IF A = 209 THEN 400
0220 IF A = 208 THEN 600
0230 IF A = 91 THEN 420
0240 IF A = 83 THEN 370
0250 IF A = 81 THEN 400

```

```
0260 IF A = 80 THEN 640
0270 IF A = 64 THEN 660
0280 IF A = 59 THEN 340
0290 IF A = 51 THEN 370
0300 IF A = 49 THEN 400
0310 IF A = 48 THEN 640
0320 IF A = 32 THEN 660
0330 IF A = 0 THEN 680
0340 IF B = 199 THEN 450
0350 IF B = ( 5 THEN 470
0360 IF B = 4 THEN 730
0370 IF B = 7 THEN 490
0380 IF B = 5 THEN 510
0390 IF B = 4 THEN 530
0400 IF B = 4 THEN 580
0410 IF B = 3 THEN 620
0420 IF B = 7 THEN 450
0430 IF B = 5 THEN 470
0440 IF B = 4 THEN 730
0450 PRINT TAB (10) "VOIE NORMALE"
0460 GOTO 750
0470 PRINT TAB ( 10 ) PAS DE CHAMP RECU " VOIE NORMALE"
0480 RETURN
0490 PRINT " FAUSSE INDICATION DE P.E VOIE NORMALE"
0500 RETURN
0510 PRINT " FAUSSE INDICATION DE P.U.I EM PAS DE CHAMP RECU VOIE NO"
0520 RETURN
0530 PRINT " FAUSSE INDICATION DE P.E P.R NULLE ARRET OLR"
0540 PRINT " T.C COMMUTATION F.I
0542 IF A = 216 THEN 915
0550 RETURN
0560 PRINT " P.E= 1 P.R = 0 ARRET OLR"
0570 GOTO 710
0580 PRINT " P.E.= 0 ARRET DL1"
0590 GOTO 710
0600 PRINT " P.E = 0 ARRET LO2"
```

```
610 GOTO 710
620 PRINT"P.E = 0,ARRET OL3"
630 GOTO 710
640 PRINT"VOIE ARRÊTEE"
650 RETURN
660 PRINT " ARRET REDRESSEUR 24V"
0665 PRINT " ARRETER LA B"
0670 RETURN
0680 PRINT " ABS ENERGIE"
0690 PRINT " T.C ARRET BOIE LUB"
0691 N = 1 32778
0692 POKE ( 32778 , 32)
0693 N = N71
0694 IF NL 10 THEN 693
0695 POKE ( 32 778, 0)
0710 PRINT "T.C ARRET VOIE LUE"
0711 N = 1
0712 POKE ( 32770 48)
0713 N = N+1
0714 IF N < 50 THEN 713
0715 POKE ( 32770, 0)
0720 RETURN
0730 PRINT " T.C COMMUTER LA F.I
0731 N = 1
0732 POKE ( 32770,0)
0733 N = N+1
0734 IF N < 10 THEN 733
0735 POKE ( 32770,4)
0740 RETURN
0750 RETURN
0760 IF A = 0 THEN 940
0765 IF B > 7 THEN 957
0770 IF A = 32 THEN 880
0880 IFA = 48 THEN 890
0990 IF A = 52 THEN 900
0800 IF A = 56 THEN 915
```

```

0810 IF A = 64 THEN 880
0820 IF A = 80 THEN 890
0830 IF A = 84 THEN 900
0840 IF A = 88 THEN 915
0850 IF A = 208 THEN 933
0860 IF A = 212 THEN 936
0870 IF A = 216 THEN 915
0880 IF B = 0 THEN 970
0890 IF B = 0 THEN 990
0900 IF B ≤ 1 THEN 1010
0910 IF B = 0 THEN 1025
0915 IF B = 0 THEN 1030
0920 IF B = 1 THEN 1050
0930 IF B = 3 THEN 1070
0933 IF B = 0 THEN 990
0934 IF B = 1 THEN 1030
0935 IF B = 3 THEN 1065
0936 IF B = 0 THEN 1025
0937 IF B = 3 THEN 1050
0938 IF B = 1 THEN 1010
0939 IF B = 1 THEN 1010
0940 PRINT " ABS ENERGIE "
0950 PRINT " T.C ARRETER B"
0951 N = 1
0952 POKE ( 32774, 32)
0953 N = N + 1
0954 IF N 10 THEN 153
0955 POKE (32774 , 0)
0956 RETURN
0957 GOSUB 958
0958 INPUT X $
0959 IF X $ = " CUREA MARCHIE" THEN 960
0960 POKE ( 32774,32)
0961 PRINT " ERREUR"
0962 M = 1
0963 M = M + 1
0964 IF M ≤ 100 THEN 963
0965 POKE (32774, 0)

```

```
0966 RETURN
0970 PRINT "ARRET REDRESSEUR"
0972 PRINT "T.C ARRETER LA BILATERALE"
0973 N = 1
0974 POKE ( 32774, 32)
0975 N = N+1
0976 IF N < 50 THEN 975
0977 POKE ( 32 774,0)
0980 RETURN
0990 PRINT " VOIE ARRETEE"
1000 RETURN
1010 PRINT " T.C RESET TOP "
1011 N = 1
1012 POKE ( 32774, 12)
1013 N = N+1
1014 IF N < 50 THEN 1013
1015 POKE ( 32774,0 )
1020 RETURN
1025 PRINT "RESET T.O.P
1030 PRINT " T.C COMMUTATION F.I
1032 POKE ( 32774,8)
1033 N = N + 1
1034 IF N < 50 THEN 1033
1035 POKE ( 32774, 0 )
1040 RETURN
1050 PRINT " VOIE NORMALE PAS DE CHAMP REC"
1060 RETURN
1065 PRINT " FAUSSE INDICATION DE P.E , VOIE NORMALE"
1067 RETURN
1070 PRINT " VOIE NORMALE"
1080 RETURN
1100 D = 1
1110 D = D + 1
1120 IF D = 100 THEN 130
1130 GOTO 1110
1150 END .
```

COMMENTAIRE DU PROGRAMME DE SIMULATION

Le principe de la méthode est le suivant:

Le calculateur lit, la donnée A puis la donnée B et affiche le diagnostic sur l'écran de visualisation.

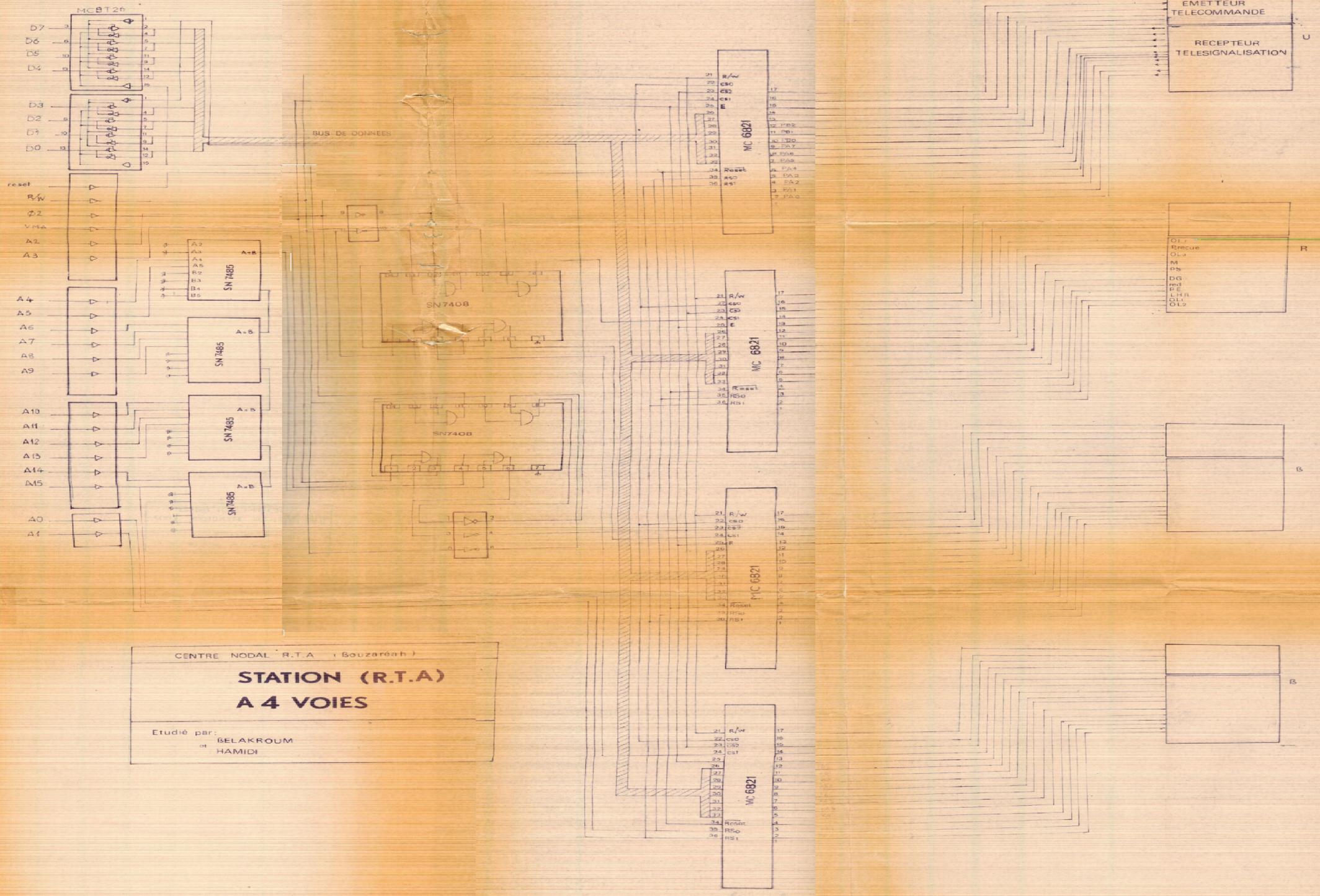
Si le périphérique demande des données, le calculateur écrit dans le port B (3 lignes du port B sont programmées en sorties pour envoyer les télécommandes) du PIA correspondant, et un voyant s'allume, indiquant l'exécution de la télécommande envoyée. La simulation des changements d'états des voies s'effectue par le changement de position des inverseurs.

Le calculateur lit à chaque fois l'état qui se présente.

Exemple: Si le calculateur lit $A=0$ pour la voie U, il saute à l'instruction 680 du programme pour afficher l'état "absence énergie" et envoyer une télécommande pour arrêter la voie B et une "LED" s'allumera en "ARRÊTER B" pour dire que la télécommande est exécutée.

Le système réalisé offre aussi la possibilité d'être utilisé en mode manuel pour ceci la ligne PD5 du PIA correspondant à la voie bilatérale est programmée en entrée. En positionnant l'interrupteur PD3 en mode manuel.

(PD3 est niveau logique 1), la valeur de B serait supérieure à 7, et par Software pour B supérieur à 7 le calculateur attend des données comme indiqué dans le programme et il suffit de lui afficher le nom de la station suivi de l'ordre à exécuter (CIRMA marche par exemple)



CENTRE NODAL R.T.A (Bouzaréah)

**STATION (R.T.A)
A 4 VOIES**

Etudié par:
BELAKROUM
et HAMIDI

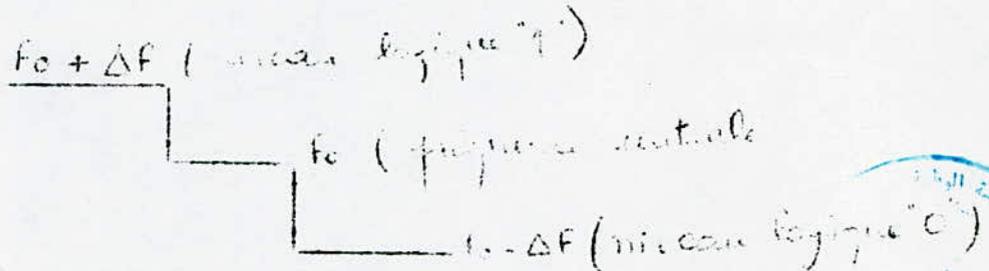
CHAPITRE V.

AUTOMATISATION GENERALE DU SYSTEME DE TELECOMMANDE

A. GENERALITES

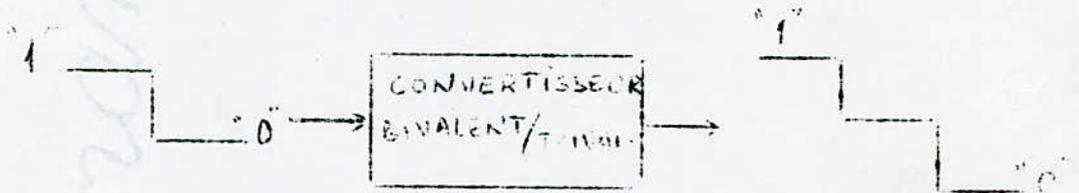
1°/ Vitesse : La vitesse adoptée pour la transmission du message dans le canal est de 50 bauds.

2°/ LE code adopté: le code adoptée est le code trivalent.



Un convertisseur de code est intercalé entre le registre à décalage et le modulateur.

Ce convertisseur transforme le code bivalent en un code trivalent.



3°/ Le message envoyé est redondant: La télécommande est répétée 3 fois, au bout de la 3e fois si la télécommande n'est pas exécutée une alarme déclenche avertissant l'opérateur.

4°/

D°/ ADRESSAGE DES PIA DANS LE CAS GENERAL :

Quatre PIA sont utilisés pour les voies des stations, en particulier les télésignaliations, le 5e=PIA remplace la matrice de codage, il sont donc à l'envoi des informations de télécommande écrites par le MPU et transfert les bits dans le registre à décalage.

En plus des combinaisons d'adressage des 4 voies du chapitre III, on ajoute les combinaisons suivantes :

- 1 000 0000 0001 0000
- 1 000 0000 0001 0001
- 1 000 0000 0001 0010
- 1 000 0000 0001 0011

Dans ce cas, on prend les lignes A2, A3 et A4 pour la selection DU 5 PIA :

- le 1e PIA est selectionné par 000
- le 2e PIA " " " 001
- le 3e PIA " " " 010
- le 4e PIA " " " 011
- le 5e PIA " " " 100

Dans ce cas le circuit comparateur peut ne pas utiliser la ligne A4, le reste de la selection des PIA dans ce cas est le même que dans le cas à 4 PIA soit :



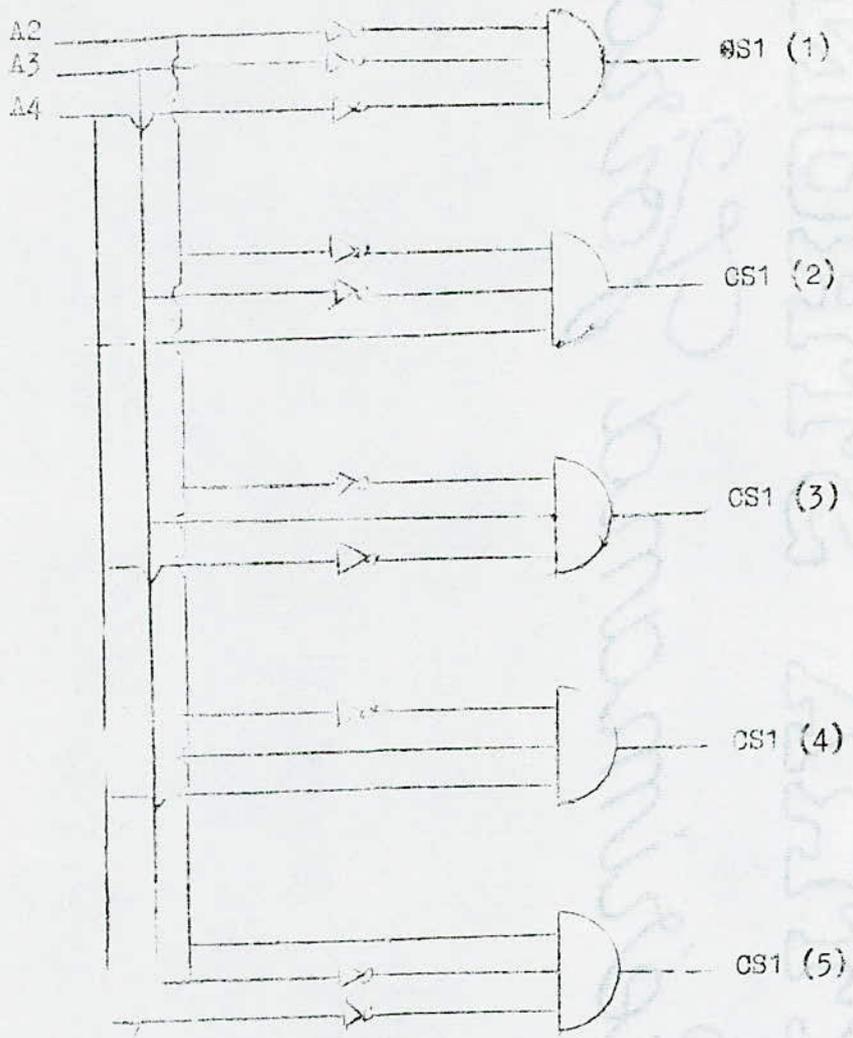
1°/ Caractéristiques des
2°/ Les bits de
3°/ Les bits de
4°/ Les bits de
5°/ Les bits de

... 5 comptent :
...
...
...

.../...

Seul CS1 change dans ce cas.

Schéma de selection d'adressage des PIA



1°/ ~~configuration d'adressage~~

2°/ ~~configuration de commande~~

Le message à la sortie du PIA n°5 comprend 11 bits si on adopte la

3°/ ~~configuration des bits~~
configuration suivante :

- 4 Bits sont réservés à l'adressage des stations
- 5 Bits sont réservés à l'adressage des ordres de télécommande
- 1 Bit de parité
- 1 Bit demande d'émission.

.../...

2°/- NOMBRE DE TELECOMMANDES:

Les 5 fils de sortie restant du P.I.A 5 seront utilisés ~~pour les fonctions~~ de Télécommande.

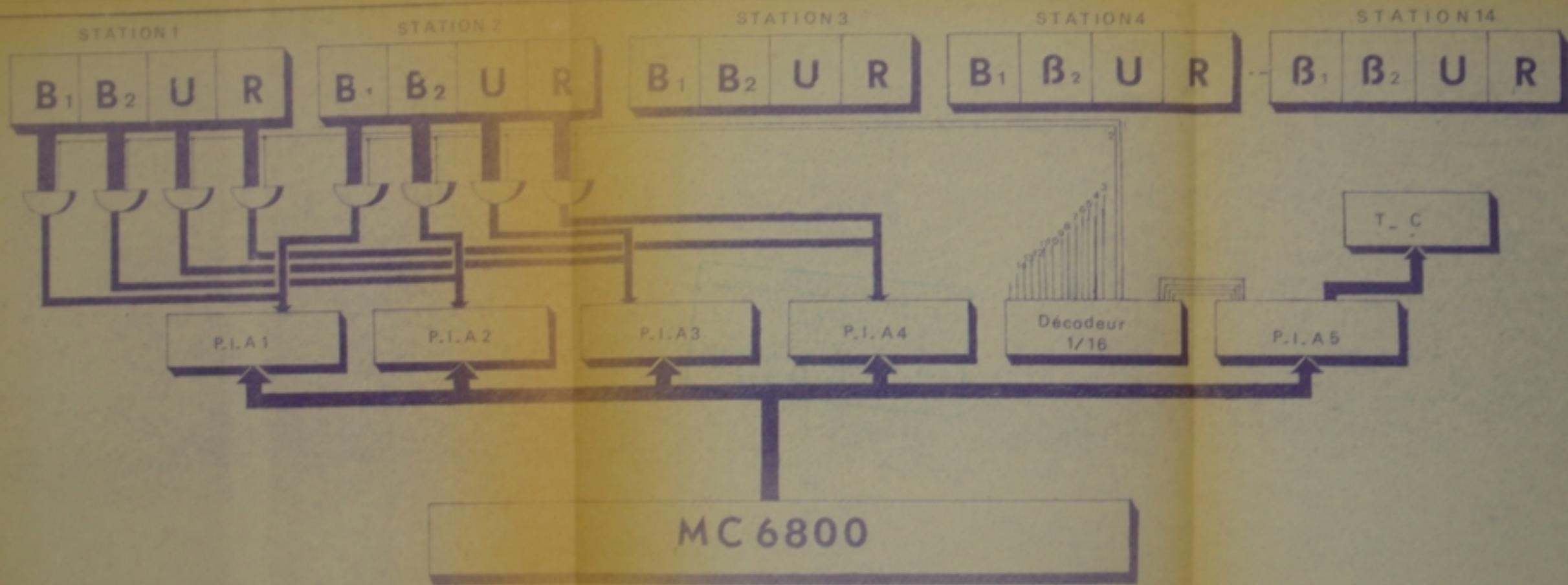
- 32 Télécommandes sont donc réservées à chaque stations, selon la configuration indiquée, et la répartition des codes est donnée par le tableau suivant:

3°/- TABLEAU DES CODES/

	STATION	ORDRE	CHE	DE		STATION	ORDRE	CHE	DE
1	0 0 0 1	0 0 0 0 1	0	1	17	0 0 0 1	1 0 0 0 1	1	1
2	0 0 0 1	0 0 0 1 0	0	1	18	0 0 0 1	1 0 0 1 1 0	1	1
3	0 0 0 1	0 0 0 1 1	1	1	19	0 0 0 1	1 0 0 1 1 0	0	1
4	0 0 0 1	0 0 1 0 0	0	1	20	0 0 0 1	1 0 1 0 0 1	1	1
5	0 0 0 1	0 0 1 0 1	1	1	21	0 0 0 1	1 0 1 0 1 0	0	1
6	0 0 0 1	0 0 1 1 0	1	1	22	0 0 0 1	1 0 1 1 1 0	0	1
7	0 0 0 1	0 0 1 1 1	0	1	23	0 0 0 1	1 0 1 1 1 1	1	1
8	0 0 0 1	0 1 0 0 0	0	1	24	0 0 0 1	1 1 0 0 0 1	1	1
9	0 0 0 1	0 1 0 0 1	1	1	25	0 0 0 1	1 1 0 0 1 0	0	1
10	0 0 0 1	0 1 0 1 0	1	1	26	0 0 0 1	1 1 0 1 0 0	0	1
11	0 0 0 1	0 1 0 1 1	0	1	27	0 0 0 1	1 1 0 1 1 1	1	1
12	0 0 0 1	0 1 1 0 0	1	1	28	0 0 0 1	1 1 1 0 0 0	0	1
13	0 0 0 1	0 1 1 0 1	0	1	29	0 0 0 1	1 1 1 0 1 1	1	1
14	0 0 0 1	0 1 1 1 0	0	1	30	0 0 0 1	1 1 1 1 0 1	1	1
15	0 0 0 1	0 1 1 1 1	1	0	31	0 0 0 1	1 1 1 1 1 0	0	1
16	0 0 0 1	1 0 0 0 0	0	1	32	0 0 0 1	0 0 0 0 0 0	1	1

Les autres Stations reprennent les mêmes de la Station change .

Codes d'ordre seul l'adresse



SYNOPTIQUE DE CARACTÉRISATION DE LA TELECOMMANDE

C Automatisation de la Télécommande (TC)

L'automatisation de la TC consiste à surveiller l'état des différents étages constituant les équipements émetteurs récepteurs, et à prendre une décision adéquate telle que la commutation de la FI ou l'arrêt de la bilatérale.

Une sonnette est prévue pour attirer l'attention de l'agent de maintenance. A cet effet un programme est élaboré en langage basic, tenant compte de tous les cas de panne pouvant intervenir. Voir ORGANIGRAMME 1.

1 Principe de l'automatisation.

Le système de TC doit assurer trois fonctions

- a) Scrutation des états
- b) Affichage de l'état de l'organe défaillant
- c) Exécution
- d) Sélection des stations.

A) Scrutation : le MPU (6800) doit à tout instant être capable de surveiller l'état de toutes les stations : ramenées par télésignalisation au Centre de contrôle. Quatre "PIA" assure la réception des télésignalisations.

B) Affichage du diagnostic.

Si aucun changement n'intervient, le MPU (6800) affiche OK. Dans le cas contraire un diagnostic détaillé est affiché sur l'écran de visualisation une sonnette retentit en même temps pour attirer l'attention de l'agent de maintenance sur l'organe défaillant.

C) Exécution de la TC.

Un ordre d'écriture du message est donné au PIA 5 qui transfère ce dernier dans le registre à décalage.

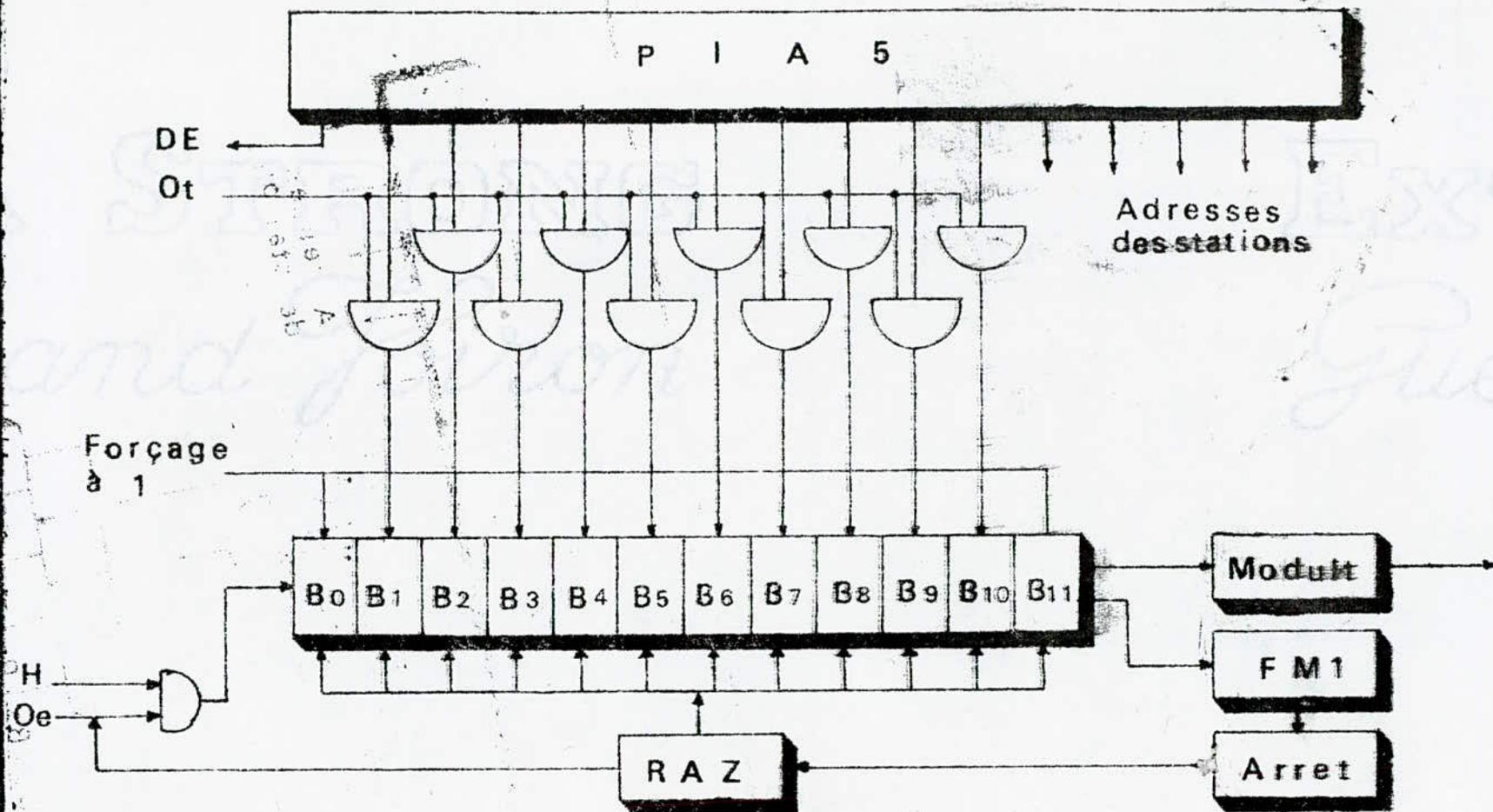
D) Sélection des stations.

L'adresse de la station est affichée par le PIA 5 un décodeur 1/16 élit la station.

2 Principe de l'émission d'une Télécommande.

Le MPU sélectionne le PIA n°5, qui à son tour génère le message à envoyer.

EMISSION
TELECOMMANDES



...//...

2.1 CODAGE . Le code de la Télécommande est réalisé par le PIA n°5 qui transfère en parallèle dans le registre à décalage émission le code relatif à la télécommande choisie.

Le codage ne peut s'effectuer à n'importe quel moment, un système de protection autorisé ou interdit le codage suivant l'occupation du registre à décalage.

2.2 EMISSION :

Le passage en émission se fait dès que le PIA n°5 est sélectionné par le MPU et qu'il n'y a pas de cycle en cours. L'émission déclenche l'autorisation de transfert dans le registre et le démarrage des impulsions d'avance du registre à décalage. Le contenu du registre module en tout ou rien un modulateur télégraphique à déplacement de fréquence.

Quand le registre à décalage est vide ou détecte la fin du mot qui remet le système à l'état initial en effectuant les RAZ nécessaires.

3 Fonctionnement logique de l'émission d'une Télécommande.

Phases de l'émission d'une télécommande.

Les différentes phases de l'émission d'une T.C sont :

Télécommande

Demande d'émission

Validation Emission

Codage

Décalage

Fin de mot

RAZ

Fonctionnement logique.

3.1 Télécommande :

La T.C est faite par le MPU qui envoie une adresse d'un message au PIA n° 5 la présence du message à la sortie de ce dernier provoque la demande émission et valide le code correspondant à sa fonction.

3.2 Demande Emission.

La demande d'émission est prise en considération, si aucune émission n'est déjà en cours. Les conditions nécessaires sont DE RE1 VE (RE1 est un rythme d'échantillonnage).

.../...

3.3 Validation Emission (VE).

La validation émission a pour but de permettre ou d'interdire une T.C. Deux T.C ne peuvent être prises en compte simultanément. La V.E est mémorisée par les conditons DE x RE1 qui positionne la bascule VE et elle est remise à zéro Ot.

3.4 CODAGE :

Le codage est effectué par soft . A chaque station et ordre on affecte un code et un seul.

Un bit supplémentaire de demande émission (DE) est associé au message principal la condition Dt autorise le transfert en parallèle du code dans le registre à décalage Dt positionne la bascule BO à 1, et code le stard en mettant la bascule B11 à 1

3.5

moduler l'émetteur télégraphique qui assure la transmission des informations à distance. Il est nécessaire de faire passer le message code à travers un registre à décalage (entrée parallèle sortie série). Le décalage est effectué à l'aide des impulsions d'horloge. Un bit supplémentaire est introduit au moment du décalage dans la bascule BO. Ce bit est transféré dans la bascule B11 au 12ème décalage et permet de déterminer la fin de mot.

3.6 FIN de mot FM1.

Le bit introduit dans BO est transféré dans B11 à la 11ème impulsion de décalage. Toutes les autres bascules du registre sont à zéro. Cette con-
figuration du registre permet de déterminer la fin de mot par décalage de
RE' x B0 x B1 x B2 x B3 x B4 x B5 x B6 x B7 x B8 x B9 x B10 x B11 - FM1
le signal de fin de mot n'est pas transmis en ligne il sert à remettre
à zéro la bascule émission qui effectuera la RAZ du registre à décalage.

RAZ :

La RAZ est commandée par FM1 qui effectue la RAZ de la bascule émission (bascule E) la RAZ du registre est faite par le passage à zéro de la sortie Q de la bascule E.

.../...

.../...

4 Etude des différentes fonctions de T.C (Emission).

Fonctionnement logique .

Codage

La commande de cycle émission

Le registre à décalage

Transformateur de signaux.

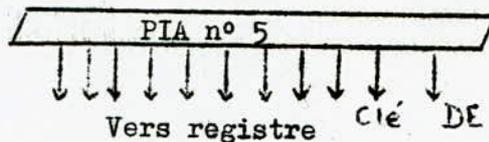
a Le Codage :

Définition ; le Codage est la representation en code binaire soit d'une grandeur physique soit de l'état d'un système.

Le code est formulé en décimal dans le soft puis traduit en code binaire par le MPU car la programmation est effectuée en langage BASIC.

Il comprend 9 bits pour le message, 7 Bit de parité, 1 bit start et 1 Bit STOP.

/start 9 Bit inf /Parité/stop/



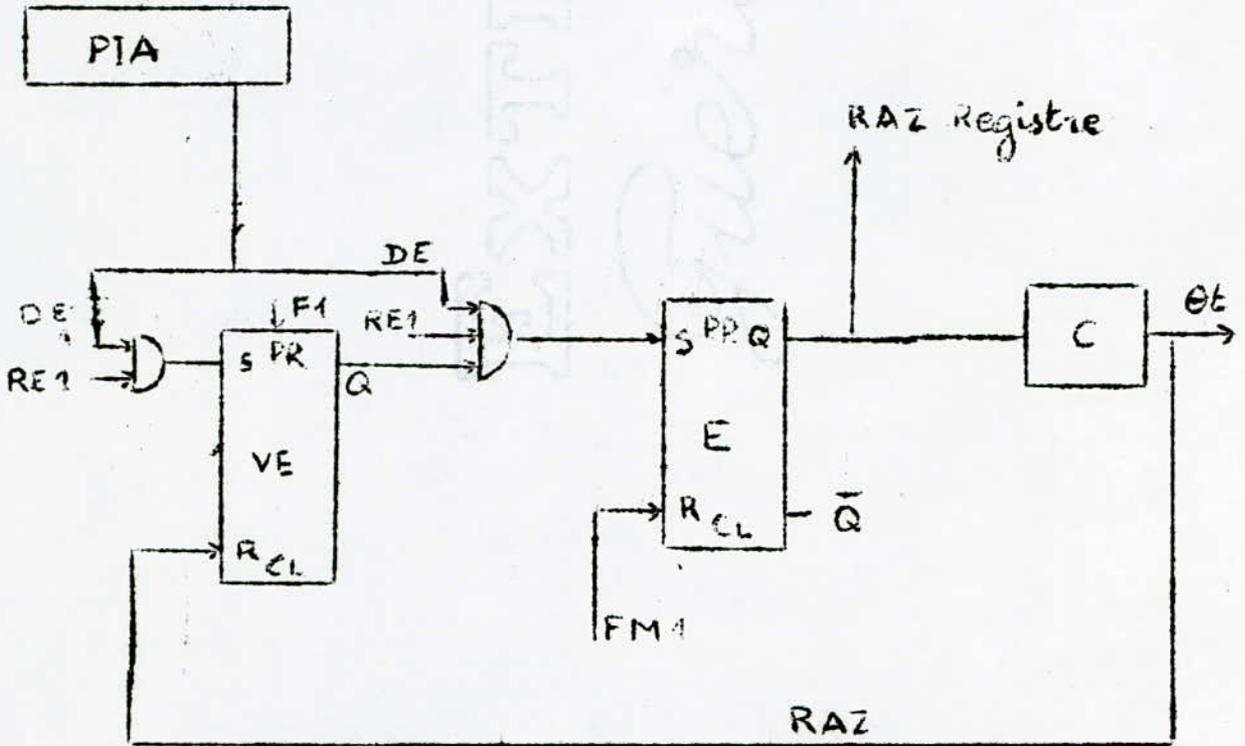
L'information codée en binaire, est transférée dans un registre à décalage en passant par une porte ET à 2 entrées qui ne sera validée que pour la fonction élaborée et l'autorisation de transfert Dt

b Commande de cycle émission.

Définition : C'est un système qui autorise ou interdit le transfert dans le registre suivant l'occupation de ce dernier, il permet également sa RAZ.

.../...

COMMANDE DE L'EMISSION .

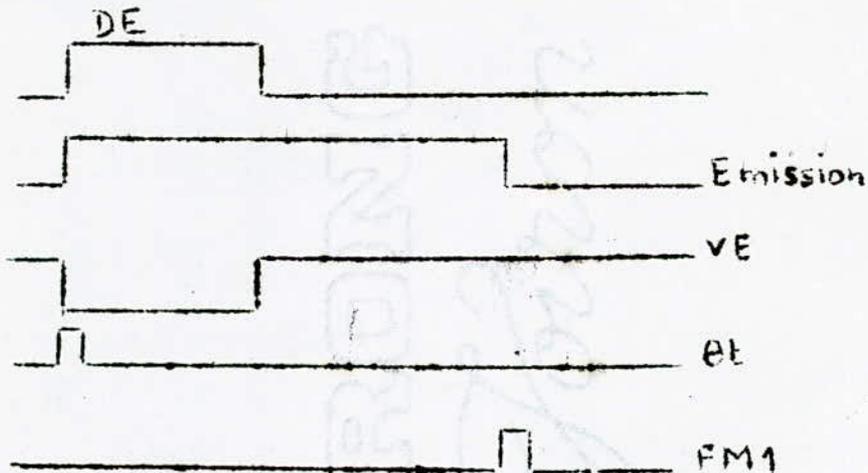


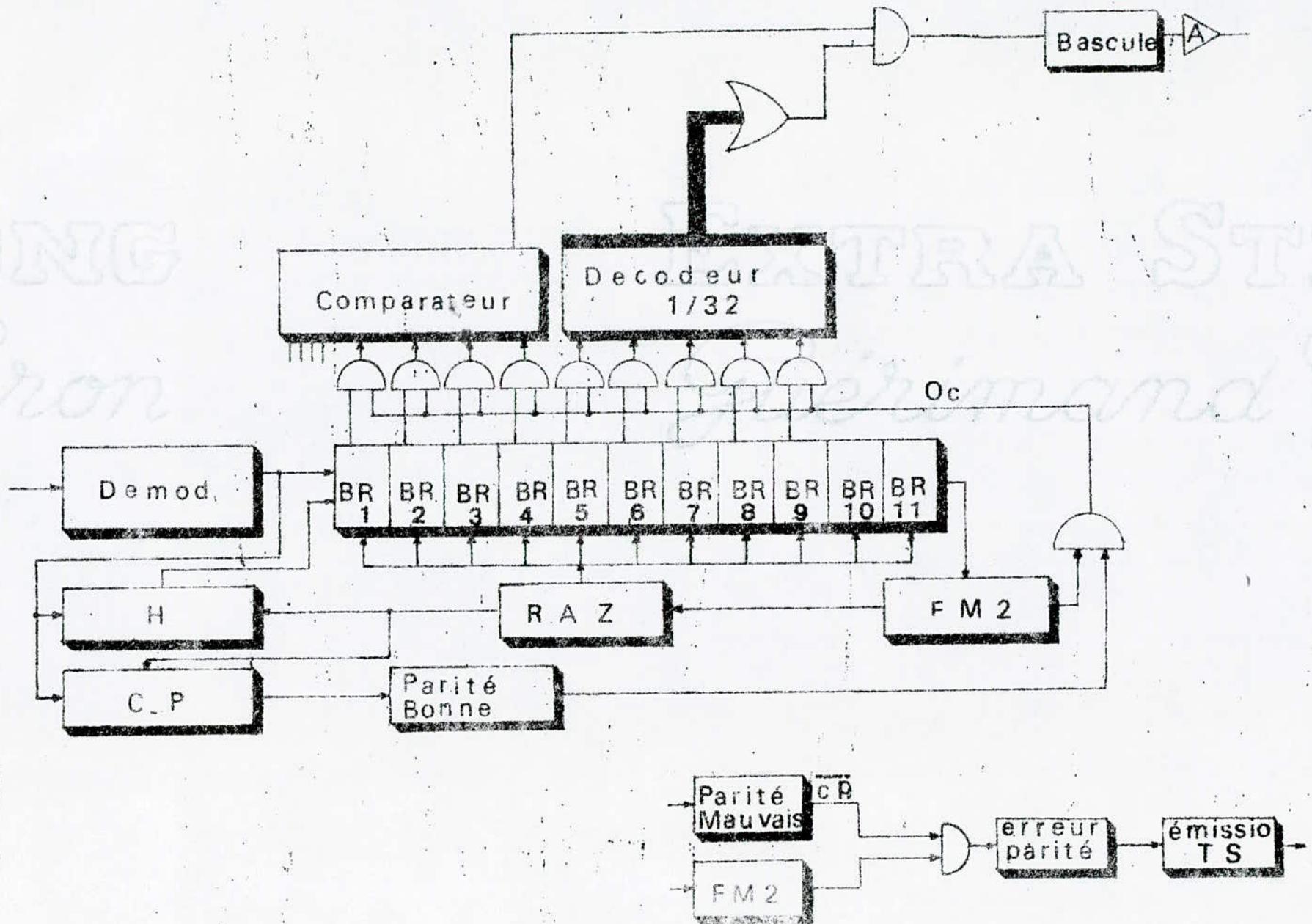
BASCULE VE (Validation Emission).

Cette bascule interdit une autre commande pendant l'émission.

BASCULE E (Emission).

Cette bascule autorise le transfert du message dans le registre et permet la RAZ du registre.





.../...

Le Registre à décalage.

Définition : Un registre à décalage est au ensemble de mémoires élémentaires destinées à émmagasinier un mot (ou information binaire) que l'on peut lire ou écrire soit en parallèle soit en série.
L'information lue sur le registre sera transférée par l'intermédiaire d'impulsions d'horloge RE vers un modulateur.
Le registre est constitué de 12 bascules, dont deux bascules sont affectées pour le signal start et le signal fin de mot (FM).

TRANSFORMATEUR DE SIGNAUX.

Les signaux transmis en FH seront modulées en fréquence :

(fo) Hz + 30 Hz

Caractéristique.

Fréquence auxiliaire : fo

Fréquence de l'état logique 1 fo + 30 Hz

Fréquence de l'état logique 0 : fo - 30 Hz

5 Réception d'une télécommande.

5.1 Principe le démodulateur de la station choisie, restitue l'information sous sa forme initiale.

La présence du premier bit (start) à la sortie du démodulateur provoque le démarrage du cycle réception et des impulsions d'avance du registre à décalage réception.

L'information entre en série dans le registre. Un contrôle de parité est effectué.

Si la parité est bonne la bascule DC autorise le décodage (comparaison).

Si la parité est mauvaise (DC) le décodage est interdit et l'information erreur de parité est transmise vers le PIA de télésignalisation.

5.2 Décodage : le registre étant rempli et le contrôle de parité reconnu le code bon, on autorise le décodage de l'information. Il s'agit de reconnaître la station et l'ordre à exécuter.

la décodification se fait à l'aide d'un comparateur de station et d'un décodeur d'ordre.

.../...

5.3 Exécution : la décodification de l'information positionne une bascule qui prend en mémoire la télécommande et par l'intermédiaire d'un amplificateur commande le relai d'exécution.

6. Fonctionnement logique de la réception d'une télécommande.

Phases d'une réception de télécommande

- a) Entrée de l'information
- b) Réception de l'information
- c) Décodage
- d) Fin de mot
- e) RAZ

opérations logiques :

A) Entrée de l'information.

L'information émise en modulation de fréquence est reçue par le récepteur télégraphique qui la transforme en impulsion compatible avec la logique TTL.

B) Réception. (Voir Fig 1)

Le premier bit qui se présente positionne la bascule réception à 1 cette bascule repérée R déclenche les impulsions de décalage pour enregistrer le code. Cette bascule est remise à Zéro par le fin de mot.

C) Décalage : le passage en réception provoque le départ de l'horloge donnant les impulsions de décalage.

Après les impulsions de décalage, le mot est complètement entré dans le registre et le décalage s'arrête avec la détection de fin de mot FMZ.

Contrôle du code : Voir fig 2

Le code à son entrée dans le registre est testé et sa parité est vérifiée à l'aide de la bascule CP. La bascule CP est positionnée normalement à 1 une clé bonne autorise le décodage avec $FMZ + CR$; une clé reconnue mauvaise \overline{CP} interdit le décodage et code vers le PIA télésignalisation l'information. Parité Émission mauvaise $FMZ + \overline{CP}$

la bascule est remise à zéro avec la FMZ de l'émission du code erreur de parité émission.

.../...

.../...

Décodage : (Voir fig 3)

La parité étant bonne l'autorisation de décodage est donnée par FMZ . CP.

Le décodage se fait à l'aide d'un comparateur et d'un décodeur un parmi trente deux.

D) Fin de mot (Voir Fig 4)

La fin de mot est caractérisée par la présence du start dans la bascule BR 10 du registre à décalage.

Avec les conditions BR10 + RM', un monostable donne la fin de mot FMZ.

E) Remise à zéro RAZ.

La remise à zéro du registre à décalage se fait par la retombée de la bascule réception R la bascule C.P est remise à 1 par le flan positif de FMZ ainsi que la bascule réception.

SCHEMA LOGIQUE D'UNE RECEPTION

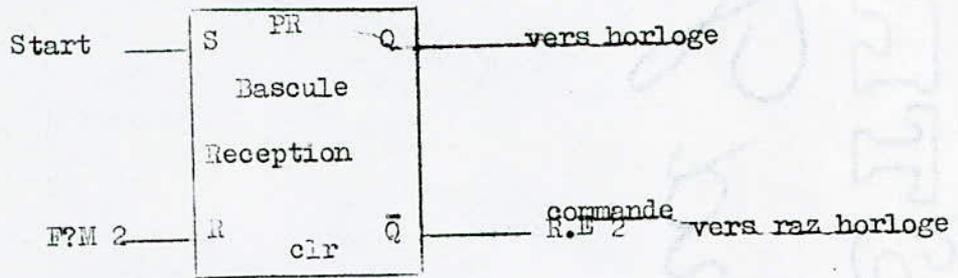
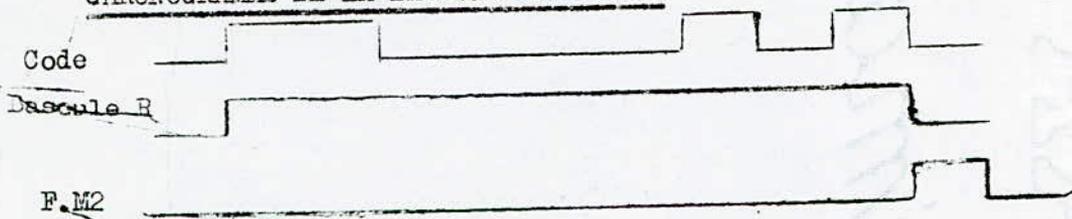


Fig 1

CHRONOGRAMME DE LA BASCULE RECEPTION



SCHEMA LOGIQUE CONTROLE DE PARITE

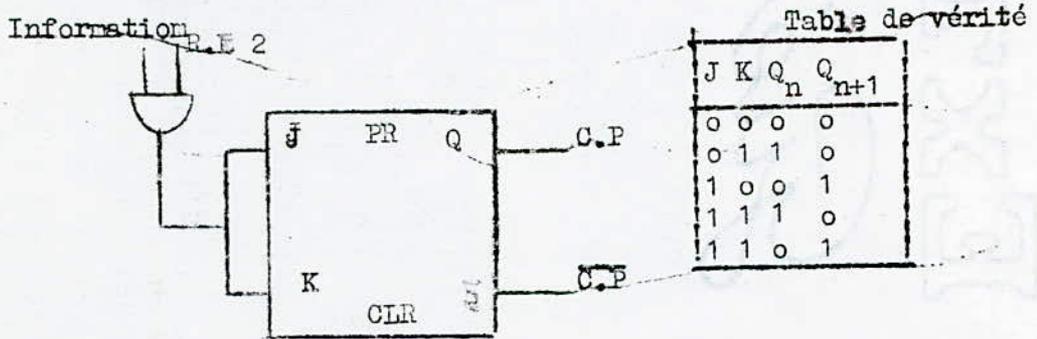
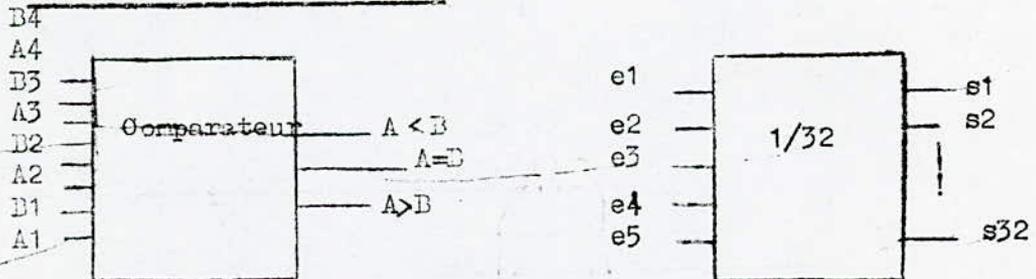


Fig 2

SCHEMA LOGIQUE DU DECODAGE



PROGRAMMATION DANS LE CAS GENERAL :

Dans ce cas, il faut programmer toutes les lignes (des 2 pots) des PIA1, PIA2, PIA3, PIA4 en entrée, puisque ils ne servent qu'à la réception des télésignations par contre, le PIA5 servant à l'envoi de la télécommande, doit avoir les lignes de ses 2 ports programmées en sortie ,

Alors il suffit de modifier légèrement le programme pour le cas de la circulation avec 2 PIA.

Pour l'initialisation des PIA1 à 4, l'instruction POKE s'écrit donc pour un port (tous les ports sont identiquement programmées pour les 4 PIA):

- 10. POKE (Adresse , 0)
- 20. POKE (Adresse , 0)
- 30. POKE (Adresse , 4)

Mais l'initialisation du PIA 5 diffère et l'instruction POKE s'écrit :

- 40. POKE (Adresse , 0)
- 50. POKE (Adresse 255)
- 60. POKE (Adresse, 4)

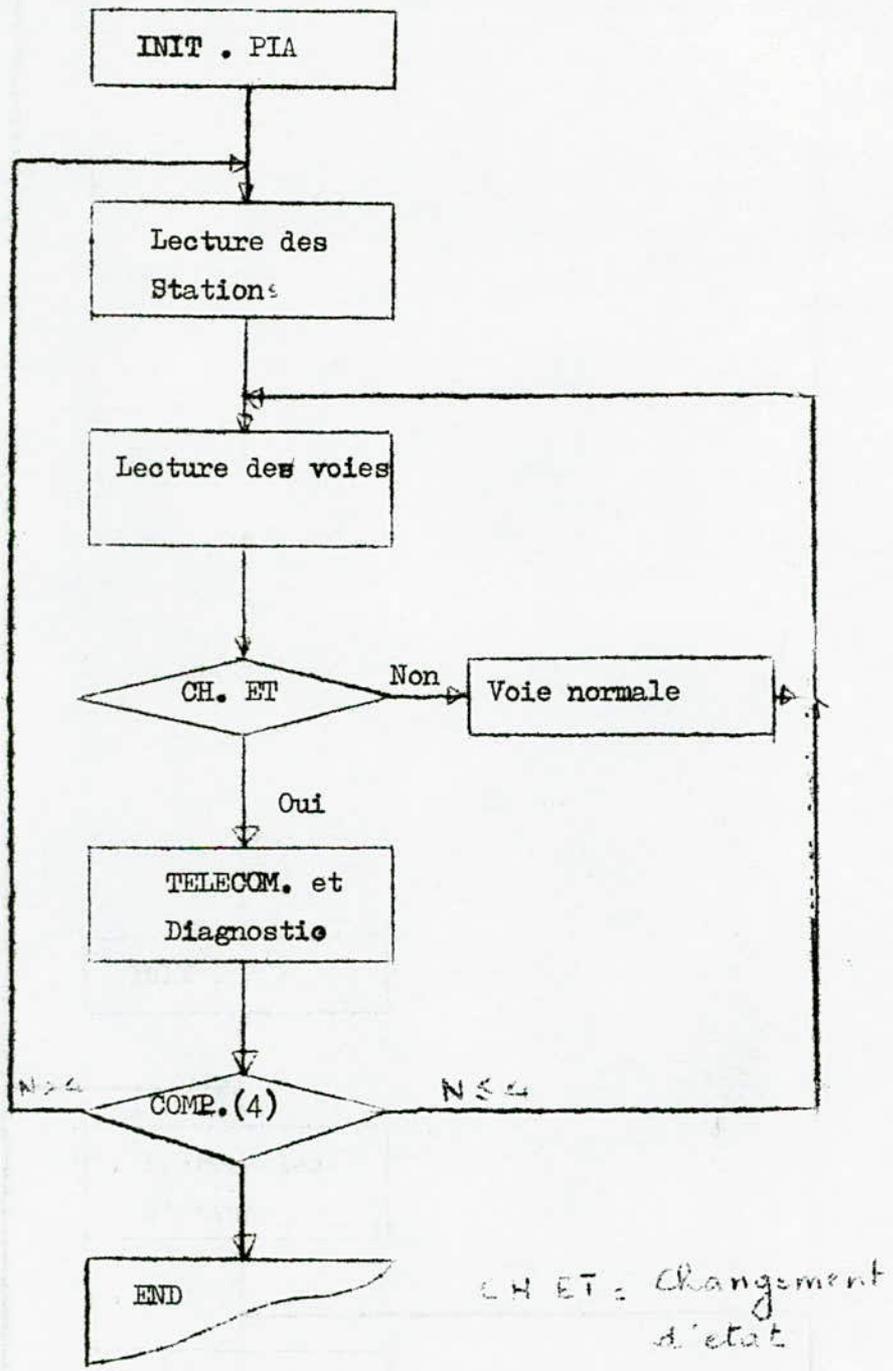
Les instructions de lecture deviennent au nombre de 8 (1 lecture par port pour chaque PIA)

L'instruction d'écriture, affecte uniquement le PIA5, pour envoyer une télécommande, ou pour sélectionner la lecture d'une station.

- Exemple :
- 100. POKE (Adresse A,A)
 - 110. POKE (Adresse B,B)

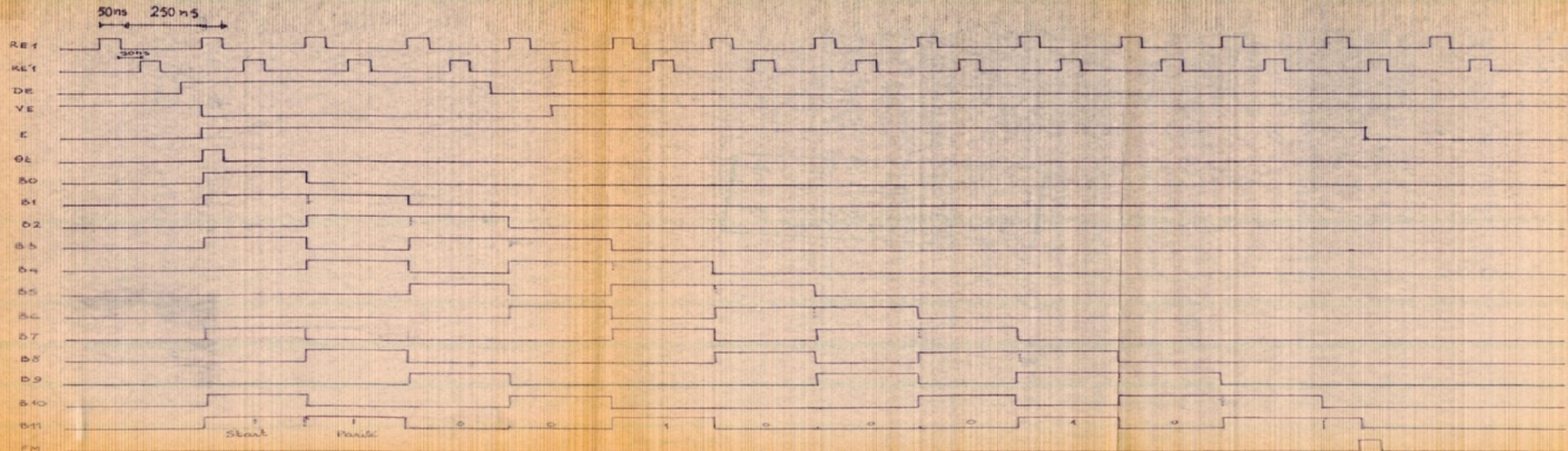
Les nombres A et B contiennent et l'information de la télécommande et la station spécifique.

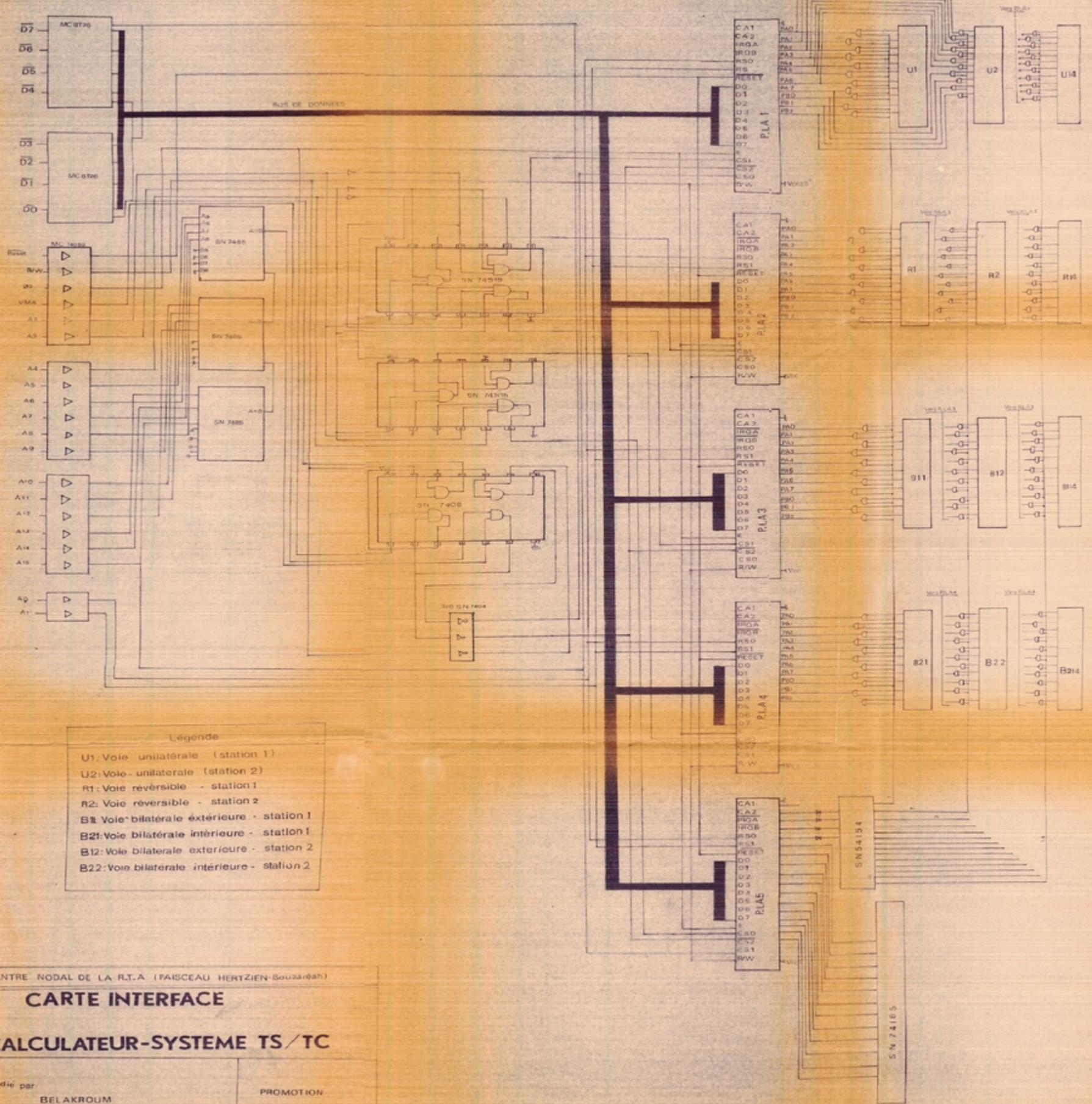
EXTRA STRONG
Guerrand Jorion



ORGANIGRAMME GENERAL 1

CHRONOGRAMME EMISSION TELECOMMANDE (Exemple Station II Ordre VI)





Legende

- U1: Voie unilaterale (station 1)
- U2: Voie unilaterale (station 2)
- R1: Voie reversible - station 1
- R2: Voie reversible - station 2
- B1: Voie bilaterale exterieure - station 1
- B21: Voie bilaterale interieure - station 1
- B12: Voie bilaterale exterieure - station 2
- B22: Voie bilaterale interieure - station 2

CENTRE NODAL DE LA R.T.A (FAISCEAU HERTZIEN-Bouzarjah)

CARTE INTERFACE

CALCULATEUR-SYSTEME TS/TC

Etudie par
BELAKROUM
HAMIDI

PROMOTION
JUN - 1980

EXTRA S

Guérinram



ANNEXE

TRONIC

d'Yoron

.../... LOGIQUE T.T.L.

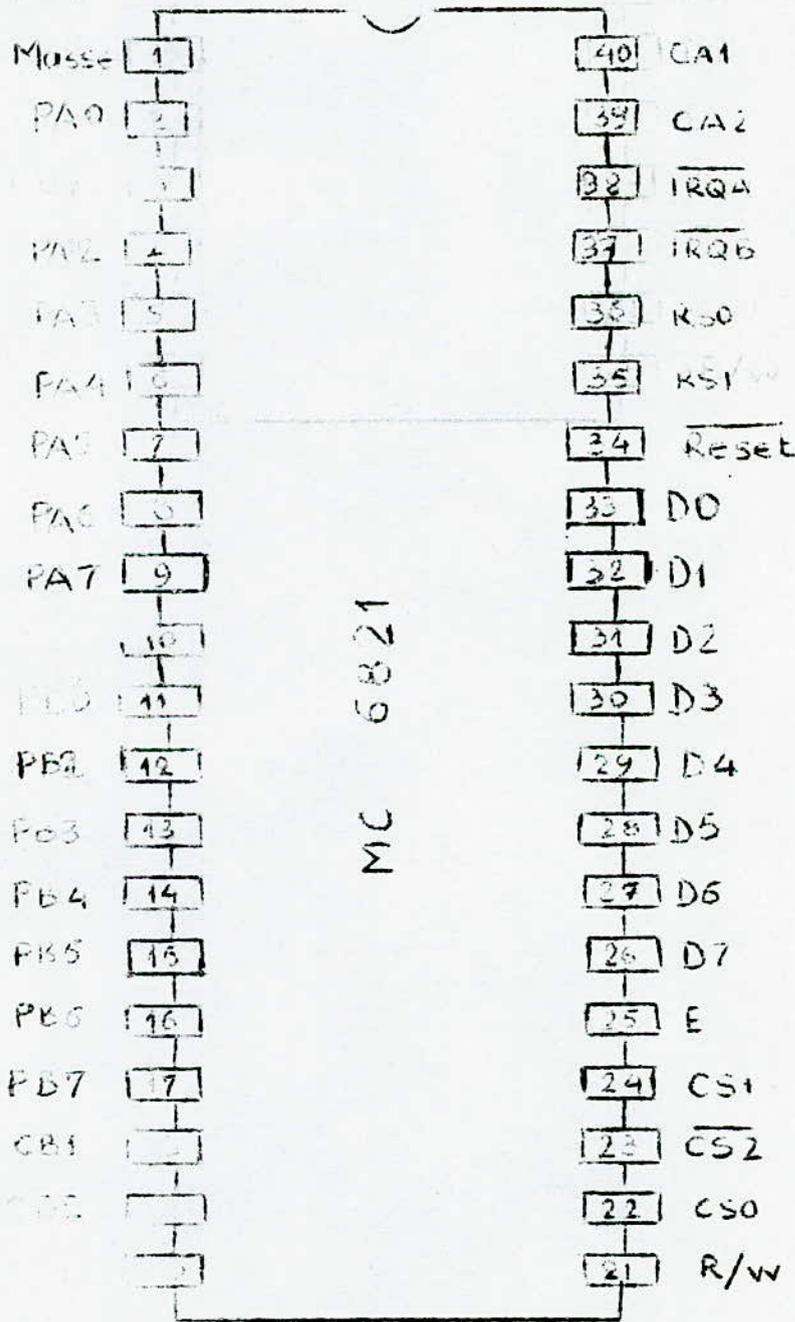
Il y a différentes technologies pour réaliser les circuits intégrés : OTL, T.T.L, C.M.L, M.OS. E.C.L ect...

Les circuits intégrés T.T.L doivent être alimentés en 5V = 5%. La TTL utilise la logique positive, donc l'état "1" sera + 5V et l'état "0" sera 0V.

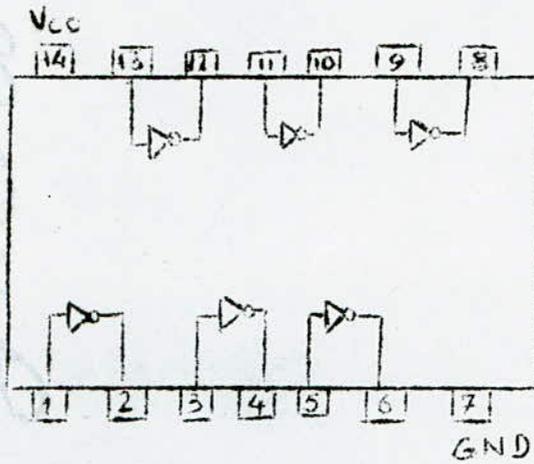
Le niveau appliqué à une entrée du circuit intégré sera considéré à l'état "0" pour une tension comprise entre 0 et 0,8V et l'état 1 pour une tension comprise entre 2 et 5V. A la sortie un circuit intégré T.T.L donnera une tension plus grande que 2,4V pour l'état 1 et plus que 0,4V pour l'état 0. Donc une sortie peut se raccorder directement à une entrée d'un autre circuit sans éléments discrets supplémentaires.

Une autre caractéristique importante à connaître est la notion de FAN IN (entrance) et FAN OUT (sortance). On ne peut raccorder la sortie d'un circuit intégré à autant d'entrées d'autres circuits intégrés que l'on veut. La sortance d'un circuit intégré à l'état 0 est de 16 mA maximum. L'entrance d'un circuit intégré au niveau 0 est de 1,6 mA maximum. Le FANOUT (la sortance) est alors de 10. Cela signifie que l'on peut raccorder 10 entrées à une sortie. Si la sortie d'un circuit intégré attaque la base d'un transistor, le courant de base maximum dont on dispose est de 16 mA. Il existe des portes T.T.L appelées porte de puissance (power gate) qui ont une sortance de 30 donc un courant de sortie maximum de 48 mA.

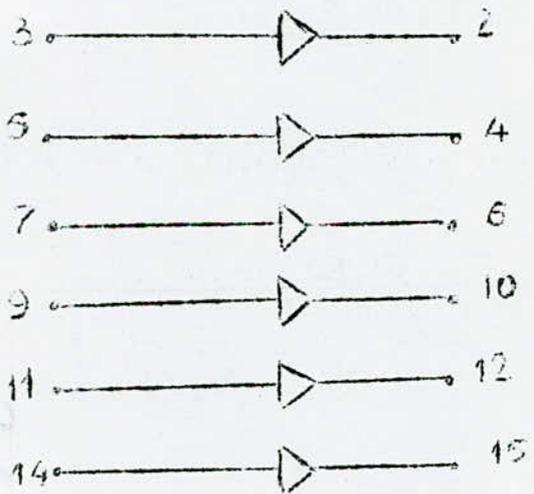
BROCHAGE DU PIA



SN 7404 : 6 inverseurs

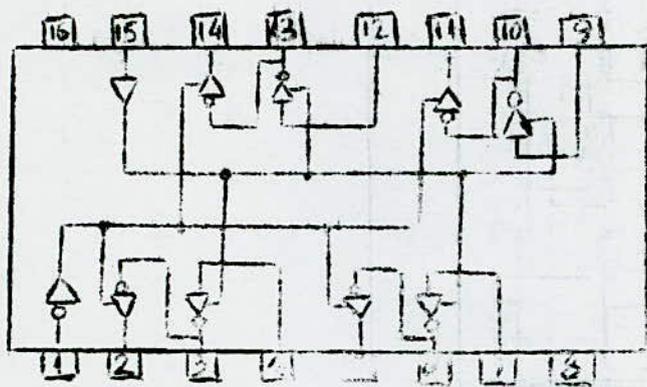


MC 1450 : Buffers

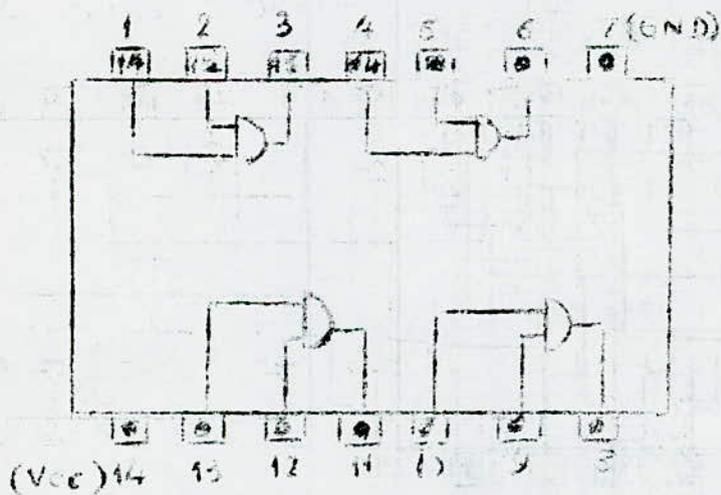


- 1: V_{CC}
- 8: NGD
- 13, 16: NC

MC 8T26 - Buffers 3 états



- 1 Receiver
- Enable input
- 2 Receiver output
- 3 Bus 1 input
- 4 Driver input
- 5 Output 1 kecl
- 6 Bus 2
- 7 driver input
- 8 GND
- 9 Driver input 2
- 10 Bus 3
- 11 Receiver output
- 12 Driver input 4
- 13 Bus 4
- 14 Vcc
- 15 Driver enable input
- 16 Vcc



SN 7405 - 4 porte AND

DECODEUR UN PARI SEIZE : SN54154

Il sert à sélectionner les stations

Brochage

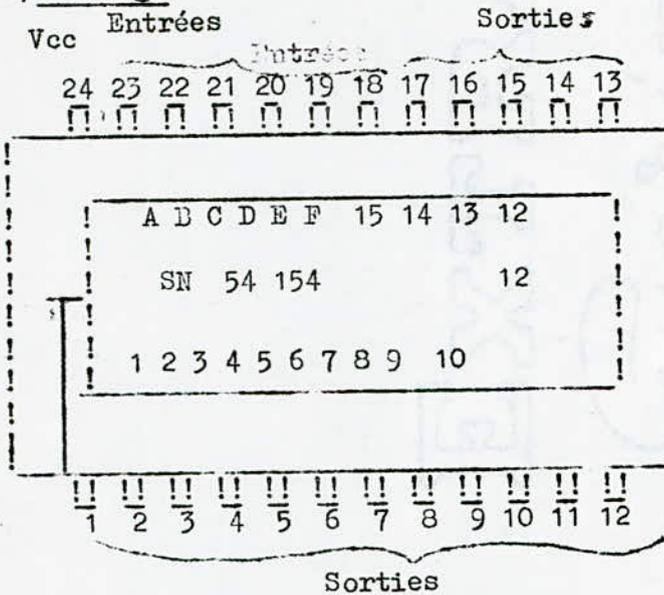
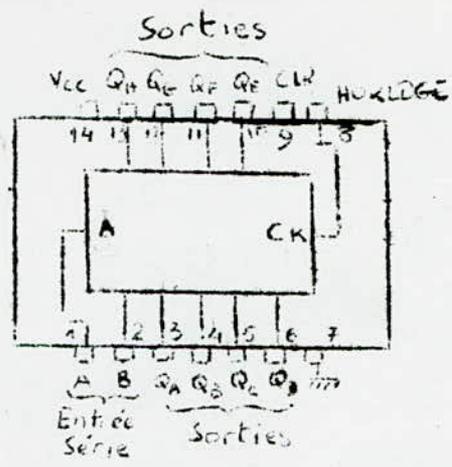


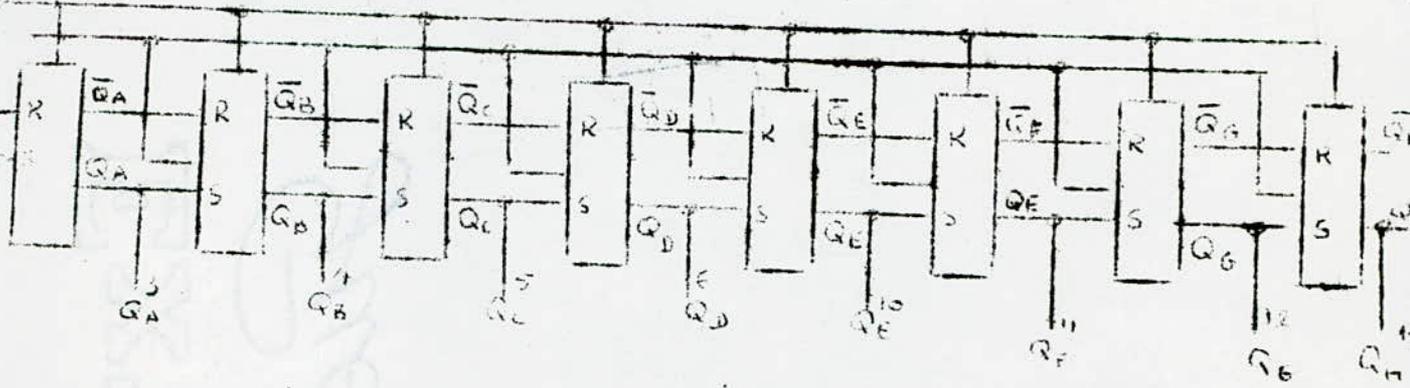
TABLE DE VERITE

01	02	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
0	1	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

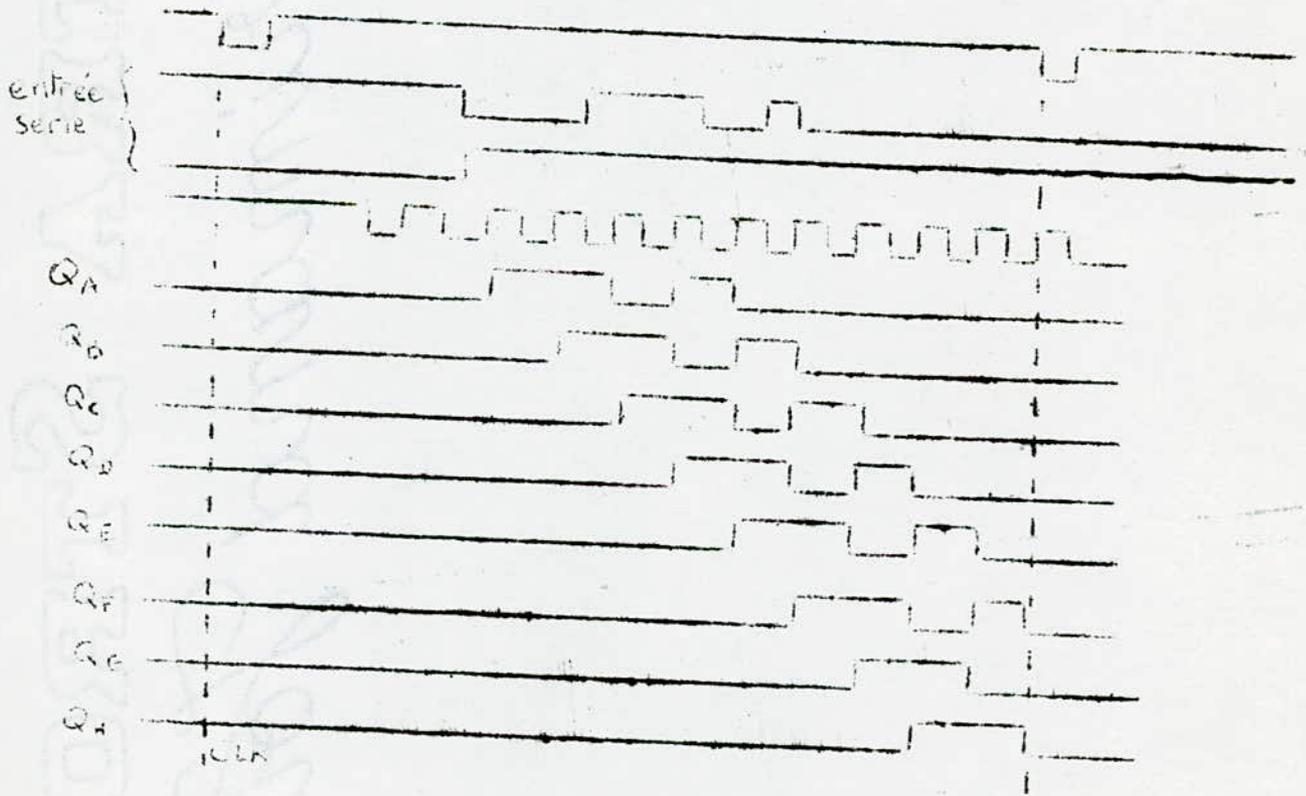
N.B: Il faut inverser toutes les entrées du décodeur .



REGISTRE A
DECALAGE
SN 54164



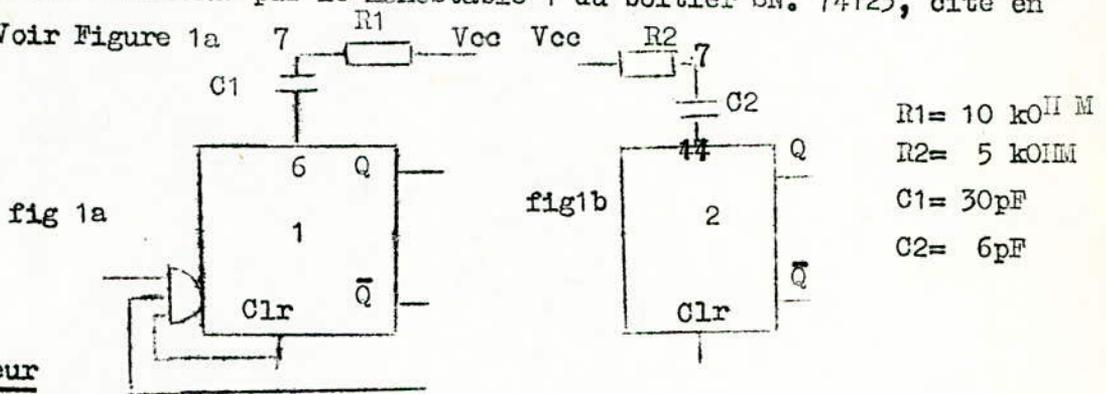
CHRONOGRAMME



Générateur de rythme

Définition: Un générateur de rythme est un système qui délivre des impulsions décalées dans le temps. La période de récurrence est de 200nanos secondes. Ce système appelé aussi "Horloge" permet de décaler l'information binaire contenue dans le registre à décalage. Une cellule RC lui est connectée afin de fixer la période de récurrence.

Pour que ce monostable fonctionne en Horloge il faut le boucler. Le générateur de rythme est constitué par le monostable 1 du boitier SN. 74123, cité en annexe. Voir Figure 1a



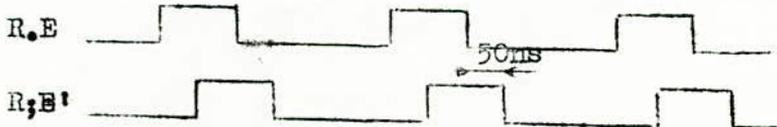
Calibrateur

But: Le calibrateur permet de délivrer des impulsions calibrées pour le registre chaque impulsion a une largeur de 50 nanoseconde, le calibrateur est constitué par le monostable 2 du boitier SN.74123, cité en annexe (voir figure 1b)

Circuit retardateur

But: Le circuit retardateur permet de décaler une impulsion dans le temps Le temps de décalage est de 50 nanoseconde.

Le circuit retardateur est constitué par le monostable 2 du boitier SN.74123 (Voir figure ci dessous)



Décodeur un parmi trente deux (suite)

e1	Eē	e3	e4	e5	s16	s17	s18	s19	s20	s21	s22	s23	s24	s25	s26	s27	s28	s29	s30	s31	s32
0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Ce circuit est réalisé à l'aide de portes **BAE**

CONCLUSION/

L'occasion , nous a été offerte de profiter des progrès de la technique dans le cadre du fin d'études , qui consiste à automatiser le système de télécommande du centre nodal de la RTA.

Il est à noter que tous les circuits utilisés sont digitaux et adaptables utilisant la logique TTL.

La réalisation de ce système ne présente donc aucune difficulté , cependant une grande fiabilité est acquise .

L'amélioration du système du point de vue HARD est très aisée et ne nécessite aucune modification au niveau de la conception, et une extension éventuelle du réseau affectera uniquement la partie "logiciel".

Pour une exploitation optimale du système, l'introduction de la télé-mesure ; moyennant un adaptateur de signaux (convertisseur analogique numérique) est souhaitable.

L'objet de cette étude est de montrer clairement comment l'électronique associée à l'informatique peut rendre les plus grands services en matière de surveillance commande et contrôle des stations émettrices réceptrices en un temps minimum.

BIBLIOGRAPHIE

Revue MICROSYSTEME N°^s 4,5 et 6

ELECTRONIQUE APPLICATION

DU MICROPROCESSEUR AU MICRO ORDINATEUR

Edition Radio

L'EMPLOI DES MICROPROCSSEURS

M. Auniaux , Edition Masson

Documentation Motorola

Basic MC 6900

Documentation de Télécommande de la R.T.A